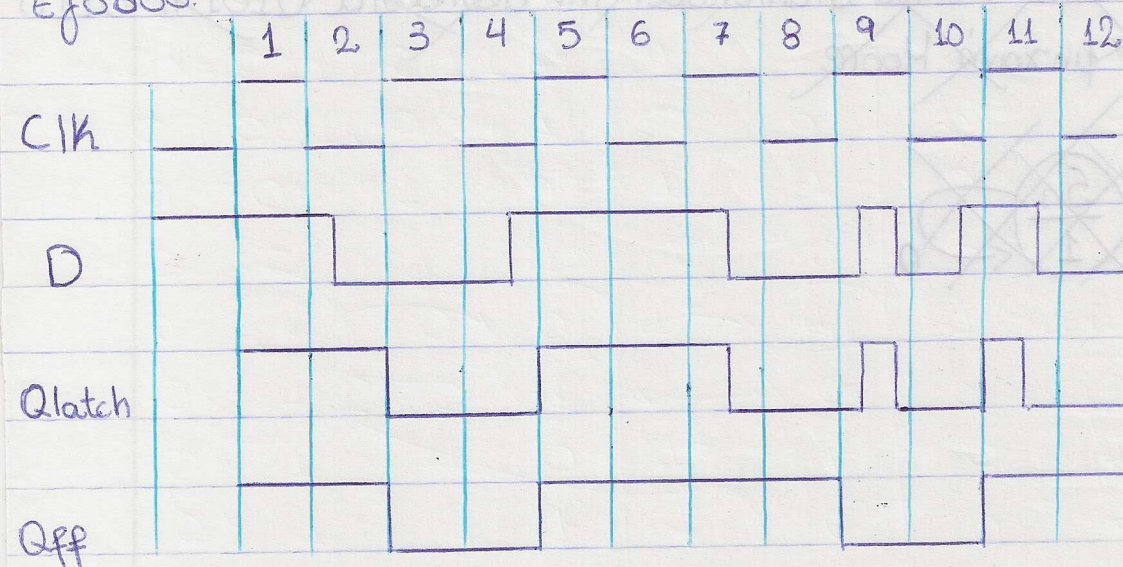


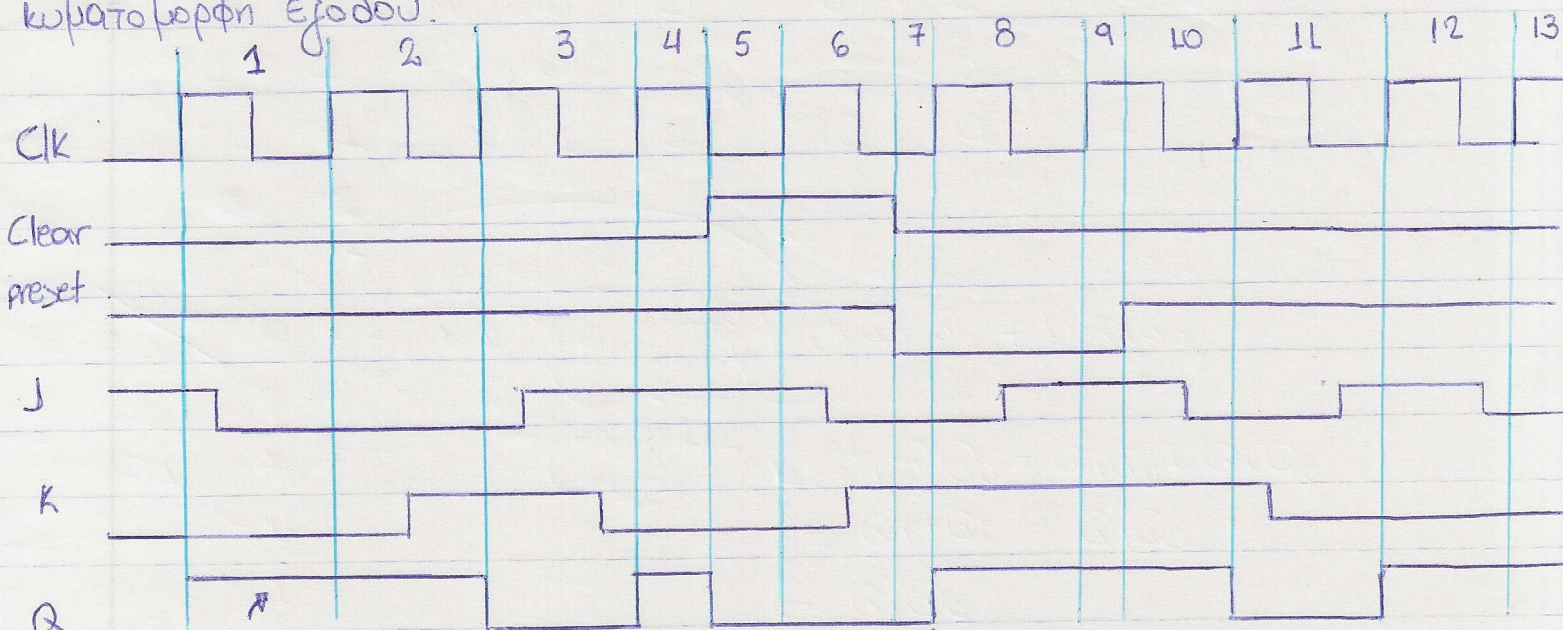
Άσκηση 1

Δίνονται οι ακόλουθες κυματομορφές ρολογιού και είσοδου D που είναι κοινή σε ένα D latch και ένα D flip flop. Το latch είναι θετικά ενεργό, ενώ το ff θετικά ακροπυροδοτούμενο. Σχεδιάστε τις κυματομορφές εξόδου.



Άσκηση 2

Δίνονται οι ακόλουθες κυματομορφές είσοδου ενός θετικά ακροπυροδοτούμενου JK ff με αόυχηρη είσοδο καθαρισμού θετικής λογικής (clear) και ούχηρη είσοδο θέσης αρνητικής λογικής (~preset). Σχεδιάστε τη κυματομορφή εξόδου.



↑
θυμάται την προηγούμενη κατάσταση

↑
λόγω του preset γίνεται 1

Ακρίβεις (δεν υπάρχουν στο site)

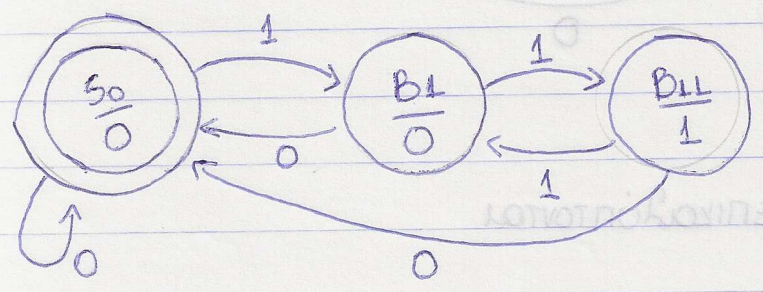
$10 = x$ $1 = z$ (2)

Να κατασκευάσετε τα διαγράμματα μεταβάσης καταστάσεων:
είσοδος x , έξοδος z

(1) $z=1$ αν 2 διαδοχικές φορές $x=1$

π.χ $x = 01100111110$
 $z = 00100010100$
 $S_0 B_1 B_{11} S_0 S_0 B_1 B_1 B_1 B_1 B_1 S_0$

Moore



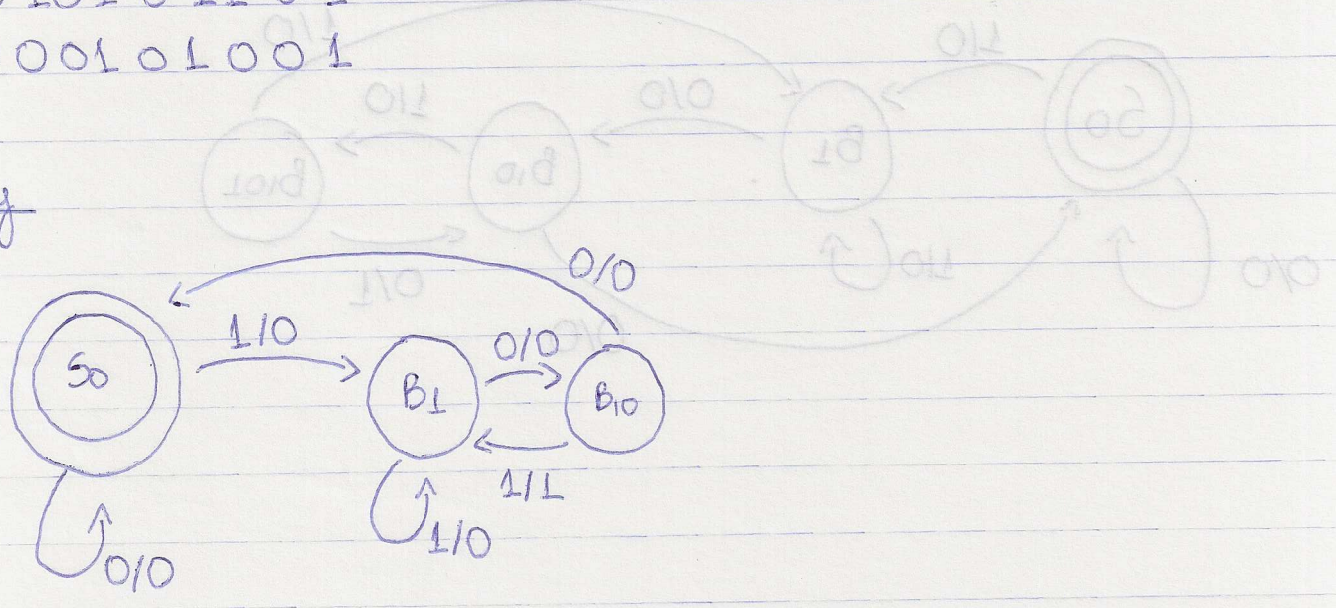
(χρειάζεται 2 ακολουθιακά βυθτήματα)

(2) $z=1$, αν $x = 101$

Δύο ακολουθίες μπορούν να επικαλύπτονται

$x = 010101101$
 $z = 000101001$

Mealy

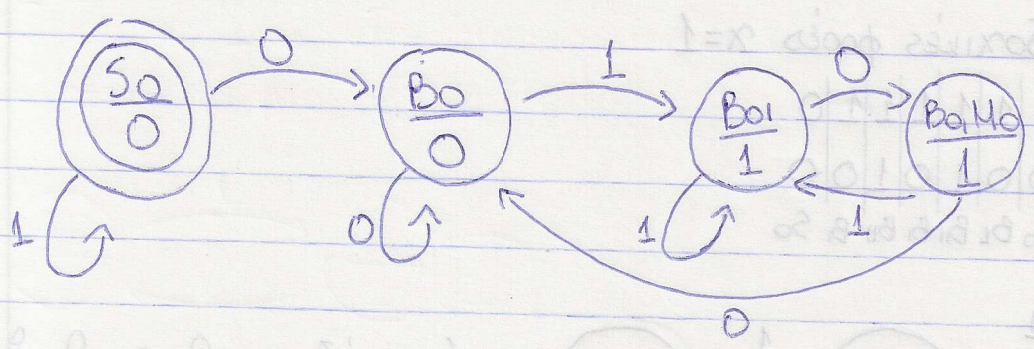


(αλλά στα μηχανήματα υβρίδ)

(3) $z=1$ αν $x=01$

$z=0$ αν $\mu\tau\acute{\iota}\alpha x=00$

Moore

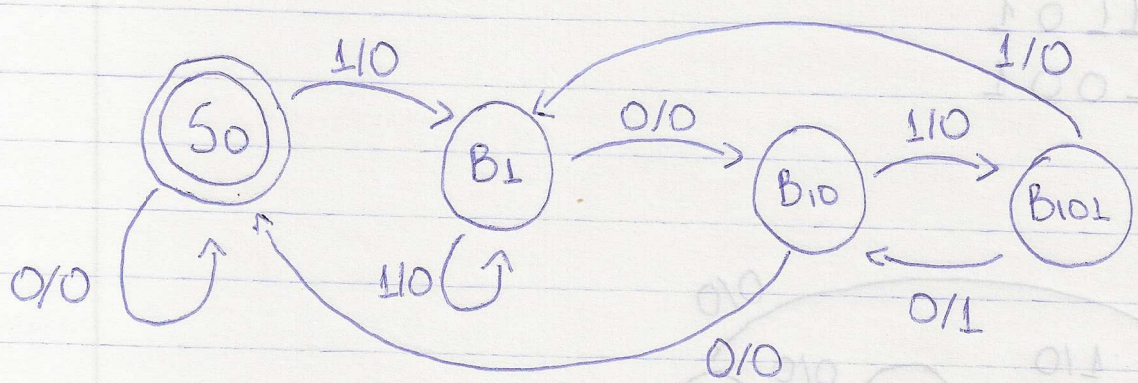


4) $z=1$, αν $x=10/10 \leftarrow$ επικαλύπτονται

$x=101010$

$z=000101$

Mealy

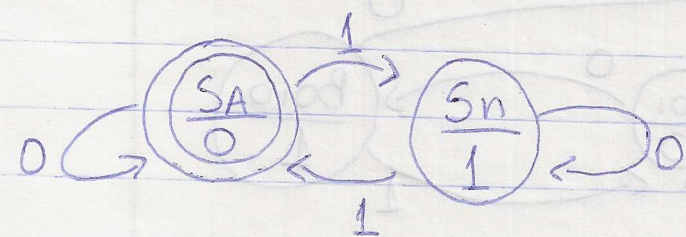


Άσκηση 1 (Διαφάνειες)

Δώστε το κατά Moore STD μιας μηχανής πεπερασμένων καταστάσεων, η οποία να υποδεικνύει το ψηφίο άρτιας ισότητας της βιτριανής είσοδου της.

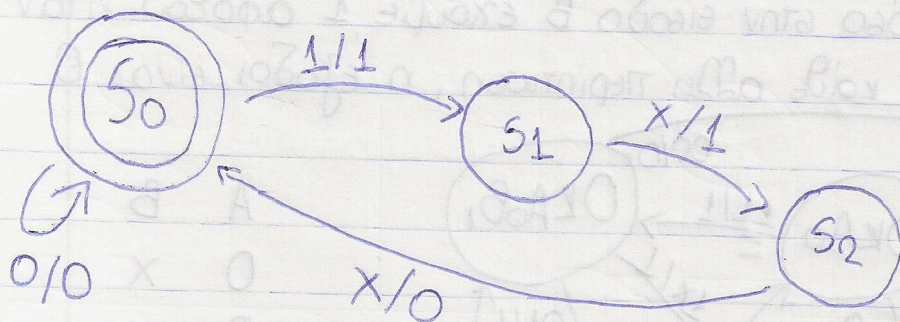
π.χ. Αν $x = 110001011$ τότε

$z = 100001101$ (όταν έχω είσοδο 1, αλλάζει η έξοδος)



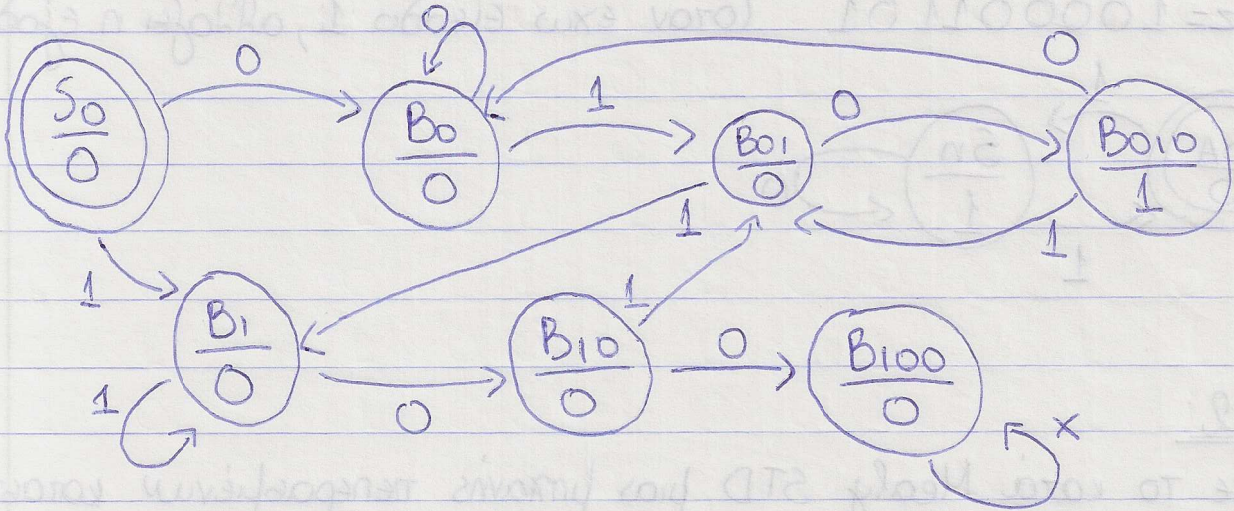
Άσκηση 2

Αναπτύξτε το κατά Mealy STD μιας μηχανής πεπερασμένων καταστάσεων με μια είσοδο X και μια έξοδο Y , η οποία λειτουργεί ως εξής: όταν η είσοδος X πάει στο 1, η έξοδος Y γίνεται 1 για 2 προλογιστικούς κύκλους και μετά επανέρχεται στο 0 ακόμη κι αν η είσοδος X παραμένει στο 1.



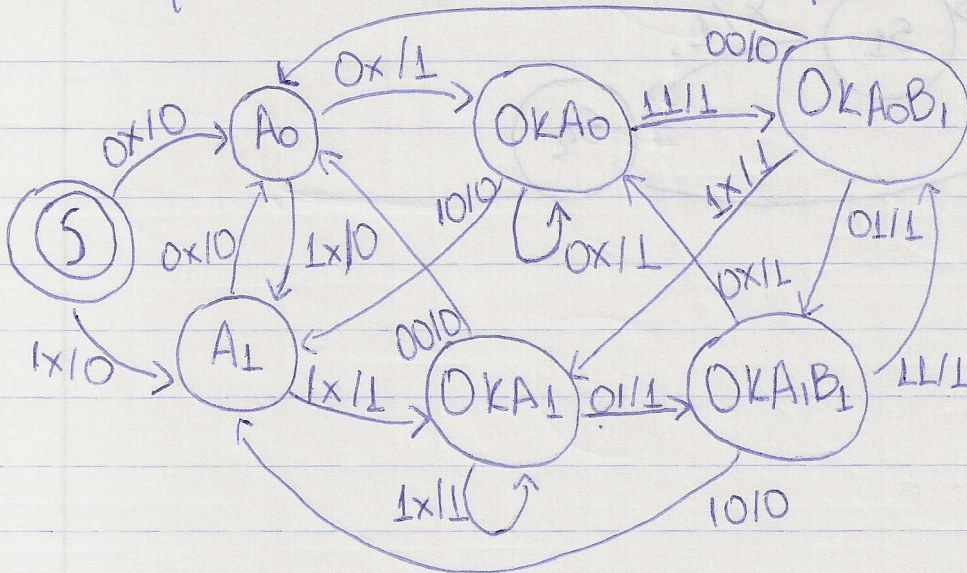
Άσκηση 3

Δώστε STDs κατά Moore για μια μηχανή η οποία θα αναγνωρίζει στη χειριτική είσοδο της το pattern 010 μόνο και μόνο αν δεν έχει ποτέ εμφανιστεί προηγουμένα το pattern 100. Θεωρείστε ότι επικαλυπτόμενες εμφανίσεις αναγνωρίζονται 2 φορές.



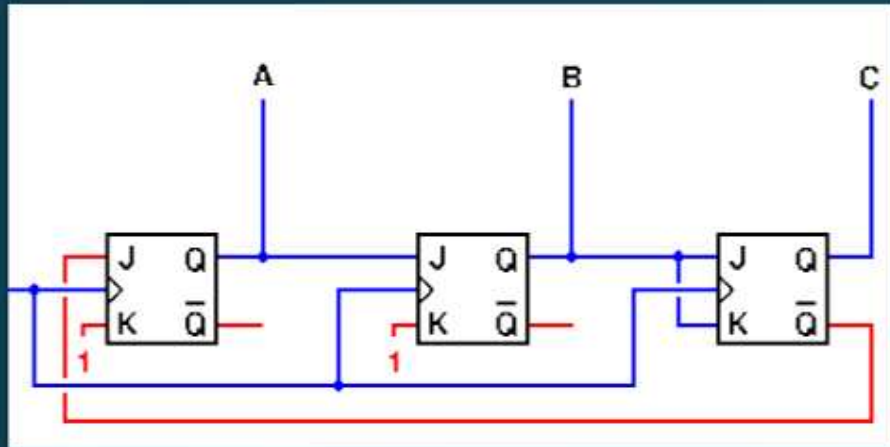
Άσκηση 4

Σχεδιάστε ένα STD κατά Mealy με 2 εισόδους A, B και 1 έξοδο Z. Η Z παίρνει την τιμή 1 αν: • Στην είσοδο A έχουμε την ίδια τιμή σε δύο διαδοχικούς κύκλους ή • όλο στην είσοδο B έχουμε 1 αφοτου ήταν αληθής η πρώτη συνθήκη. Σε κάθε άλλη περίπτωση, η έξοδος είναι 0.

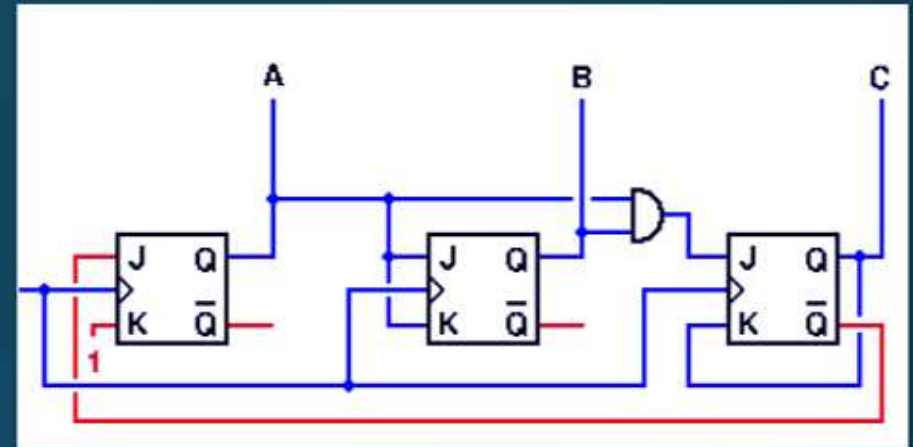


A	B
0	x
0	x
1	1
0	1
0	0

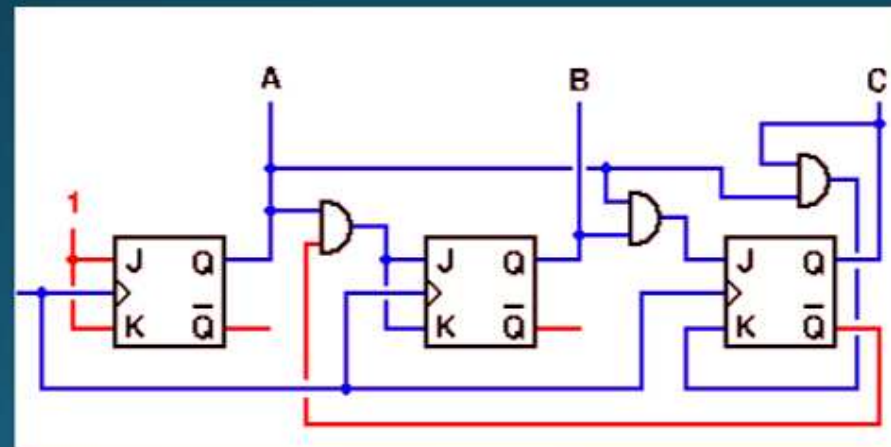
Άσκηση 2^η: Να αναλυθούν τα κυκλώματα



3



4



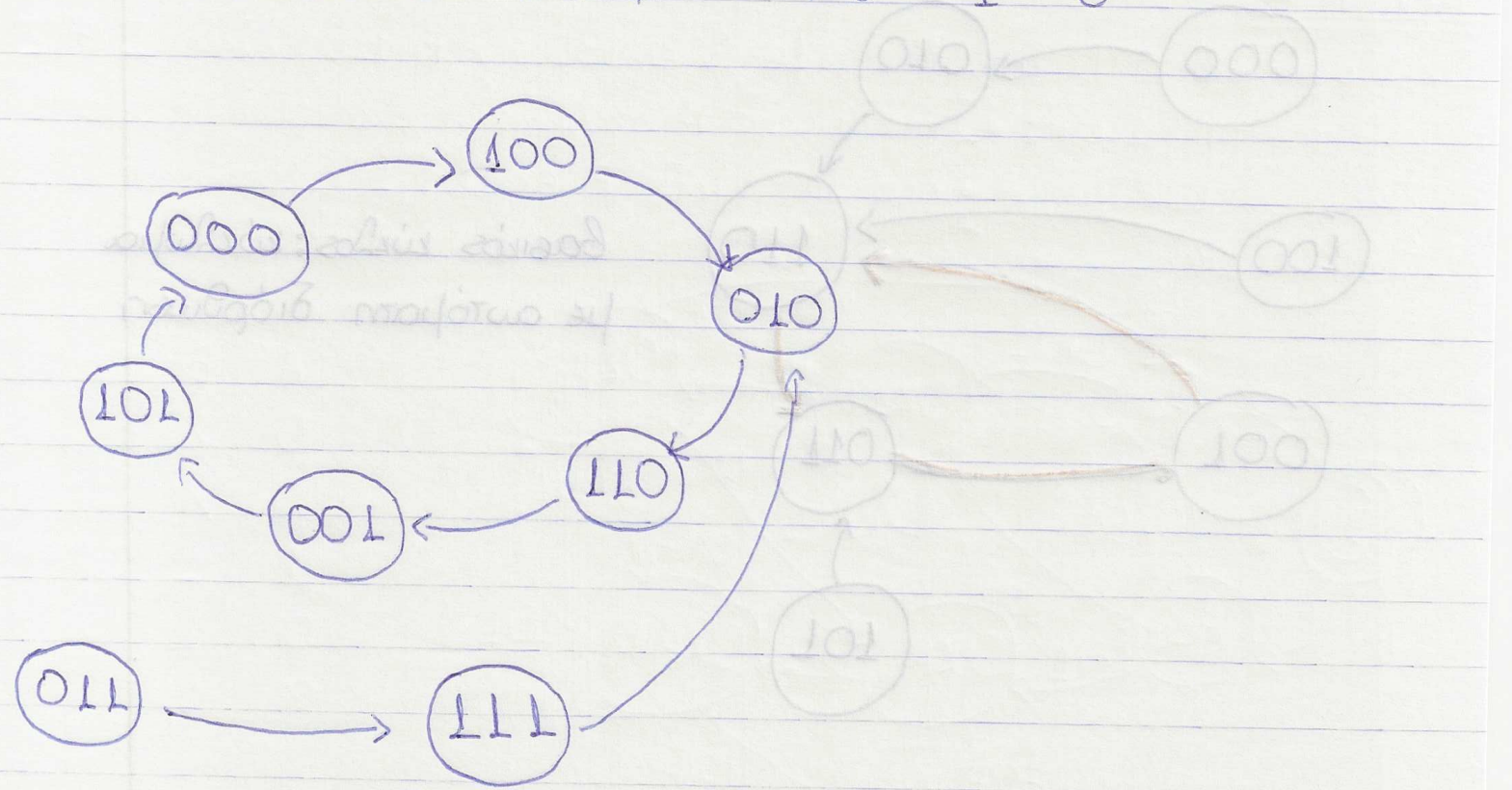
5

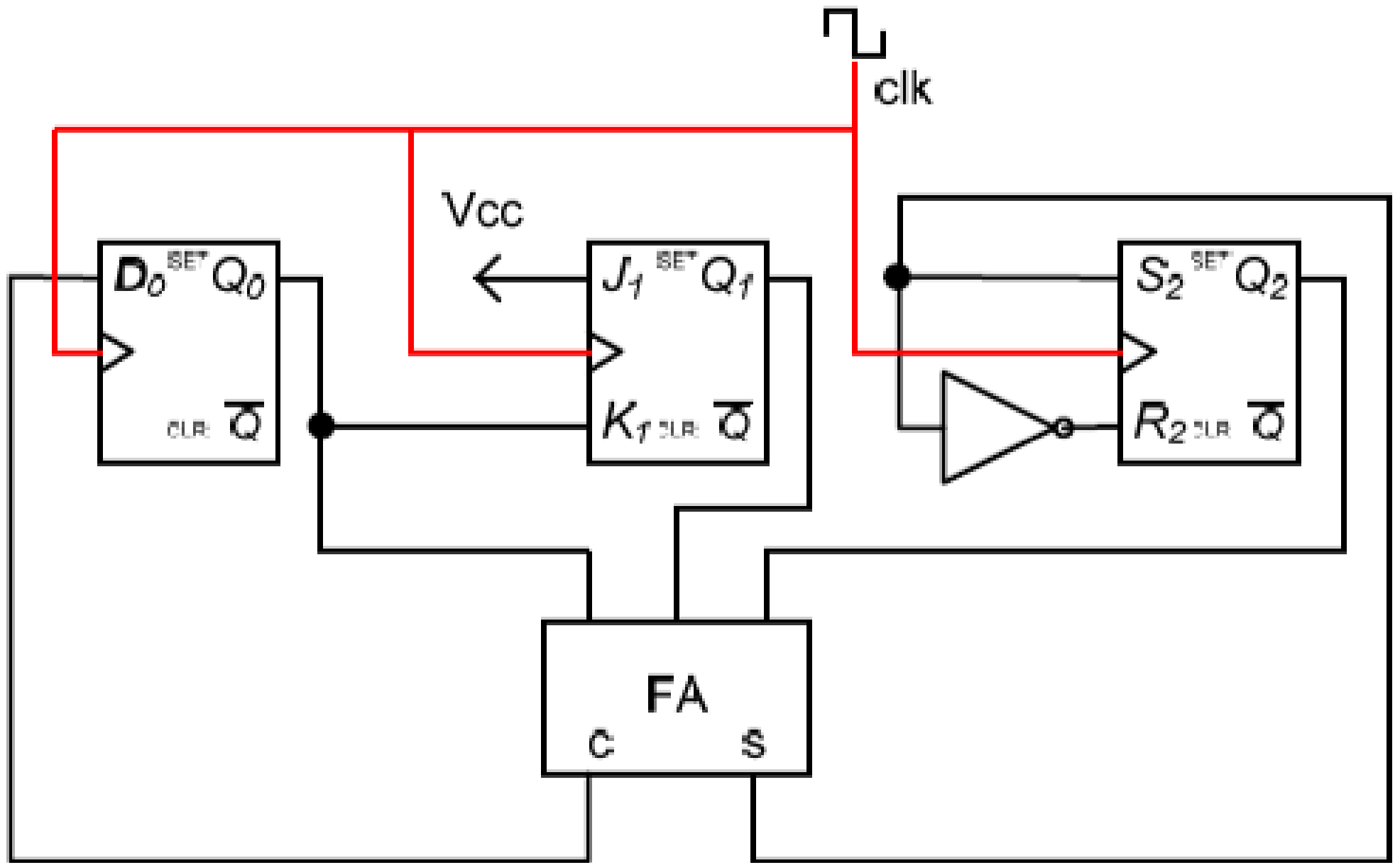
Άσκηση 2

$$J_3 = 1 \quad J_2 = Q_3 Q_1' \quad J_1 = Q_3 Q_2$$

$$K_3 = 1 \quad K_2 = Q_3 Q_1' \quad K_1 = Q_3 Q_1$$

Επίθετη Κατάσταση			Είσοδοι		FF		Επίθετη Κατάσταση				
Q ₃	Q ₂	Q ₁	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	Q ₃	Q ₂	Q ₁
0	0	0	1	1	0	0			1	0	0
0	0	1	1	1	0	0			1	0	1
0	1	0	1	1	0	0			1	1	0
0	1	1	1	1	0	0			1	1	1
1	0	0	1	1	1	1			0	1	0
1	0	1	1	1	0	0			0	0	0
1	1	0	1	1	1	1			0	0	1
1	1	1	1	1	0	0			0	1	0



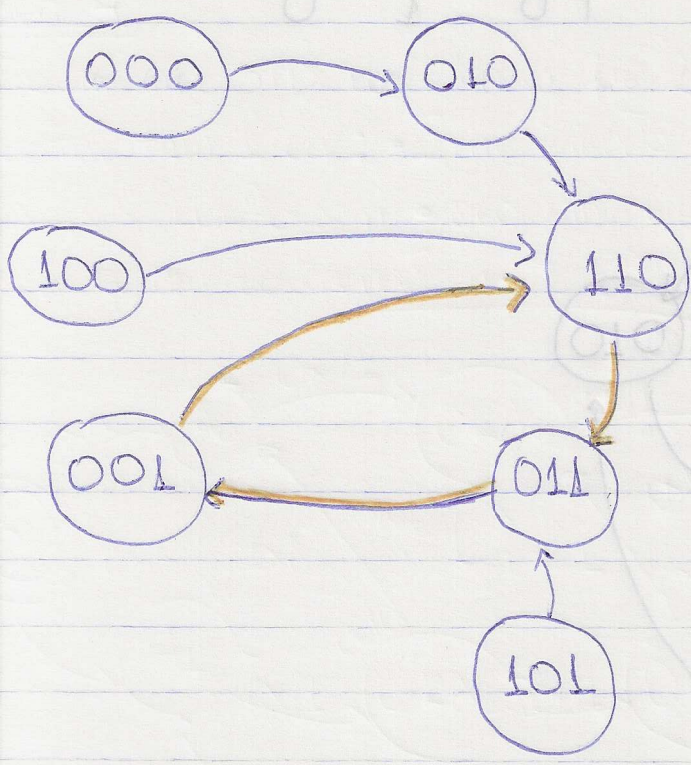


Άσκηση (Διαφάνειες)

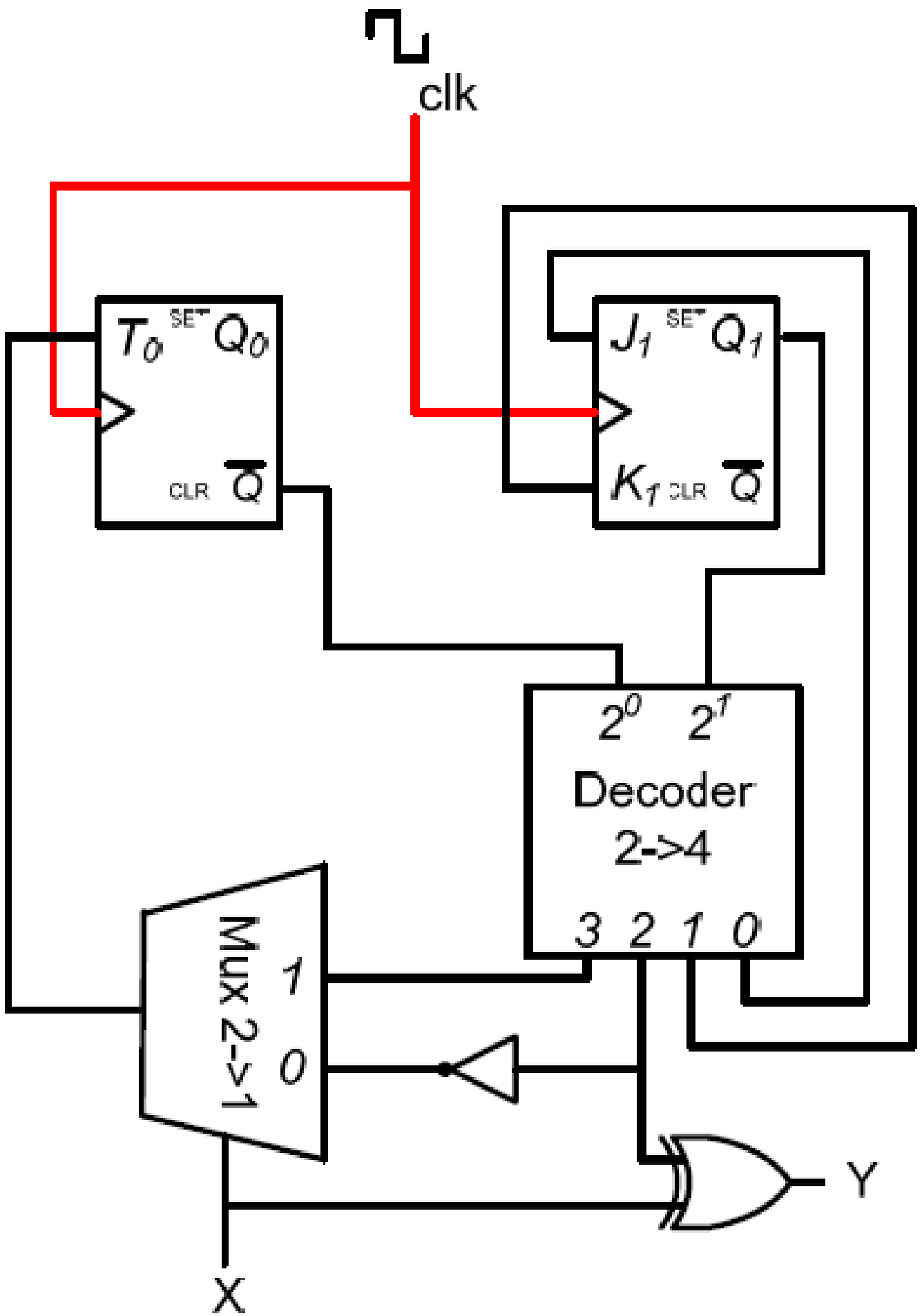
8/20/2024

Να αναλυθεί το κύκλωμα:

Τρέχουσα Κατάσταση			FF outputs		FF inputs					Επόμενη Κατάσταση		
Q ₂	Q ₁	Q ₀	C	S	S ₂	R ₂	J ₁	K ₁	D ₀	Q ₂	Q ₁	Q ₀
0	0	0	0	0	0	1	1	0	0	0	1	0
0	0	1	0	1	1	0	1	1	0	1	1	0
0	1	0	0	1	1	0	1	0	0	1	1	0
0	1	1	1	0	0	1	1	1	1	0	0	1
1	0	0	0	1	1	0	1	0	0	1	1	0
1	0	1	1	0	0	1	1	1	1	0	1	1
1	1	0	1	0	0	1	1	0	1	0	1	1
1	1	1	1	1	1	0	1	1	1	1	0	1



Βασικός κύκλος: κύκλωμα με αυτόματη διόρθωση

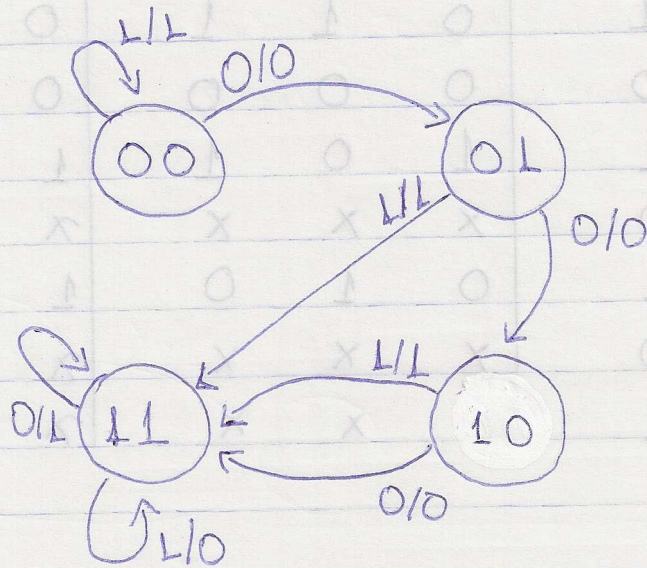


Άσκηση (διαφορετικές)

Να αναλυθεί το κύκλωμα.

Είσοδος X	Τρέχουσα Κατάσταση Q ₁ Q ₀	Decoder Outputs 3 2 1 0	Mux out	Εξόδος Y
0	0 0	0 0 1 0	1	0
0	0 1	0 0 0 1	1	0
0	1 0	1 0 0 0	1	0
0	1 1	0 1 0 0	0	1
1	0 0	0 0 1 0	0	1
1	0 1	0 0 0 1	0	1
1	1 0	1 0 0 0	1	1
1	1 1	0 1 0 0	0	0

Είσοδοι J K		FF T ₀	Σ K Q ₁	FF Q ₀
0	1	1	0	1
1	0	1	1	0
0	0	1	1	1
0	0	0	1	1
0	1	0	0	0
1	0	0	1	1
0	0	1	1	1
0	0	0	1	1



$$\bar{0} \cdot \bar{0} + 0 \cdot 0 = 1$$

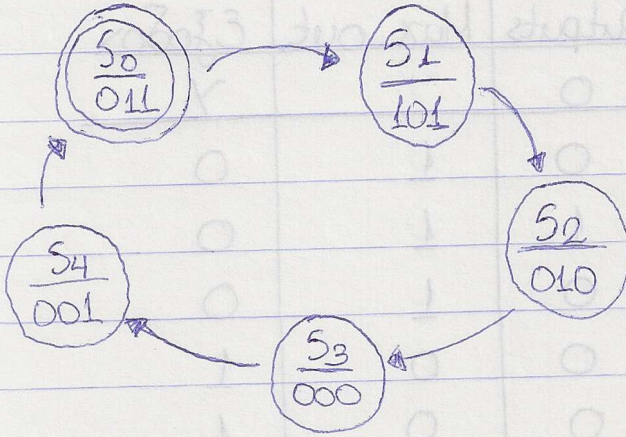
$$1 \cdot 0 + 0 \cdot 1 = 1$$

$$0 \cdot 0 + 0 \cdot 0 = 0$$

Άσκηση

3 → 5 → 2 → 0 → 1 → 3 → ...

Moore:



Av $S_0 = 011$

$S_1 = 101$

$S_2 = 010$

$S_3 = 000$

$S_4 = 001$

Οι εξοδοι των flip-flop είναι και οι εξοδοι του κυκλώματος.

Τρέχουσα Κατάσταση			Επιόμενη Κατάσταση			T_2	T_1	T_0
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0			
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	0
0	1	0	0	0	0	0	1	0
0	1	1	1	0	1	1	1	0
1	0	0	X	X	X	X	X	X
1	0	1	0	1	0	1	1	1
1	1	0	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0			1	
1	X	1	X	X

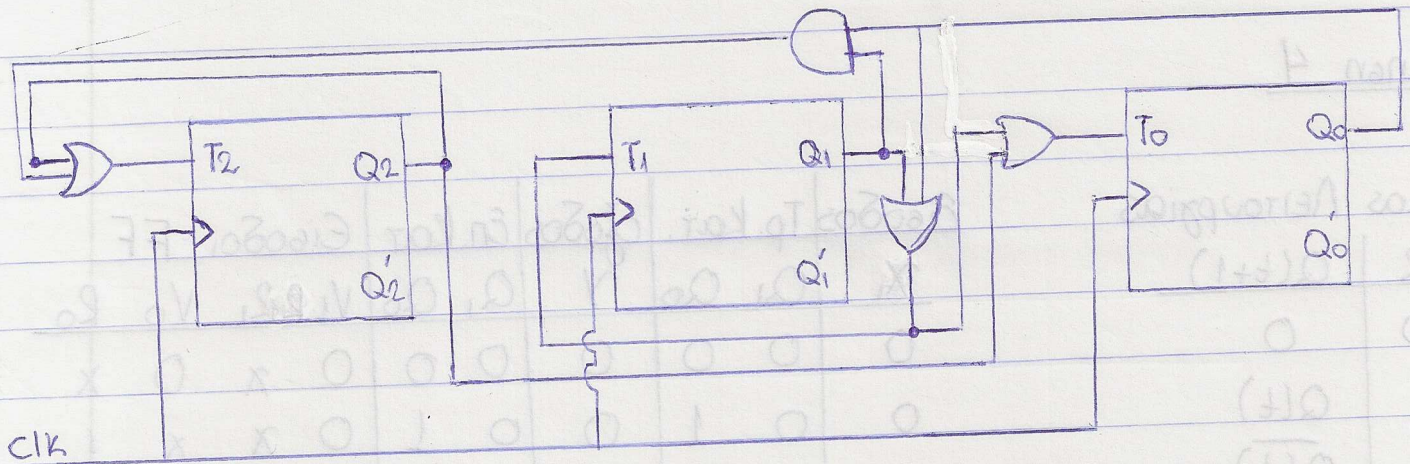
$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0		1	1	1
1	X	1	X	X

$Q_2 \backslash Q_1 Q_0$	00	01	10	11
0	1			
1	X	1	X	X

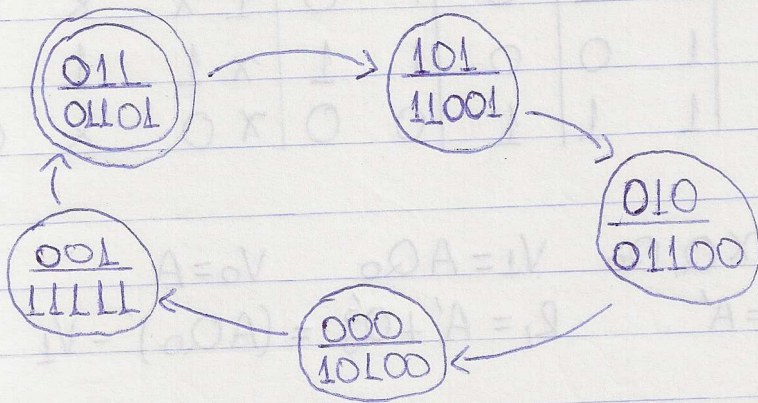
$T_2 = Q_2 + Q_1 Q_0$

$T_1 = Q_0 + Q_1$

$T_0 = Q_2 + \bar{Q}_1 \bar{Q}_0$



Για το κύκλωμα $13 \rightarrow 25 \rightarrow 12 \rightarrow 20 \rightarrow 31 \rightarrow 13 \rightarrow \dots$ η λύση είναι ίδια με την προηγούμενη, αλλάζει μόνο η έξοδος, ο πίνακας και το σχήμα.



Q_2	Q_1	Q_0	R_4	R_3	R_2	R_1	R_0
0	0	0	1	0	1	0	0
0	0	1	1	1	1	1	1
0	1	0	0	1	1	0	0
0	1	1	0	1	1	0	1
1	0	0	x	x	x	x	x
1	0	1	1	1	0	0	1
1	1	0	x	x	x	x	x
1	1	1	x	x	x	x	x

$$R_2 = Q_2'$$

$$R_0 = Q_0$$

$$R_4 = Q_1'$$

$$R_3 = Q_1 + Q_0$$

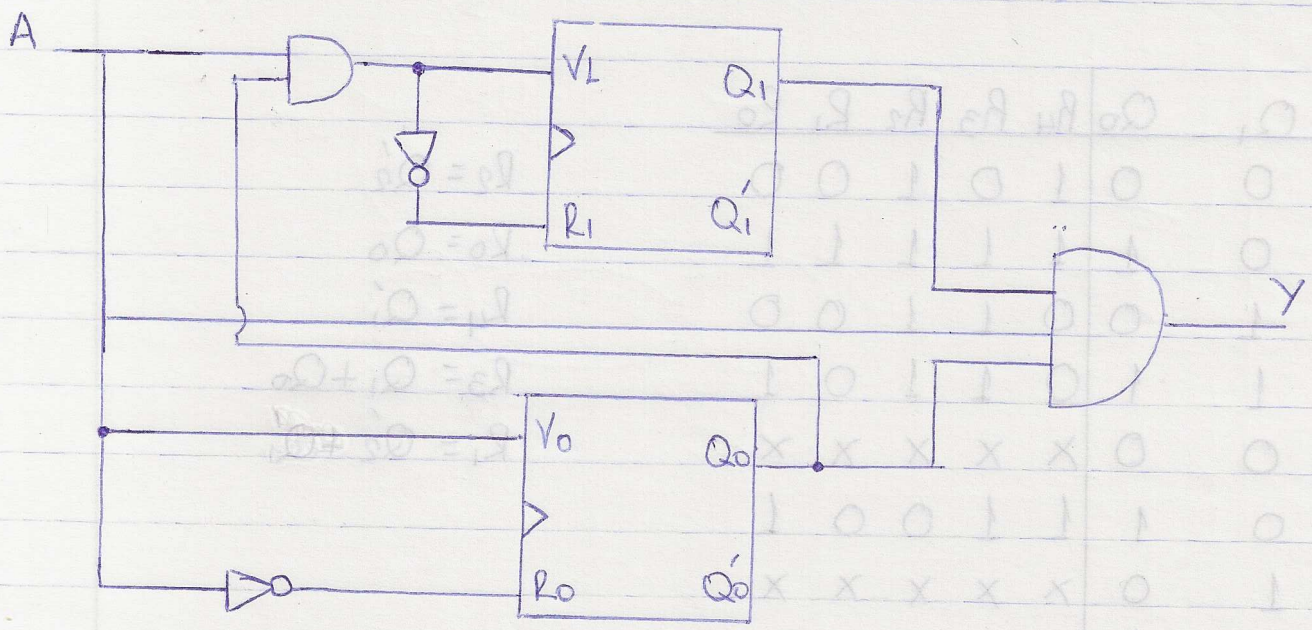
$$R_1 = Q_2'$$

Άσκηση 4

Πίνακας Λειτουργίας			Είσοδος	Τρ. Κατ.	Εξόδος	Εν. Κατ.	Είσοδοι FF			
V	R	Q(t+1)	A	Q ₁ Q ₀	Y	Q ₁ Q ₀	V ₁ R ₁	V ₀ R ₀		
0	0	0	0	0 0	0	0 0	0 x	0 x		
0	1	Q(t)	0	0 1	0	0 1	0 x	x 1		
1	0	$\overline{Q(t)}$	0	1 0	0	1 0	x 1	0 x		
1	1	1	0	1 1	0	1 1	x 1	x 1		
			1	0 0	0	0 1	0 x	1 x		

Πίνακας Διέξευσης				Εξισώσεις							
Q(t)	Q(t+1)	V	R	Y	V ₁	R ₁	V ₀	R ₀			
0	0	0	x	1	1	1	1	1			
0	1	1	x	0	1	0	1	0			
1	0	x	0	0	0	1	x	1			
1	1	x	1	1	0	0	x	0			

$Y = X Q_1 Q_0$ $V_1 = A Q_0$ $V_0 = A$
 $R_0 = A'$ $R_1 = A' + Q_0' = (A Q_0)' = V_1'$

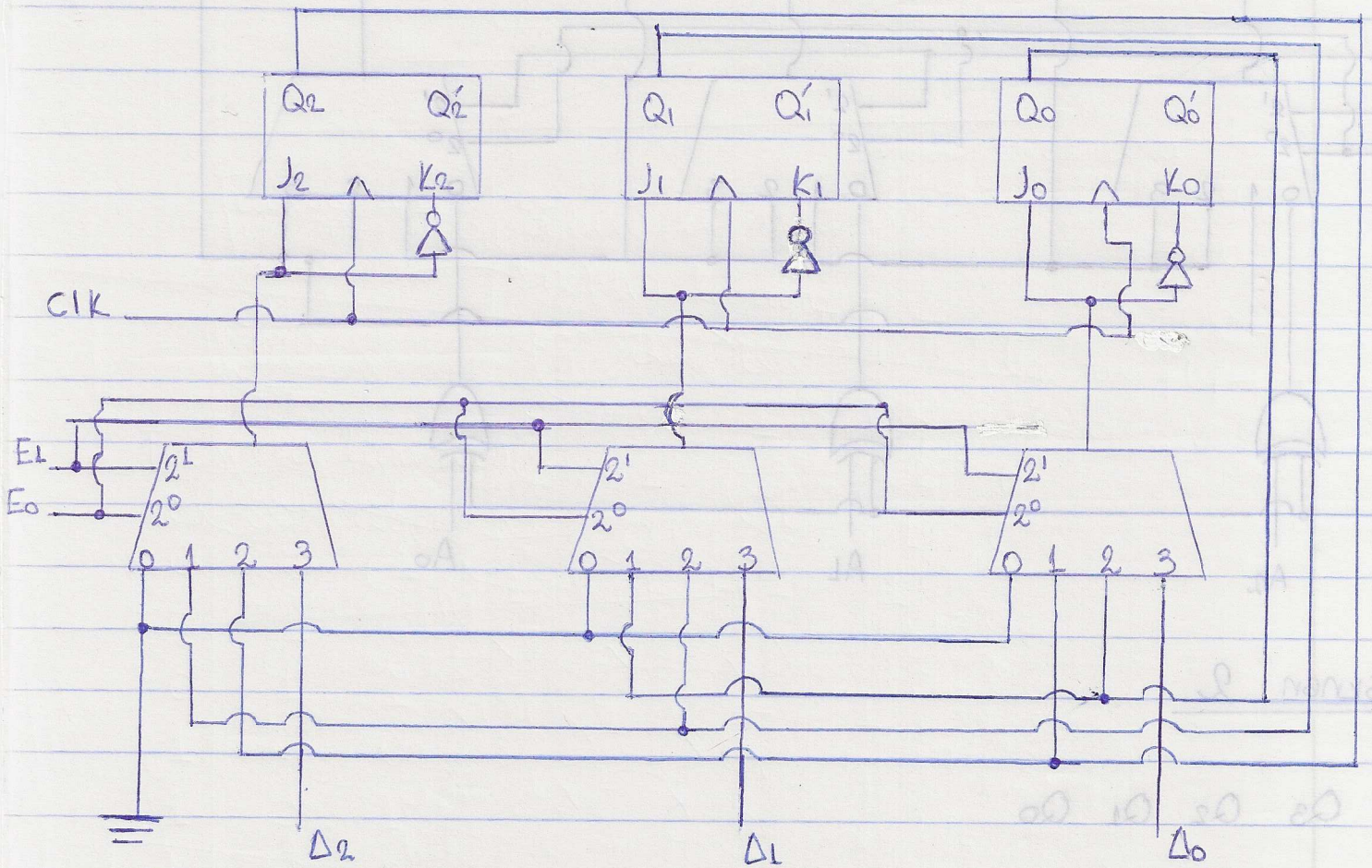


Άσκηση

Καταχωρητής 3 δυαδικών ψηφίων που διαθέτει:

- Σύγχρονο καθαρισμό
- Κυκλική οδήγηση των δεδομένων του αριστερά 1 θέση
- Διατήρηση προηγούμενης τιμής
- Παράλληλη φόρτωση

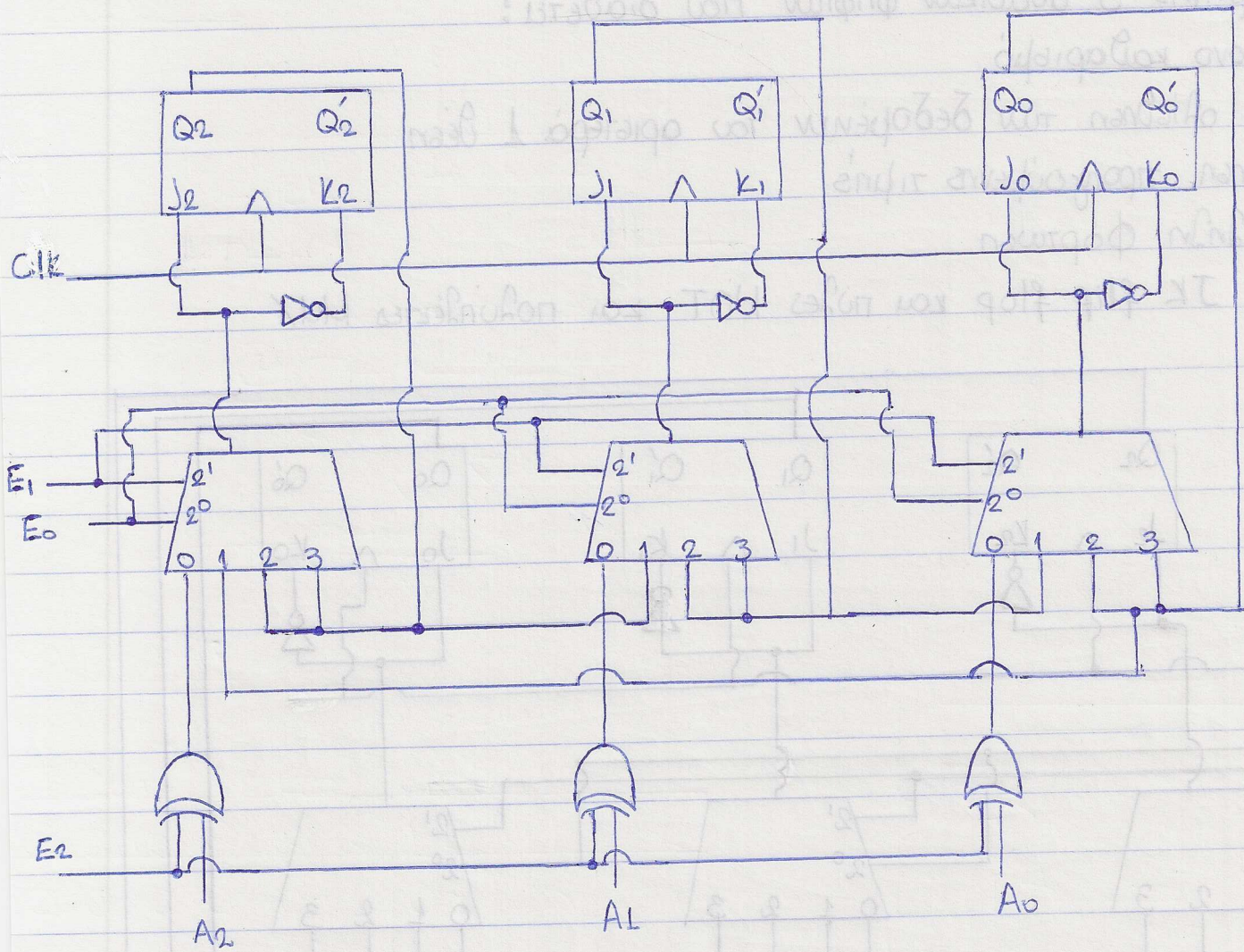
Έχουμε JK flip flop και πύλες NOT και πολυπλέκτες MUX



$$\begin{cases} Q_2 = J_2 \cdot Q_1 + \bar{J}_2 \cdot Q_1 \\ Q_1 = J_1 \cdot Q_0 + \bar{J}_1 \cdot Q_0 \\ Q_0 = J_0 \cdot 1 + \bar{J}_0 \cdot Q_0 \end{cases}$$

$$\begin{matrix} Q_2 & Q_1 & Q_0 & \\ 0 & 0 & 0 & \\ 0 & 0 & 1 & \\ 0 & 1 & 0 & \\ 0 & 1 & 1 & \\ 1 & 0 & 0 & \\ 1 & 0 & 1 & \\ 1 & 1 & 0 & \\ 1 & 1 & 1 & \end{matrix}$$

Άσκηση 1



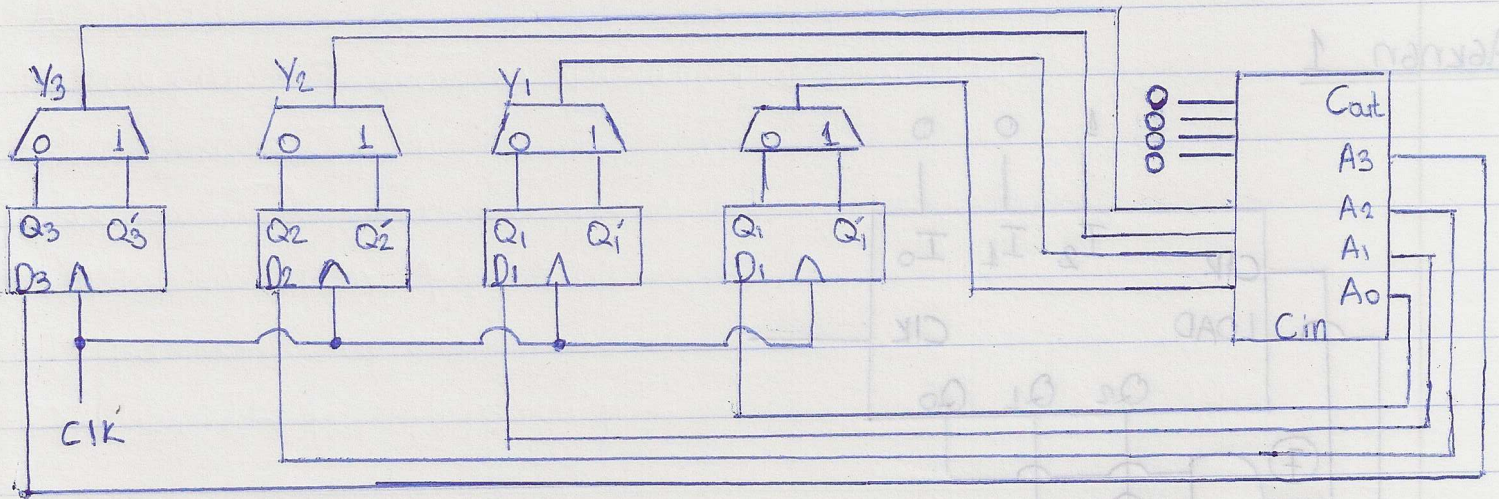
Άσκηση 2

t : $Q_3 \quad Q_2 \quad Q_1 \quad Q_0$

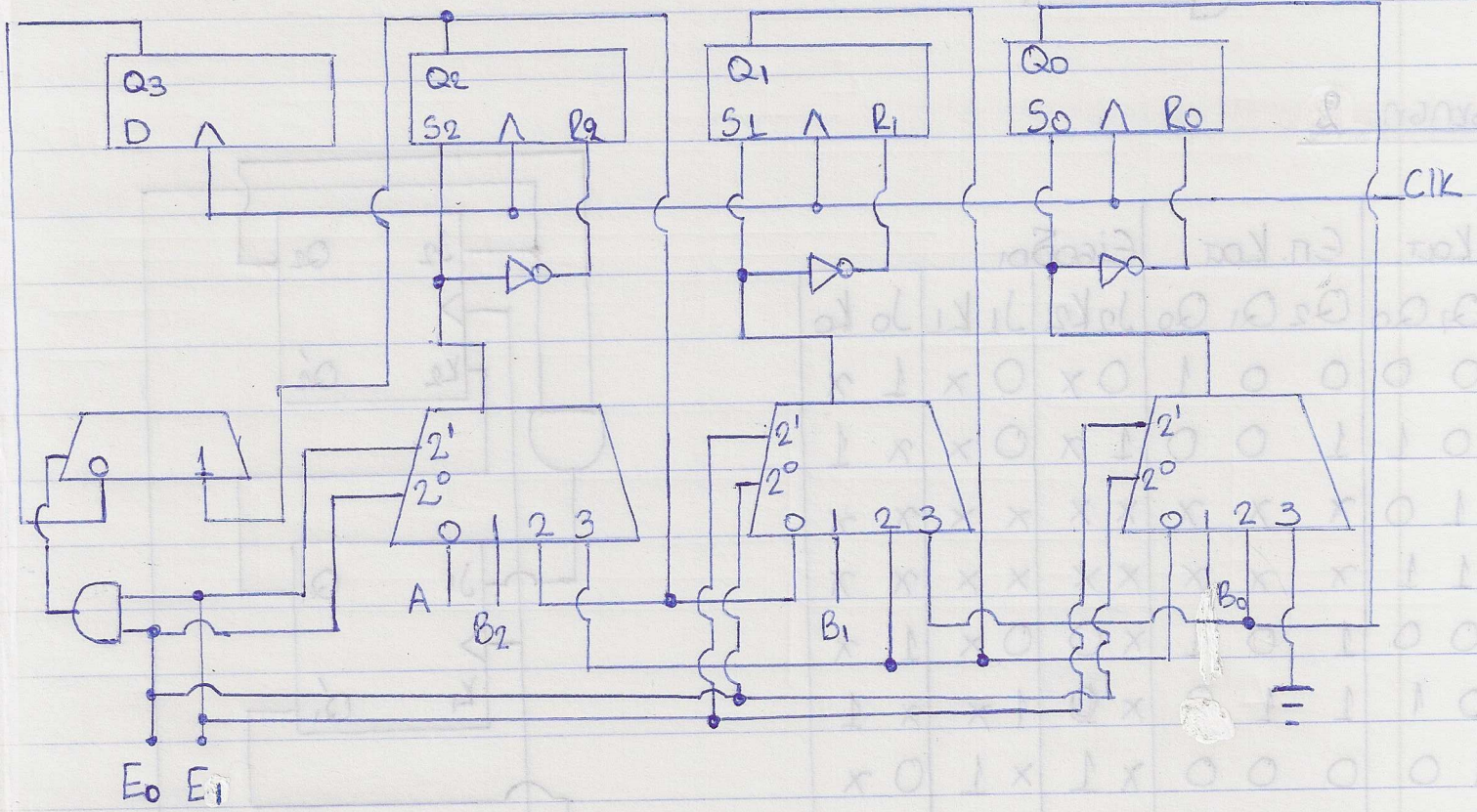
$t+1$:

S_L	S_0	Y_3	Y_2	Y_1	Y_0	$+ 000S_0$
0	0	Q_3	Q_2	Q_1	Q_0	$+ 0 + S_0$
0	1	Q_3	Q_2	Q_1	Q_0	$+ 1 + S_0$
1	0	\bar{Q}_3	\bar{Q}_2	\bar{Q}_1	\bar{Q}_0	$+ 0 + S_0$
1	1	\bar{Q}_3	\bar{Q}_2	\bar{Q}_1	\bar{Q}_0	$+ 1 + S_0$

όπου $Y_i = \begin{cases} Q_i, & \text{αν } S_L=0 \\ \bar{Q}_i, & \text{αν } S_L=1 \end{cases}$

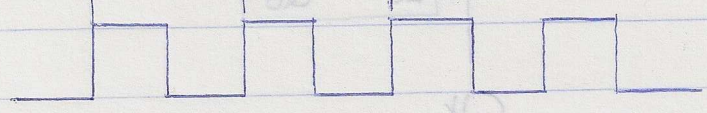


Άσκηση 5

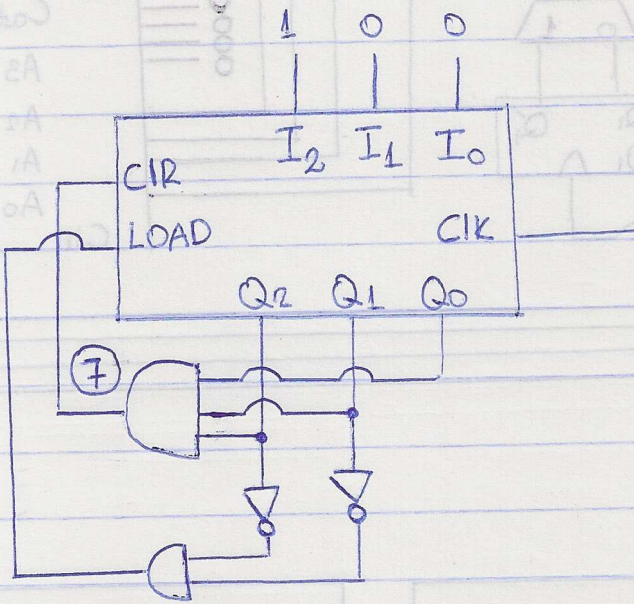


ΑΣΥΓΧΡΟΝΟ

~~0011~~ ~~0100~~ ~~0101~~ ~~610~~ ~~0000~~



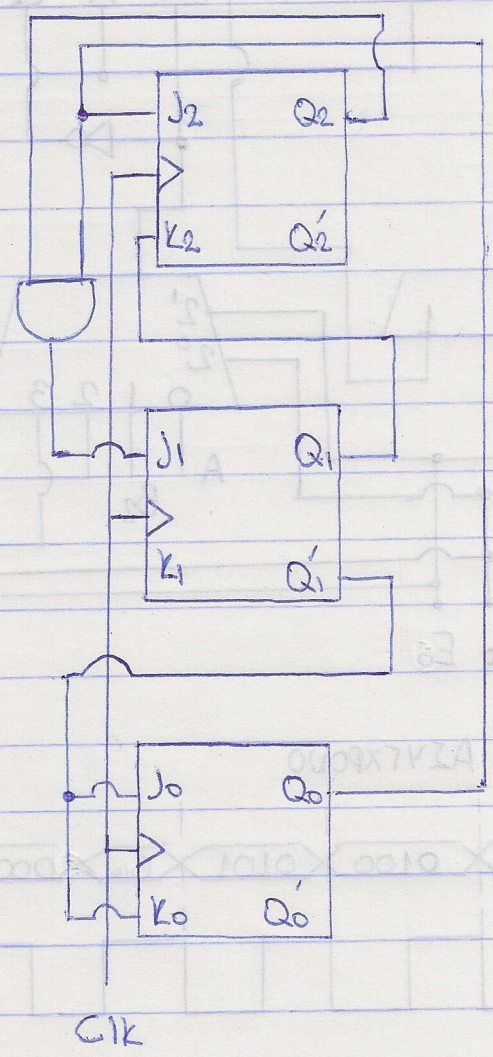
Abknoen 1



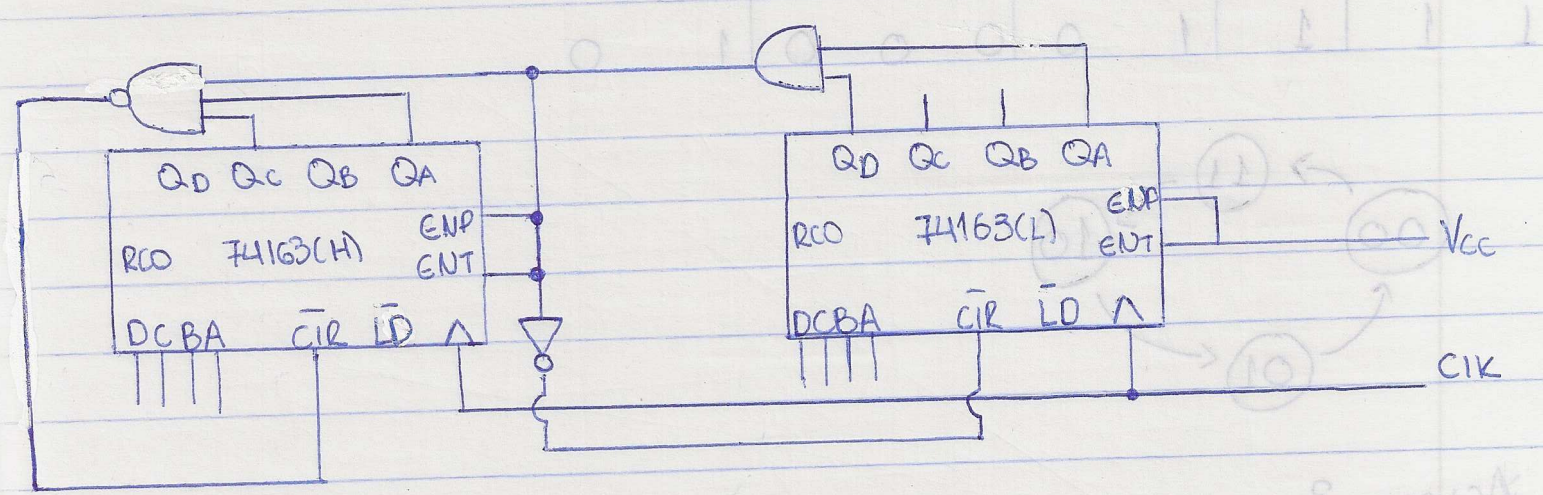
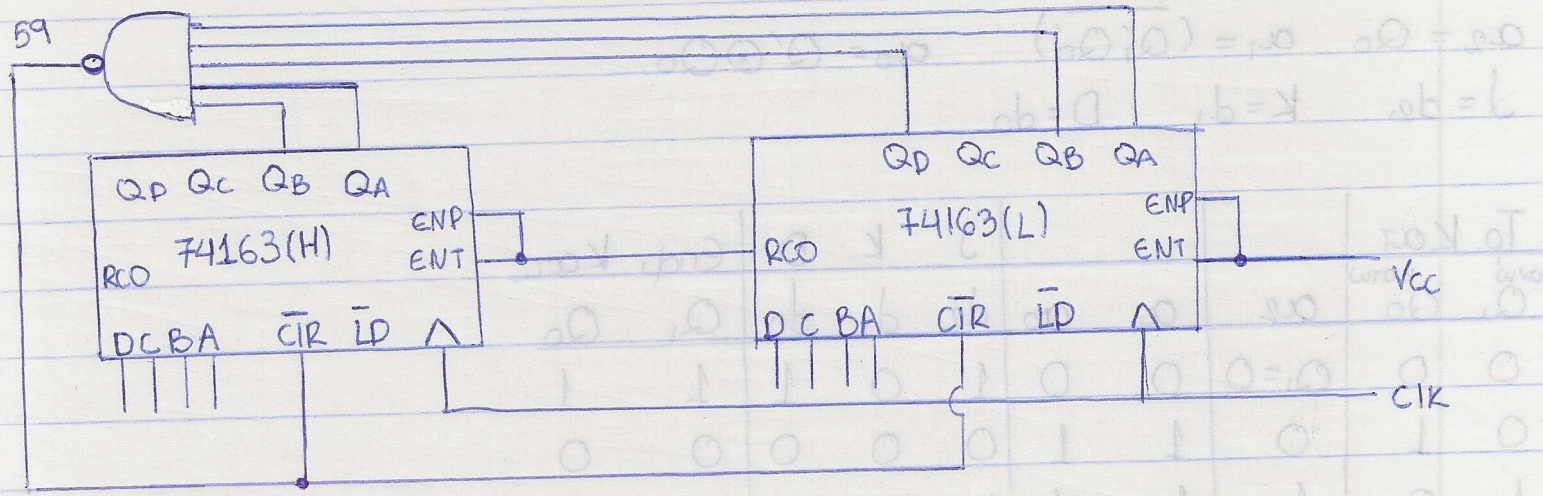
Abknoen

Tr. Kat			En. Kat			Eigodoi		
Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀	J ₂ K ₂	J ₁ K ₁	J ₀ K ₀
0	0	0	0	0	1	0 x	0 x	1 x
0	0	1	1	0	0	1 x	0 x	x 1
0	1	0	x	x	x	x x	x x	x x
0	1	1	x	x	x	x x	x x	x x
1	0	0	1	0	1	x 0	0 x	1 x
1	0	1	1	1	0	x 0	1 x	x 1
1	1	0	0	0	0	x 1	x 1	0 x
1	1	1	x	x	x	x x	x x	x x

$J_2 = Q_0$ $K_2 = Q_1$ $K_1 = 1$
 $J_0 = Q_1'$ $K_0 = Q_1'$ $J_1 = Q_2 Q_0$

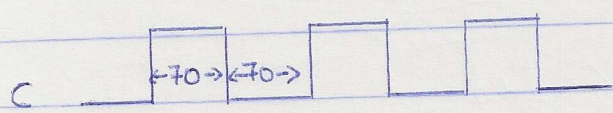


Άσκηση 2



Πρέπει να ανιχνεύσει το 59 και όχι μόνο το 5 για να καθοριστεί το 74163(H)

Άσκηση 3



Ποσό με $T = 140 \text{ ns}$

$91,42 \mu\text{s} = 91420 \text{ ns}$
 $91420 / 140 = 653 \text{ περιόδους}$

$653_{(10)} = 1010001101_{(2)}$

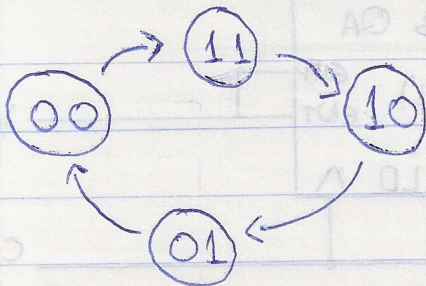
Μετρώ από το 0 μέχρι το 652

Азвннн 1

$$a_2 = Q_0 \quad a_1 = (\overline{Q_1} Q_0') \quad a_0 = Q' \odot Q_0$$

$$J = d_2 \quad K = d_1 \quad D = d_0$$

Тр. Кар.		J K D						Енд. Кар.	
Q_1	Q_0	a_2	a_1	a_0	d_2	d_1	d_0	Q_1	Q_0
0	0	$Q_1 = 0$	0	0	1	0	1	1	1
0	1	0	1	1	0	0	0	0	0
1	0	1	1	1	1	1	1	0	1
1	1	1	1	0	0	0	0	1	0



Азвннн 3

$$H(a,b,c) = \sum(0,3,6)$$

$$F(a,b,c) = \sum(2,3,4) = \sum(0,1,5,6,7)$$

$$G(a,b,c) = \sum(1,5,6)$$

$$K(a,b,c) = \sum(0,5,6)$$

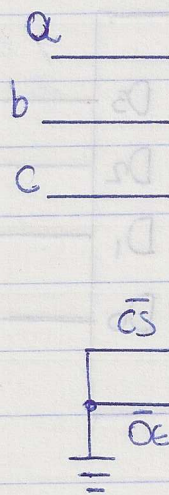
$$(a) 1011000101 = (a)_{10}$$

$$2108110 = (a)_{10}$$

$$11201110 = (a)_{10}$$

Методом отбора 0 от двоичного

a	b	c	H	F	G	K	D ₃	D ₂	D ₁	D ₀		
0	0	0	1	1	0	1	1	1	0	1	D ₃	H
0	0	1	0	1	1	0	0	1	1	0	D ₂	F
0	1	0	0	0	0	0	0	0	0	0	D ₁	G
0	1	1	1	0	0	0	1	0	0	0	D ₀	K
1	0	0	0	0	0	0	0	0	0	0		
1	0	1	0	1	1	1	0	1	1	1		
1	1	0	1	1	1	1	1	1	1	1		
1	1	1	0	1	0	0	0	1	0	0		

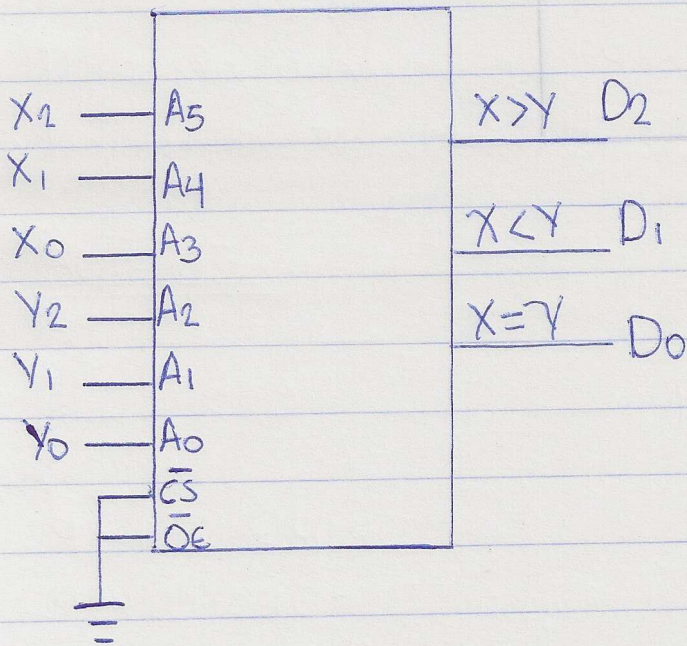


Άσκηση 5

6 Address bits $\Rightarrow 2^6 = 64$ θέσεις

Για κάθε θέση : 3 bits αναδιεύθυνσης

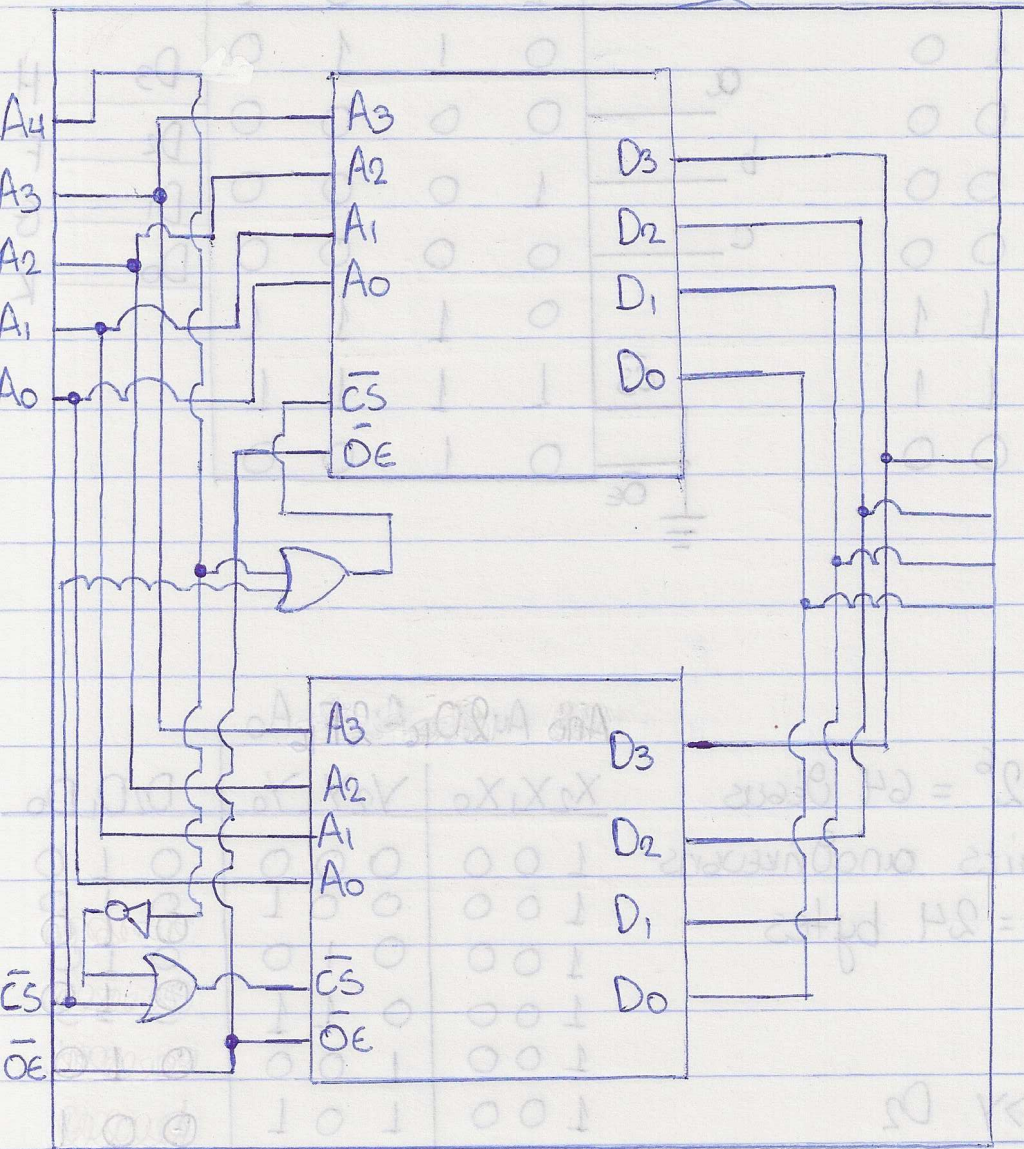
$2^6 \times 3 = 64 \times 3$ bits = 24 bytes



A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	X ₂ X ₁ X ₀	Y ₂ Y ₁ Y ₀	D ₂ D ₁ D ₀
1	0	0	0	0	0	100	000	010
1	0	0	0	0	1	100	001	010
1	0	0	0	1	0	100	010	010
1	0	0	0	1	1	100	011	010
1	0	0	1	0	0	100	100	001
1	0	0	1	0	1	100	101	010
1	0	0	1	1	0	100	110	010
1	0	0	1	1	1	100	111	010
0	0	0	0	0	0	000	000	010
0	0	0	0	0	1	001	001	010
0	0	0	0	1	0	001	010	010
0	0	0	0	1	1	001	011	010
0	0	1	0	0	0	010	000	100
0	0	1	0	0	1	010	001	001
0	0	1	0	1	0	010	010	010
0	0	1	0	1	1	010	011	010
0	1	0	0	0	0	101	000	010
0	1	0	0	0	1	101	001	010
0	1	0	0	1	0	101	010	010
0	1	0	0	1	1	101	011	010

Άσκηση 2

32 θέσεις x 4 ψηφία ανά θέση



Άσκηση 2

X₀ - A₀
X₁ - A₁
X₂ - A₂
X₃ - A₃
X₄ - A₄
X₅ - A₅
X₆ - A₆
X₇ - A₇
X₈ - A₈
X₉ - A₉
X₁₀ - A₁₀
X₁₁ - A₁₁
X₁₂ - A₁₂
X₁₃ - A₁₃
X₁₄ - A₁₄
X₁₅ - A₁₅
X₁₆ - A₁₆
X₁₇ - A₁₇
X₁₈ - A₁₈
X₁₉ - A₁₉
X₂₀ - A₂₀
X₂₁ - A₂₁
X₂₂ - A₂₂
X₂₃ - A₂₃
X₂₄ - A₂₄
X₂₅ - A₂₅
X₂₆ - A₂₆
X₂₇ - A₂₇
X₂₈ - A₂₈
X₂₉ - A₂₉
X₃₀ - A₃₀
X₃₁ - A₃₁

X₀ - A₀
X₁ - A₁
X₂ - A₂
X₃ - A₃
X₄ - A₄
X₅ - A₅
X₆ - A₆
X₇ - A₇
X₈ - A₈
X₉ - A₉
X₁₀ - A₁₀
X₁₁ - A₁₁
X₁₂ - A₁₂
X₁₃ - A₁₃
X₁₄ - A₁₄
X₁₅ - A₁₅
X₁₆ - A₁₆
X₁₇ - A₁₇
X₁₈ - A₁₈
X₁₉ - A₁₉
X₂₀ - A₂₀
X₂₁ - A₂₁
X₂₂ - A₂₂
X₂₃ - A₂₃
X₂₄ - A₂₄
X₂₅ - A₂₅
X₂₆ - A₂₆
X₂₇ - A₂₇
X₂₈ - A₂₈
X₂₉ - A₂₉
X₃₀ - A₃₀
X₃₁ - A₃₁



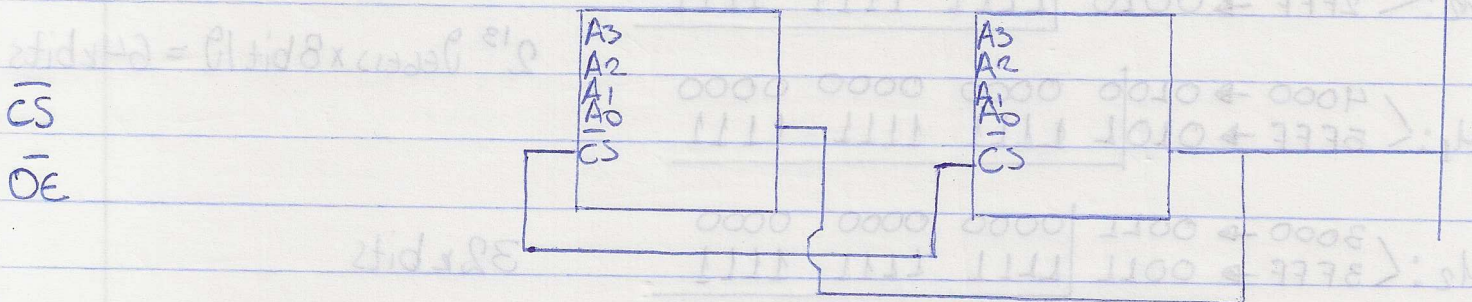
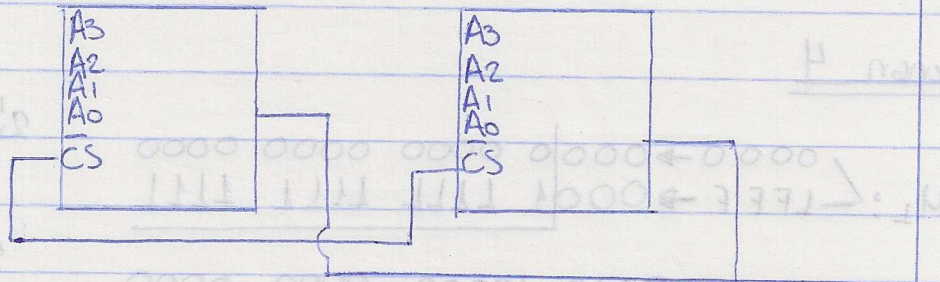
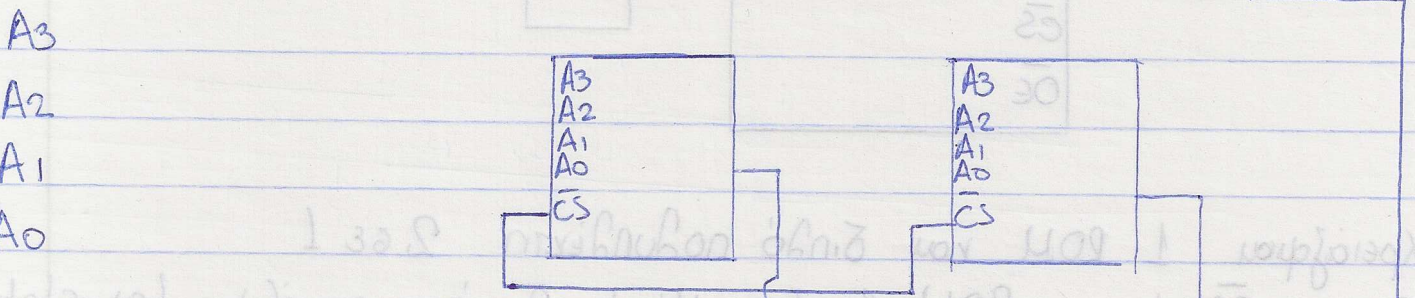
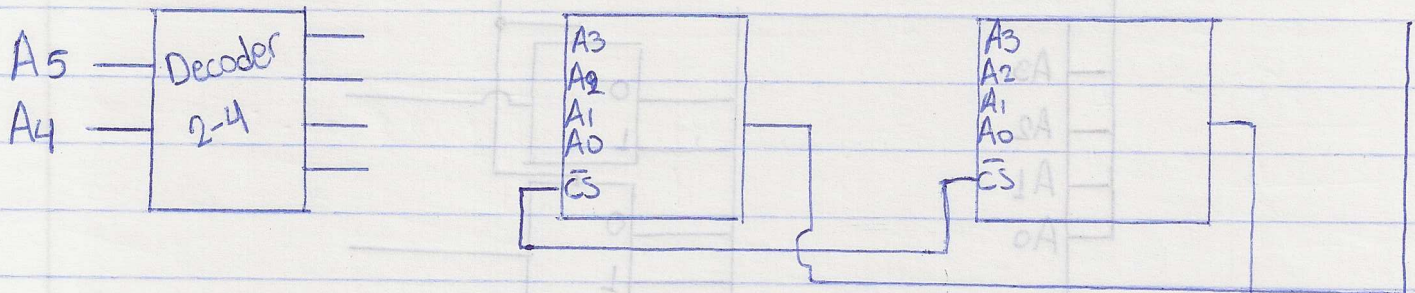
64x8

4A

4bit

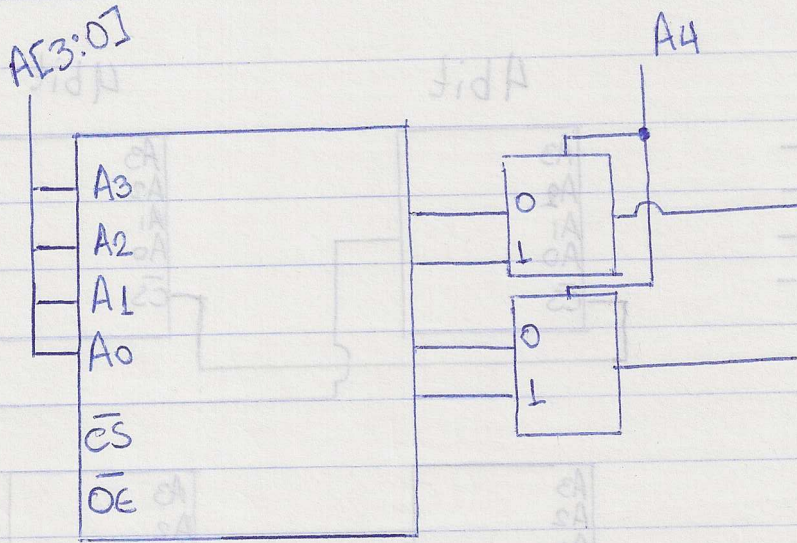
4bit

8x28



Τα εξωτερικά A_3, A_2, A_1, A_0 συνδέονται με τα αντίστοιχα A_3, A_2, A_1, A_0 καθενός chip. Οι εξοδοί του decoder πάνε στα CS.

32 x 2



Χρειάζονται 1 ROM και δύο πομπήτριες 2 σε 1
 Όταν $\bar{CS}=1$ η ROM βρίσκεται High 2 άρα χρειαζόμαστε try-state

Άσκηση 4

ROM ₁ :	0000 → 0000	0000 0000 0000
	1FFF → 0001	1111 1111 1111
ROM ₂ :	2000 → 0010	0000 0000 0000
	2FFF → 0010	1111 1111 1111
RAM ₁ :	4000 → 0100	0000 0000 0000
	5FFF → 0101	1111 1111 1111
RAM ₂ :	3000 → 0011	0000 0000 0000
	3FFF → 0011	1111 1111 1111
RAM ₃ :	6000 → 0110	0000 0000 0000
	7FFF → 0111	1111 1111 1111

$2^{13} \text{ θέτες} \times 8 \text{ bit} / 9 = 64 \text{ kbit}$

$2^{12} \text{ θέτες} \times 8 \text{ bit} / 9 = 32 \text{ kbits}$

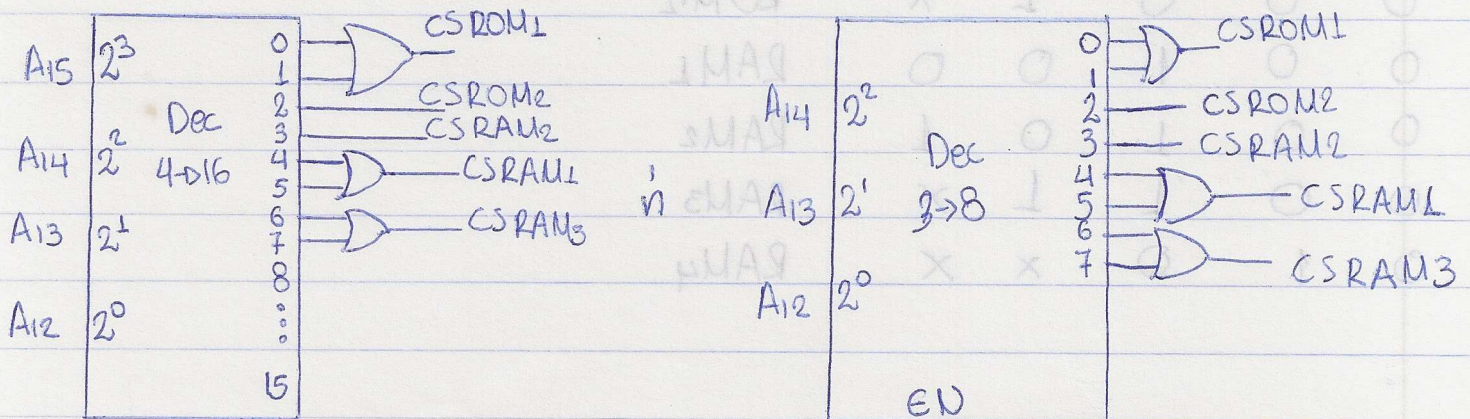
$2^{13} \text{ θέτες} \times 8 \text{ bit} / 9 = 64 \text{ kbits}$

32 kbits

64 kbits

a)

	A ₁₅	A ₁₄	A ₁₃	A ₁₂	
	0	0	0	x	ROM ₁
	0	0	1	0	ROM ₂
	0	0	1	1	RAM ₂
	0	1	0	x	RAM ₁
	0	1	1	x	RAM ₃



Adressen

A.

ROM ₁	0000 OFFF	0000 0000	0000 1111	0000 1111	0000 1111
ROM ₂	1000 1FFF	0001 0001	0000 0000	0000 0000	0000 0000
RAM ₁	2000 27FF	0010 0010	0000 0111	0000 1111	0000 1111
RAM ₂	2800 2FFF	0010 0010	1000 1111	0000 1111	0000 1111

RAM3 / 3000 0011 0000 0000 0000
 RAM3 / 3FFF 0011 1111 1111 1111

RAM4 / 4000 0100 0000 0000 0000
 RAM4 / 5FFF 0101 1111 1111 1111

B.

A15	A14	A13	A12	A11	OK
0	0	0	0	X	ROM1
0	0	0	1	X	ROM2
0	0	1	0	0	RAM1
0	0	1	0	1	RAM2
0	0	1	1	X	RAM3
0	1	0	X	X	RAM4

