

Ψηφιακά Ηλεκτρονικά

Μάθημα 1ο

Δ. Λιούπης

Ύλη του μαθήματος (1)

- Ψηφιακά ολοκληρωμένα κυκλώματα
 - ◆ Πλεονεκτήματα-μειονεκτήματα
 - ◆ Λογικές οικογένειες
 - ◆ Χαρακτηριστικά
- Λογική άμεσα συζευγμένων transistor
 - ◆ Λογική αντίστασης-transistor (RTL)
 - ◆ Λογική διόδου-transistor (DTL)
 - ◆ Λογική transistor-transistor (TTL)
- Άλλες σειρές της οικογένειας TTL
 - ◆ Low power
 - ◆ High power
 - ◆ Schottky

Ύλη του μαθήματος (2)

- Schmitt trigger
- Λογική οικογένεια συζευγμένων-εκπομπού (ECL)
- Λογικές οικογένειες CMOS κυκλωμάτων
- Διασύνδεση μεταξύ λογικών οικογενειών
 - ◆ Χαρακτηριστικά
 - ◆ I/O
- Κυκλώματα χρονισμού
 - ◆ Μονοσταθής πολυδονητής
 - ◆ Πολυσταθής πολυδονητής
- Θόρυβος
 - ◆ Γραμμές μετάδοσης, κτλ
- Ημιαγωγικές μνήμες

Βιβλίο για το μάθημα

“Πανεπιστημιακές Παραδόσεις
Ψηφιακών Ηλεκτρονικών”

Δ. Λιούπης – Μ. Στεφανιδάκης

Ιστορία Εξέλιξης Ολοκληρωμένων Κυκλωμάτων (IC)

- 1940-1950: Διακριτά στοιχεία, Discrete logic-PCB
- Πολλά στοιχεία στο ίδιο κομμάτι πυριτίου ⇒ **ολοκλήρωση** → VLSI (chip, Hybrid, κ.τ.λ.)
- Διάφορες τεχνικές κυκλωμάτων
- Διαφορετικές τεχνολογίες ημιαγωγού (πυριτίου, GaAs, κ.τ.λ.)

Πλεονεκτήματα ολοκλήρωσης

- Λιγότερα ICs
- Λιγότερες διασυνδέσεις
- Μικρό μέγεθος
- Μικρό βάρος
- Αξιοπιστία
- Χαμηλό κόστος
- Αύξηση παραγωγής

- Σε IC υλοποιούνται κυκλώματα που
 - ◆ είναι κοινή η χρήση τους (γενικότητα)
 - ◆ υπάρχει μεγάλη αγορά
 - ◆ δε χρειάζονται πολλά pin εισόδου/εξόδου
- Δύο ειδών transistor υλοποιούνται στο πυρίτιο
 - ◆ Bipolar (Διπολικά)
 - ◆ MOS
- Υπάρχει επίσης και ο συνδυασμός BiCMOS

Λογικές Οικογένειες

- Ανάλογα με την τεχνολογία και το κύκλωμα βασικής πύλης, κατασκευάζονται ένα σύνολο IC που καλούνται λογικές οικογένειες
 - ◆ TTL, Transistor-Transistor Logic
 - ◆ ECL, Emiteer-Coupled Logic
 - ◆ NMOS, N-channel MOS
 - ◆ CMOS, Complementary MOS
- Όλα τα κυκλώματα μιας λογικής οικογένειας έχουν όμοια χαρακτηριστικά \Rightarrow μπορούν να αλληλοσυνδεθούν κατευθείαν
- Κάθε οικογένεια έχει *υπέρ* και *κατά*

Λογικές Οικογένειες και Χαρακτηριστικά

Οικογένεια	Γινόμενο ταχύτητας, ισχύος (pJ)	t_{PD} (ns)	Ισχύς (mW)
Transistor-transistor logic (TTL)			
Low-power Schottky (LSTTL)	19	9.5	2
Low power (LTTL)	33	33	1
Schottky (STTL)	57	3	19
Standard (TTL)	100	10	10
High speed (HTTL)	132	6	22
Advanced Schottky (ASTTL)	15	1.5	10
Advanced low-power Schottky (ALSTTL)	4	4	1
Emitter-coupled logic (ECL)			
10k	50	2	25
100k	32	0.8	40
CMOS logic			
74HC	15	10	1.5 at 1MHz
400B	105	105	1 at 1MHz
<p>Διάφορα σχήματα ταξινόμησης των ολοκληρωμένων κυκλωμάτων είναι σε χρήση σήμερα. Για παράδειγμα είδαμε μια ταξινόμηση σε TTL, ECL, CMOS. Μια από τις σημαντικότερες ταξινομήσεις βασίζεται στο επίπεδο ολοκλήρωσης, δηλαδή στον αριθμό των πυλών που περιλαμβάνονται στο ολοκληρωμένο κύκλωμα.</p>			

Ταξινόμηση Βασισμένη στο Επίπεδο Ολοκλήρωσης

SSI Small-Scale Integration	μικρής κλίμακας ολοκλήρωση, λιγότερες από 10 πύλες/chip διαθέσιμα σε ECL, CMOS, TTL, τυπικά chip περιέχουν 4 πύλες ή 2 flip-flop
MSI Medium-Scale Integration	μεσαίας κλίμακας ολοκλήρωση 10 μέχρι 100 πύλες/chip διαθέσιμα σε ECL, CMOS, TTL, τυπικά chip είναι αθροιστές, πολυπλέκτες και μετρητές
LSI Large-Scale Integration	μεγάλης κλίμακας ολοκλήρωση 100 μέχρι 1000 πύλες/chip διαθέσιμα συνήθως σε NMOS, τυπικά chip είναι μνήμες, μικροεπεξεργαστές, μονάδες διασύνδεσης εισόδου/εξόδου
VLSI Very Large-Scale Integration	πολύ μεγάλης κλίμακας ολοκλήρωση περισσότερες από 1000 πύλες/chip, οι τεχνολογίες που χρησιμοποιούνται είναι NMOS, CMOS, STL, ISL, χρησιμοποιούνται για μικροϋπολογιστές, εξαρτήματα μεγάλων υπολογιστών
Integrated Schottky Logic : ISL Schottky Transistor Logic : STL	

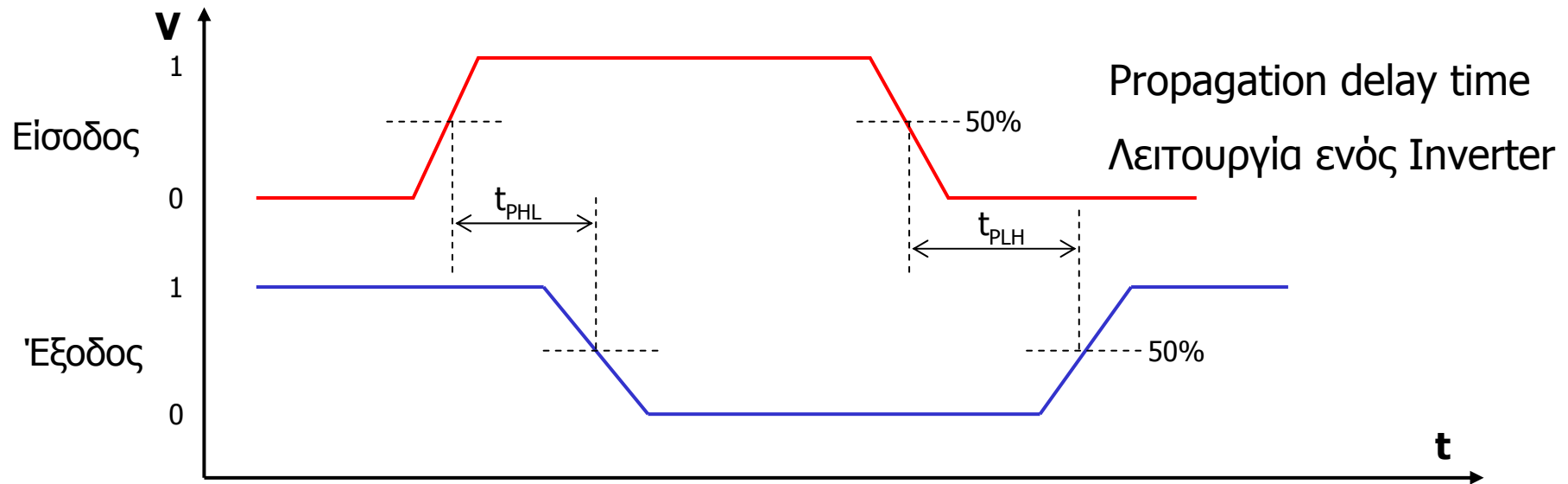
Γενικά Χαρακτηριστικά (1)

- Το κύκλωμα υλοποιεί λογικές συναρτήσεις → συνδυάζει σήματα λογικά και εγγυάται ότι τα σήματα εξόδου και εισόδου παραμένουν *κβαντισμένα*.
- Κβάντωση : σήματα σε δύο μη επικαλυπτόμενες περιοχές δυναμικού ή ρεύματος \Rightarrow η λογική τιμή προσδιορίζεται αξιόπιστα

Γενικά Χαρακτηριστικά (2)

- Ταχύτητα λειτουργίας
- Αναισθησία στο θόρυβο
- Ικανότητα μιας πύλης να οδηγήσει άλλες
- Τάση τροφοδοσίας
- Ισχύς κατανάλωσης ανά πύλη
- Περιοχή θερμοκρασίας για ασφαλή λειτουργία
- Ποικιλία συναρτήσεων
- Κόστος

Ταχύτητα Λειτουργίας



- Χρόνος καθυστέρησης $t_{PD} = \frac{t_{PHL} + t_{PLH}}{2}$
- Χρόνος μετάβασης από 10% έως 90% του συστήματος

Παράδειγμα	t_{PLH}	t_{PHL}	t_{PD}
ALS	4	5	4.5
MECL 10K	2	2	2
CMOS 74H series	10	10	10

Θόρυβος

- Παρασιτικά δυναμικά (ή ρεύματα) που οφείλονται σε :
 - ♦ Επαγωγική σύζευξη
 - ♦ Σύζευξη χωρητικότητας
 - ♦ Σύζευξη κοινής αντίστασης

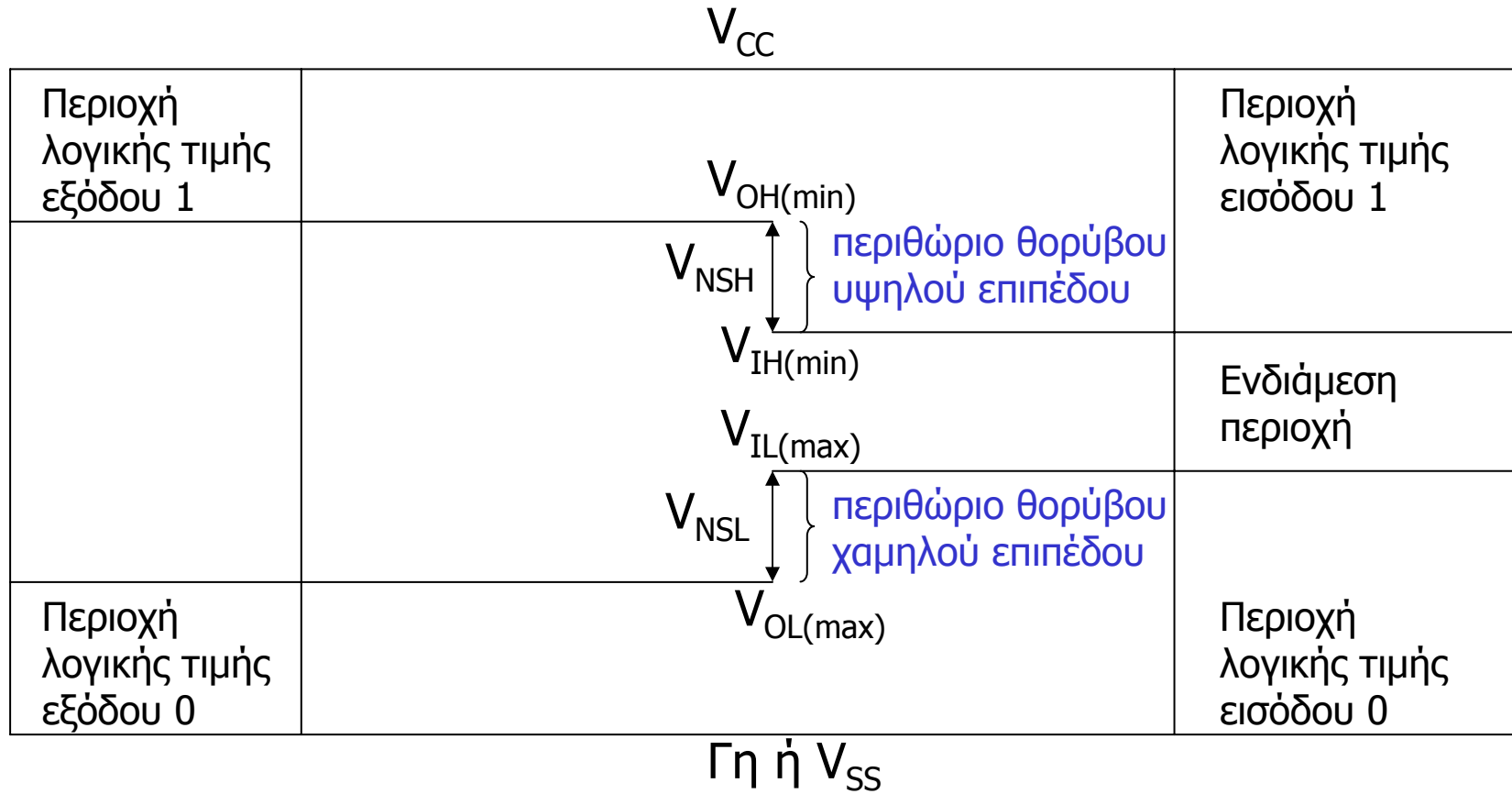
Αιτίες Θορύβου

- Εξωτερικές
 - ◆ Ηλεκτρικές επαφές
 - ◆ Κινητήρες
 - ◆ Παλμοί
 - ◆ Τροφοδοτικό
- Εσωτερικές
 - ◆ Crosstalk (αλληλεπίδραση)
 - ◆ Ανακλάσεις
 - ◆ Αιχμές ρεύματος (spikes)
 - ◆ Σπινθήρες (hazards)

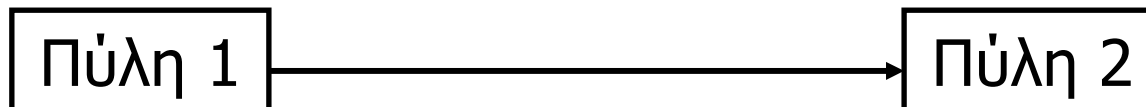
Αποτελέσματα Θορύβου & Λύσεις

- Τα αποτελέσματα του θορύβου μπορεί να είναι καταστροφικά, γι' αυτό πρέπει να περιοριστούν οι συνέπειες θορύβου
 - ◆ Ελαχιστοποίηση γέννησης θορύβου
 - ◆ Αναισθησία στο θόρυβο
 - Η εισαγωγή θορύβου δεν επηρεάζει τα λογικά επίπεδα
 - Μέγιστη ηλεκτρική τάση θορύβου που μπορεί να προστεθεί σε ένα λογικό σήμα χωρίς να αλλάξει η τιμή του

Παράδειγμα



Λογικά επίπεδα εξόδου μεγαλύτερα από λογικά επίπεδα εισόδου



Λεπτομέρειες Λειτουργίας

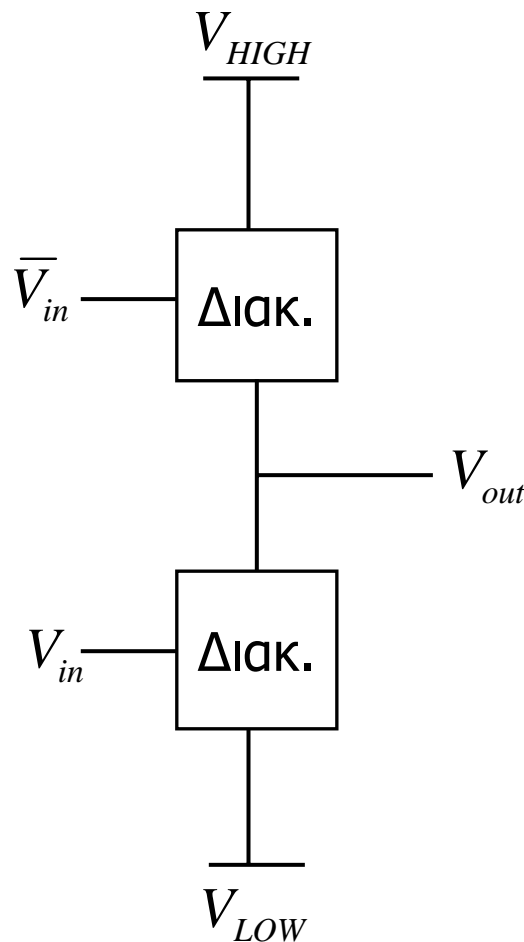
- Τάση τροφοδοσίας
 - ♦ Μία ή περισσότερες
 - ♦ Απλοποιεί το τροφοδοτικό
- Ισχύς που καταναλώνει η πύλη
 - ♦ Καθορίζει την ισχύ κατανάλωσης του συστήματος
 - ♦ CMOS χαμηλότερη \Rightarrow μεγαλύτερες δυνατότητες ολοκλήρωσης
- Περιοχή θερμοκρασίας για ασφαλή λειτουργία
 - ♦ Κανονικά κυκλώματα : $0^{\circ}\text{C} - 75^{\circ}\text{C}$
 - ♦ Military spec : $-55^{\circ}\text{C} - 125^{\circ}\text{C}$
- Κόστος
 - ♦ Τα MOS έχουν χαμηλότερο κόστος. Για παράδειγμα:
 - Ποσότητα : 1-99 \Rightarrow κόστος : 10 δρχ/πύλη
 - Ποσότητα : 100-999 \Rightarrow κόστος : 8 δρχ/πύλη
 - Ποσότητα : 1000 και πάνω \Rightarrow κόστος : 5 δρχ/πύλη
 - ♦ Πολύ σημαντική είναι η **διαθεσιμότητα**

Δομές Πυλών

- Επισκόπηση των διαφορετικών μορφών των βαθμίδων εξόδου που χρησιμοποιούνται στα I.C.
- Κύρια λειτουργία βαθμίδας εξόδου: να συνδέει ένα ψηφιακό κβαντισμένο σήμα στον ακροδέκτη εξόδου

Βαθμίδες εξόδου με ενεργές διατάξεις ανύψωσης και πτώσης του δυναμικού εξόδου

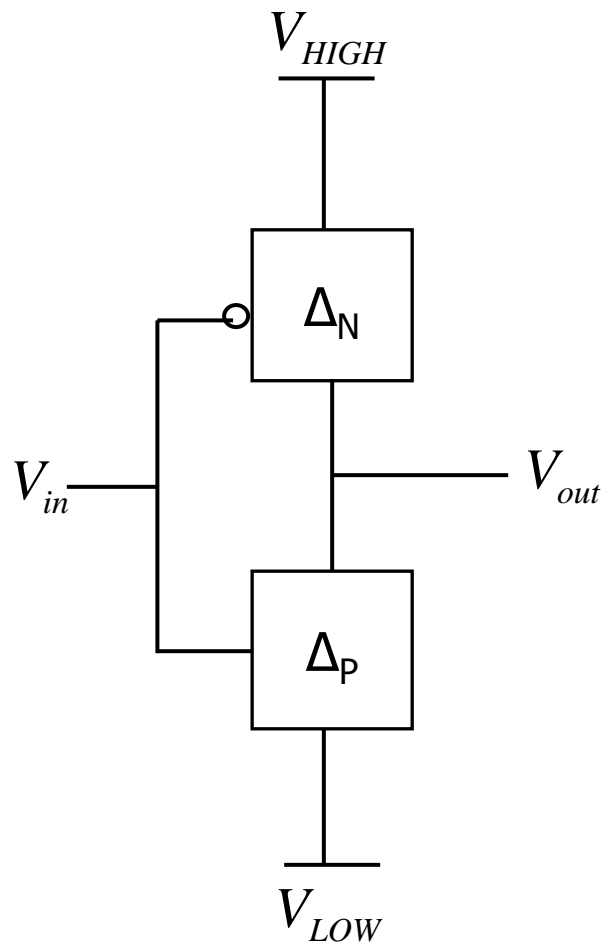
(Pullup & Pulldown – αμφότερα ενεργά) (1)



- Ελέγχοντας πότε καθένας από τους διακόπτες είναι κλειστός, εξασφαλίζουμε ότι παράγεται το σωστό σήμα εξόδου
 - ♦ Standard δομή για οικογένεια TTL
 - ♦ NMOS \Rightarrow για επιπλέον ικανότητα οδήγησης
- Μειονέκτημα: απαιτείται το \bar{V}_{in}
 - ♦ Αποφεύγεται αν χρησιμοποιήσουμε δύο ειδών διακόπτες (standard δομή για CMOS)

Βαθμίδες εξόδου με ενεργές διατάξεις ανύψωσης και πτώσης του δυναμικού εξόδου

(Pullup & Pulldown – αμφότερα ενεργά) (2)



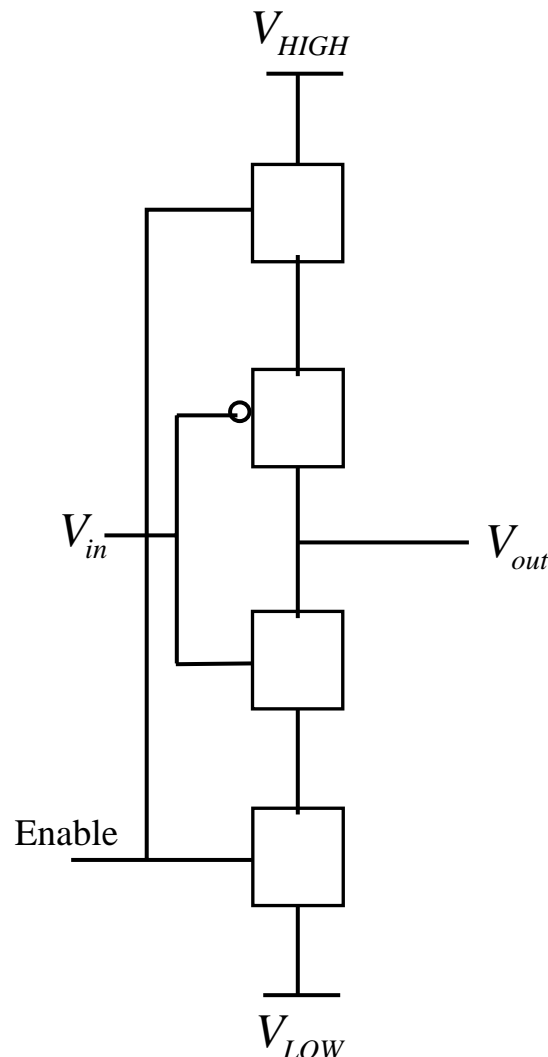
- Δύο ειδών transistor (n-τύπου και p-τύπου)
- Κατασκευή chip: πολύπλοκη, δαπανηρή
- Πλεονεκτήματα τεχνολογίας CMOS
 - ♦ Προσφέρει μια απλή πύλη συμπληρώματος (η βαθμίδα εξόδου πραγματοποιεί και αντιστροφή)
 - ♦ Υψηλή αναισθησία θορύβου
 - ♦ Χαμηλή κατανάλωση ισχύος

Βαθμίδες εξόδου με ενεργές διατάξεις ανύψωσης και πτώσης του δυναμικού εξόδου (Pullup & Pulldown – αμφότερα ενεργά) (3)

- Άμεση σύνδεση των εξόδων δύο κυκλωμάτων (**wired logic**) δεν είναι δυνατή όταν χρησιμοποιούνται ενεργές διατάξεις ανύψωσης και πτώσης του δυναμικού εξόδου, διότι δημιουργείται αγώγιμο μονοπάτι μεταξύ των δύο πηγών δυναμικού
 - ◆ Το κοινό σημείο θα έχει ενδιάμεσο δυναμικό (απροσδιόριστη περιοχή)
 - ◆ Κίνδυνος καταστροφής κάποιας πύλης, λόγω ports υψηλών ρευμάτων

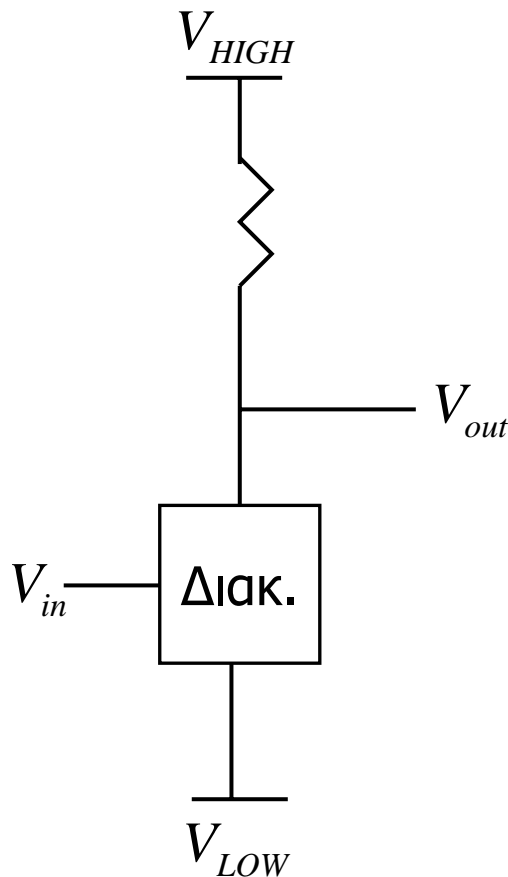
Βαθμίδες εξόδου με ενεργές διατάξεις ανύψωσης και πτώσης του δυναμικού εξόδου

(Pullup & Pulldown – αμφότερα ενεργά) (4)



- *Κατάσταση υψηλής αντίστασης:*
επιτυγχάνεται αποσυνδέοντας τις διατάξεις ανύψωσης και πτώσης του δυναμικού εξόδου από την τροφοδοσία
 - ♦ Standard δομή για NMOS κυκλώματα τριών καταστάσεων
- Όταν $En=1$, οι διατάξεις που βρίσκονται στην κορυφή και στη βάση άγουν και το κύκλωμα λειτουργεί σαν την πρώτη περίπτωση
- Όταν $En=0$, οι παραπάνω διακόπτες δεν άγουν, με αποτέλεσμα η έξοδος να είναι σε κατάσταση υψηλής αντίστασης

Βαθμίδες εξόδου με ενεργό διάταξη πτώσης & παθητική διάταξη ανύψωσης του δυναμικού εξόδου ή αντίστροφα (Passive pullup – pulldown)



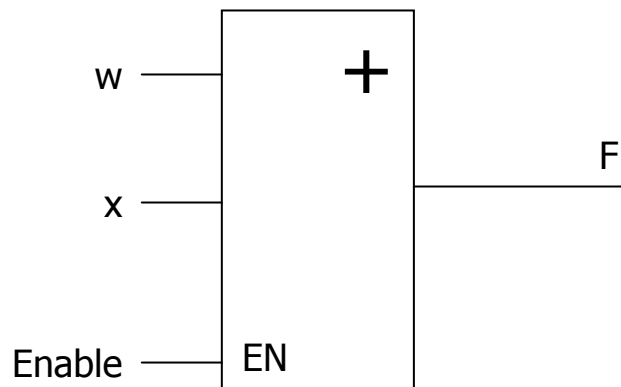
- Όταν το ενεργό στοιχείο άγει η αντίστασή του είναι πολύ μικρότερη από την αντίσταση φόρτου και το δυναμικό εξόδου θα είναι πολύ κοντά στο δυναμικό τροφοδοσίας του ενεργού στοιχείου. Όταν δεν άγει, η έξοδος έχει το δυναμικό που εφαρμόζεται στην άλλη άκρη της αντίστασης.
- Επιτρέπεται η κατ' ευθείαν σύνδεση των εξόδων δύο ή περισσότερων κυκλωμάτων (wired logic)
- Η διπλανή διάταξη χρησιμοποιείται στην TTL και καλείται κύκλωμα ανοιχτού-συλλέκτη (open collector). Βαθμίδες εξόδου με ενεργά στοιχεία ανύψωσης δυναμικού χρησιμοποιούνται στην τεχνολογία ECL.

Καλωδιωμένη Λογική (Wired Logic)

- Ορισμένες λογικές οικογένειες διαθέτουν πύλες που έχουν τη δυνατότητα καλωδιωμένης λογικής: όταν οι έξοδοι μιας τέτοιας πύλης συνδεθούν μαζί, έχουμε το αποτέλεσμα μιας επιπλέον πύλης.
- Καλωδιωμένη AND (implied AND, dot AND ή wired AND)
 - ◆ κύκλωμα TTL
- Καλωδιωμένη OR (implied OR, dot OR ή wired OR)
 - ◆ κύκλωμα ECL

Λογική τριών καταστάσεων (1)

- Στο σχήμα φαίνεται το σύμβολο μιας πύλης τριών καταστάσεων και ο πίνακας λειτουργίας της
- Hi-z: κατάσταση υψηλής αντίστασης. Τότε είναι σαν ο ακροδέκτης εξόδου να μην είναι συνδεδεμένος με την πύλη.



Enable	w	x	F
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1
0	d	d	Hi-z

Λογική τριών καταστάσεων (2)

- Στο σχήμα φαίνεται η σύνδεση κάποιων κυκλωμάτων με έξοδο τριών καταστάσεων πάνω σε μία αρτηρία

