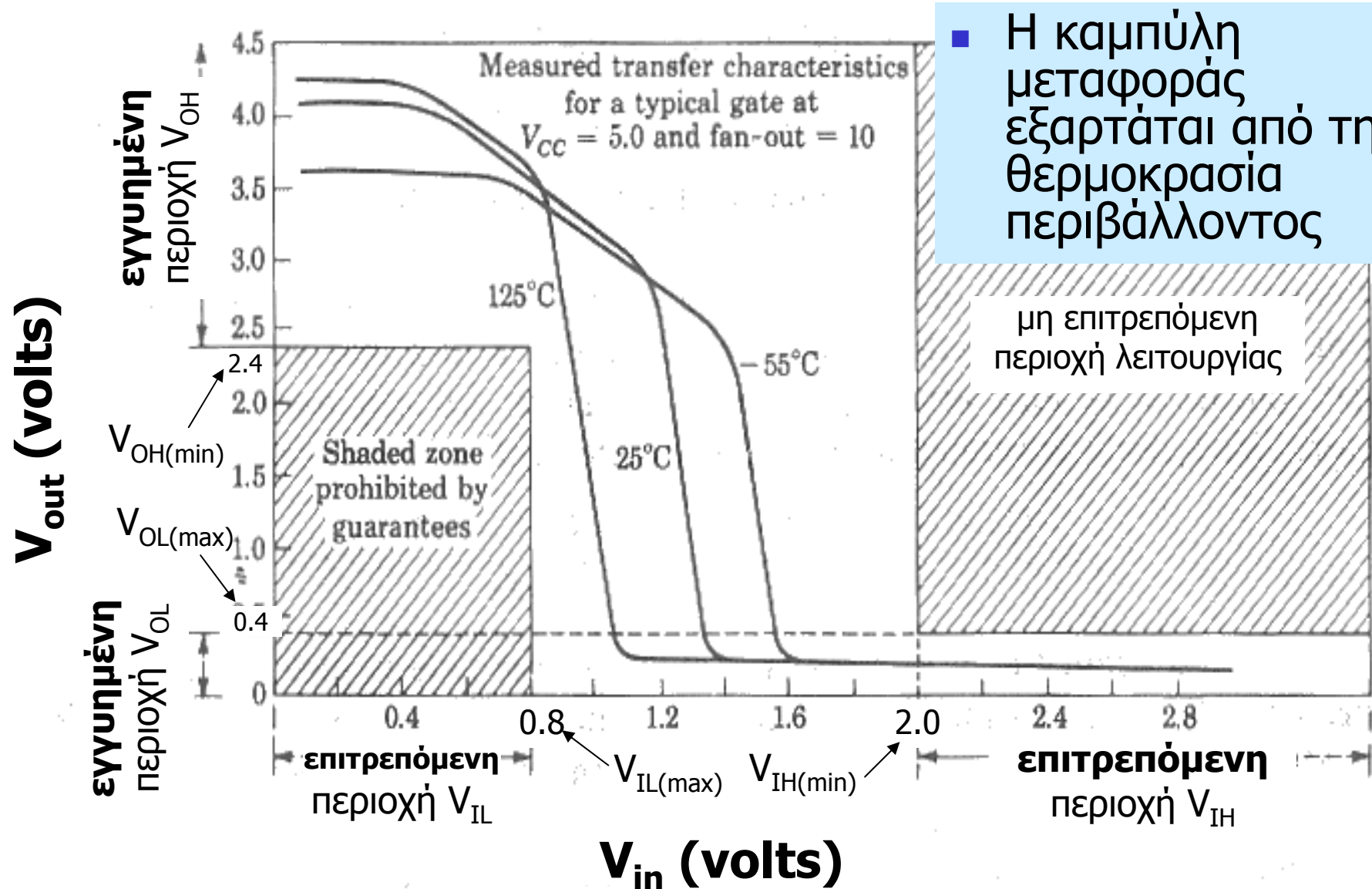


# Ψηφιακά Ηλεκτρονικά

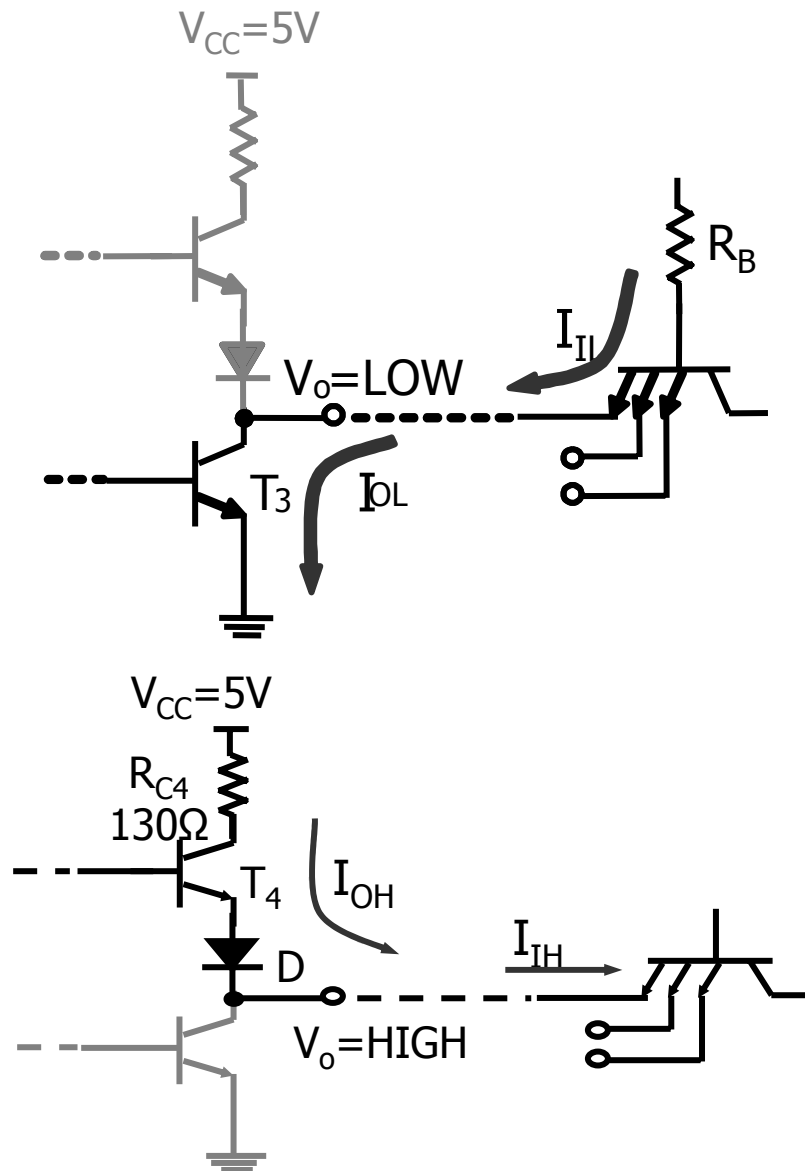
Μάθημα 3ο

Δ. Λιούπης

# Χαρακτηριστική καμπύλη μεταφοράς τάσης TTL



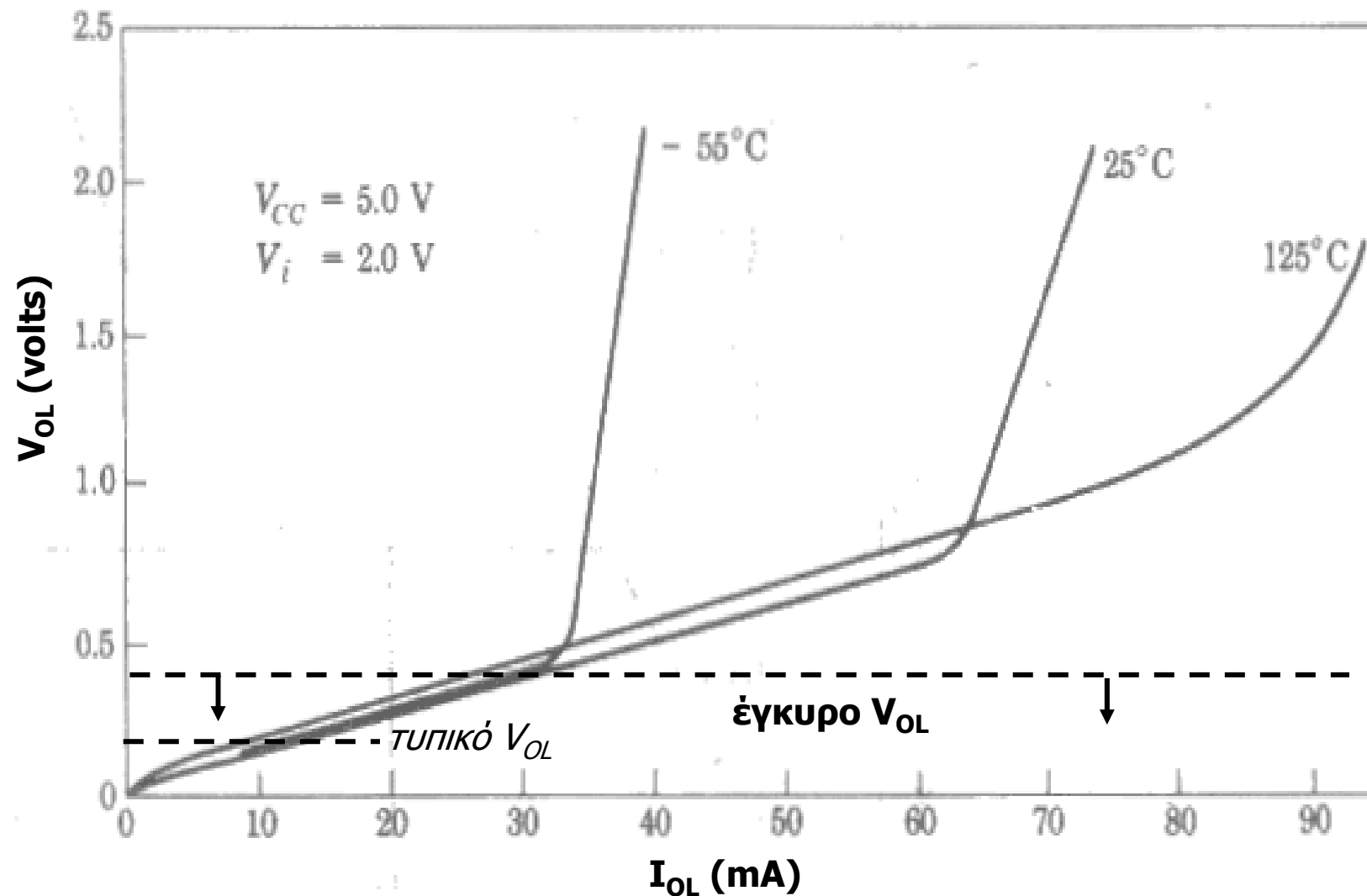
# Οδηγητική ικανότητα πύλης TTL



## ■ Μία πύλη TTL

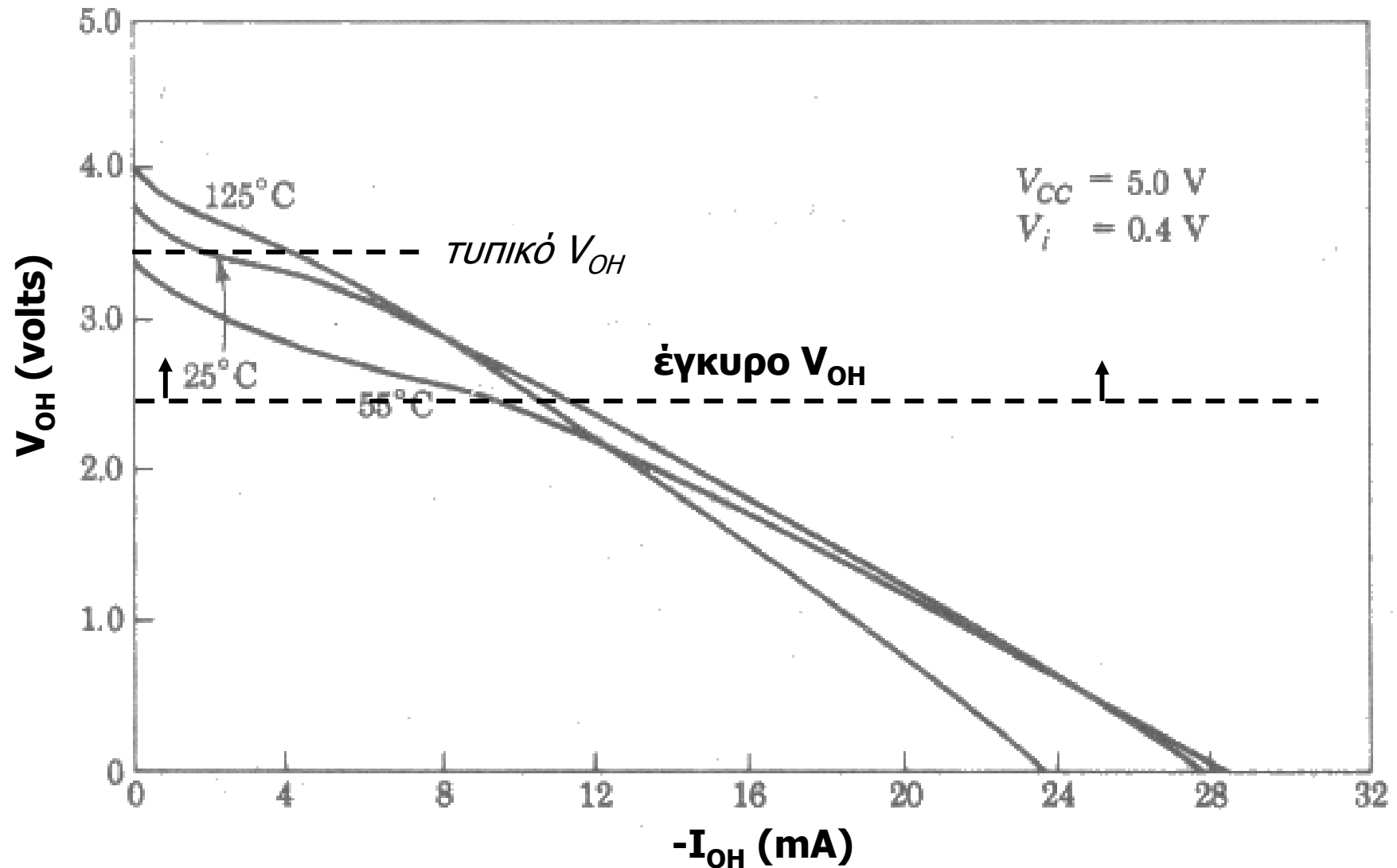
- ♦ όταν η έξοδος βρίσκεται σε χαμηλή λογική στάθμη, καταβυθίζει (*sink*) ρεύμα από τις εισόδους των πυλών που οδηγεί, μέσω του  $T_3$  το οποίο είναι σε κορεσμό
- ♦ όταν η έξοδος βρίσκεται σε υψηλή λογική στάθμη, παρέχει (*source*) ρεύμα προς τις εισόδους των πυλών που οδηγεί, μέσω των  $R_{C4}$ ,  $T_4$  και  $D$ .

# Χαρακτηριστική καμπύλη εξόδου $V_{OL}-I_{OL}$

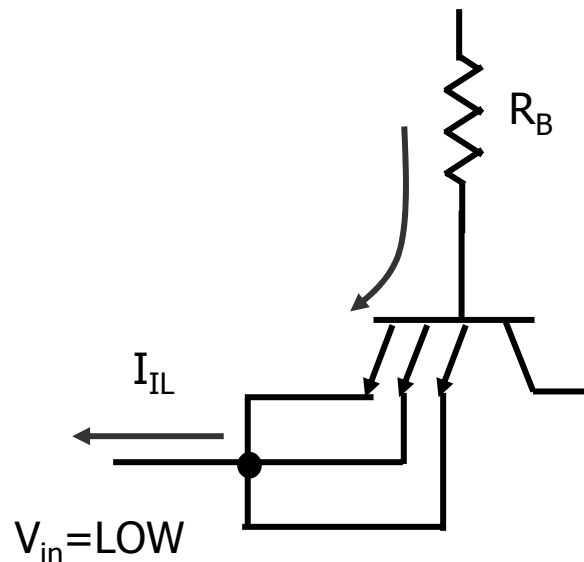
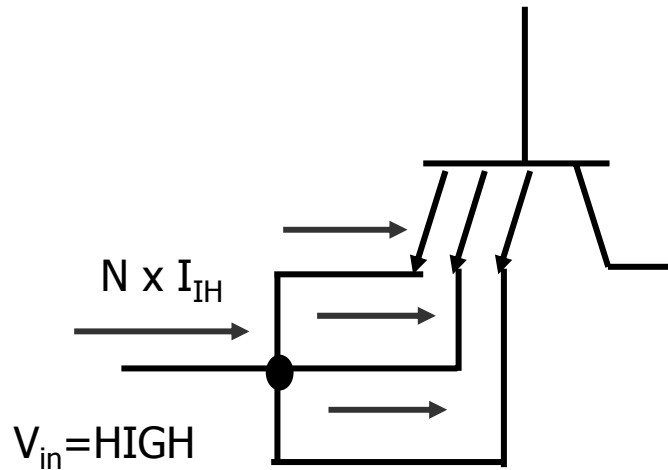


# Χαρακτηριστική καμπύλη εξόδου

## $V_{OH}-I_{OH}$



# Παράλληλη σύνδεση εισόδων



- Όταν περισσότερες από μία είσοδοι του transistor πολλαπλού εκπομπού μιας πύλης TTL συνδέονται μαζί
  - ♦ αν  $V_{in} = HIGH$ , το συνολικό ρεύμα  $I_{IH}$  είναι ανάλογο του αριθμού των εισόδων που είναι συνδεδεμένες μαζί ( $n \times I_{IH}$ )
  - ♦ αν  $V_{in} = LOW$ , το συνολικό ρεύμα  $I_{IL}$  ρυθμίζεται από την αντίσταση  $R_B$  και δεν εξαρτάται από τον αριθμό των εισόδων

# Καθυστέρηση διάδοσης πύλης TTL

- Η καθυστέρηση διάδοσης του σήματος από την είσοδο στην έξοδο προσδιορίζει την ταχύτητα λειτουργίας
- Για τα κυκλώματα standard TTL η καθυστέρηση διάδοσης μετράται όταν το σήμα εισόδου και εξόδου έχει την τιμή 1.5V
- Ισχύει ότι  $t_{PLH} > t_{PHL}$ , διότι όταν  $V_{out} = \text{LOW}$ , το  $T_3$  εισέρχεται βαθιά στην περιοχή κορεσμού  $\Rightarrow$  αργεί περισσότερο να επιστρέψει στην αποκοπή όταν γίνει  $V_{out} = \text{HIGH}$

# Παράδειγμα

- Για μία πύλη **standard TTL NAND (7400)** τυπικές τιμές καθυστέρησης διάδοσης του σήματος είναι  $t_{PHL}=7ns$  και  $t_{PLH}=11ns$ , με τάση τροφοδοσίας  $V_{CC}=5V$ , θερμοκρασία περιβάλλοντος  $T_A=25^{\circ}C$  και χωρητικότητα φορτίου εξόδου  $C_L=15pF$ .
  - ♦ Για τον υπολογισμό μίας μέσης τιμής καθυστέρησης διάδοσης ( $t_{PD}$ ) χρησιμοποιείται η σχέση: 
$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{7 + 11}{2} = 9 ns$$
  - ♦ Αντίστοιχα η μέγιστη συχνότητα λειτουργίας της πύλης για ένα πλήρη κύκλο L-H-L δίνεται από τη σχέση: 
$$f_{MAX} = \frac{1}{t_{PHL} + t_{PLH}} = \frac{1}{7 + 11} \approx 55MHz$$
  - ♦ Όταν  $V_{CC} \uparrow \Rightarrow$  καθυστέρηση διάδοσης  $\downarrow$
  - ♦ Όταν  $C_L \uparrow \Rightarrow$  καθυστέρηση διάδοσης  $\uparrow$
  - ♦ Όταν  $T_A \uparrow \Rightarrow t_{PD}$  μικρές αποκλίσεις θετικές ή αρνητικές ανάλογα με τις κατασκευαστικές παραμέτρους της πύλης



# Κατανάλωση ισχύος πύλης TTL (1)

- Η στατική κατανάλωση ισχύος  $P$  (όσο οι έξοδοι διατηρούνται σταθερές) εξαρτάται από το ρεύμα τροφοδοσίας  $I_{CC}$  και δίνεται από τον τύπο:

$$P = V_{CC} \times I_{CC}$$

- Για κάθε ολοκληρωμένο δίνονται δύο τιμές ρεύματος τροφοδοσίας,  $I_{CCH}$  και  $I_{CCL}$ , ανάλογα με το αν η έξοδος είναι HIGH ή LOW αντίστοιχα.
- Το  $I_{CCH}$  είναι 2-3 φορές μικρότερο από το  $I_{CCL}$ 
  - ♦ π.χ. για μία NAND 7400 δίνονται  $I_{CCH(max)}=8mA$  και  $I_{CCL(max)}=22mA$

## Κατανάλωση ισχύος πύλης TTL (2)

- Αν οι έξοδοι εναλλάσσουν λογικές στάθμες, υπολογίζεται η μέση κατανάλωση ισχύος, χρησιμοποιώντας τη μέση τιμή του  $I_{CC}$ . Έτσι η μέση τιμή  $I_{CC(av)}$  δίνεται από τα  $I_{CCH}$  και  $I_{CCL}$  από τον τύπο:

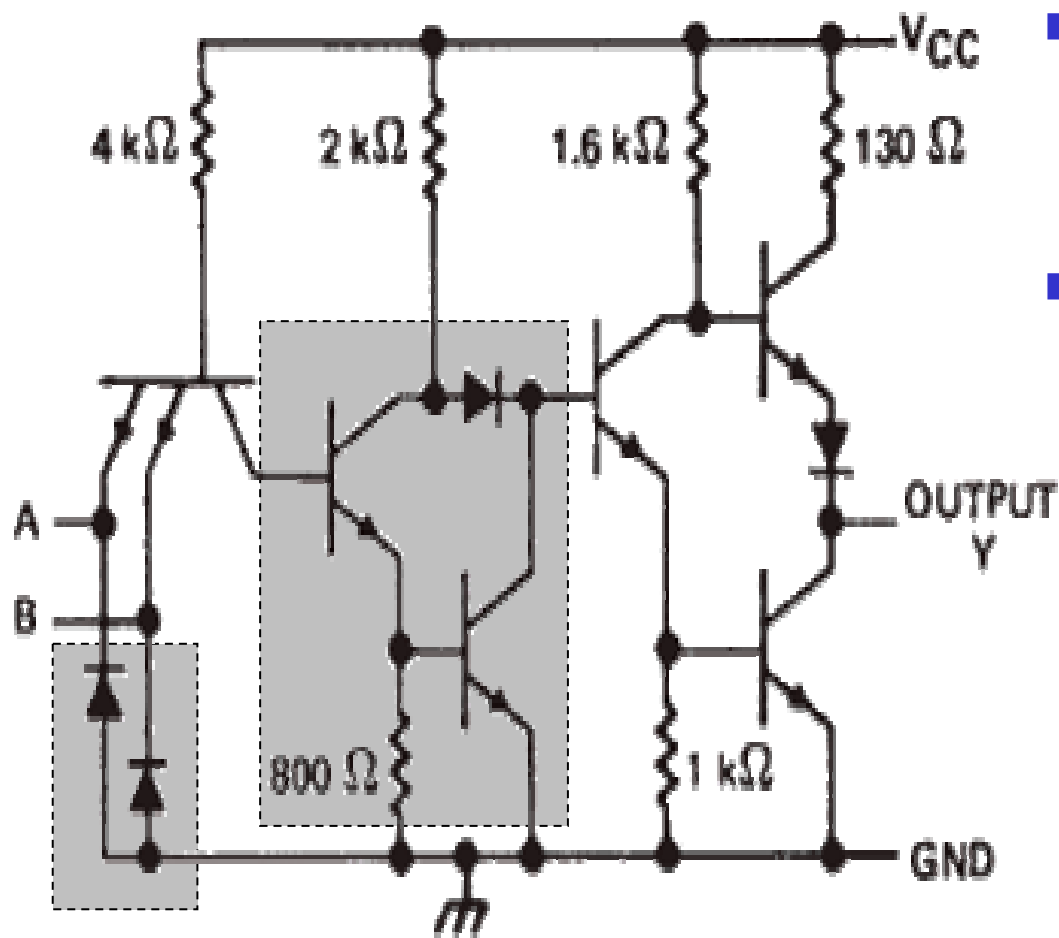
$$I_{CC(av)} = r \cdot I_{CCH} + (1 - r) \cdot I_{CCL}$$

$r$ : ο λόγος του χρόνου κατά τον οποίο οι έξοδοι είναι HIGH προς το χρόνο κατά τον οποίο είναι LOW (duty cycle)

## Κατανάλωση ισχύος πύλης TTL (3)

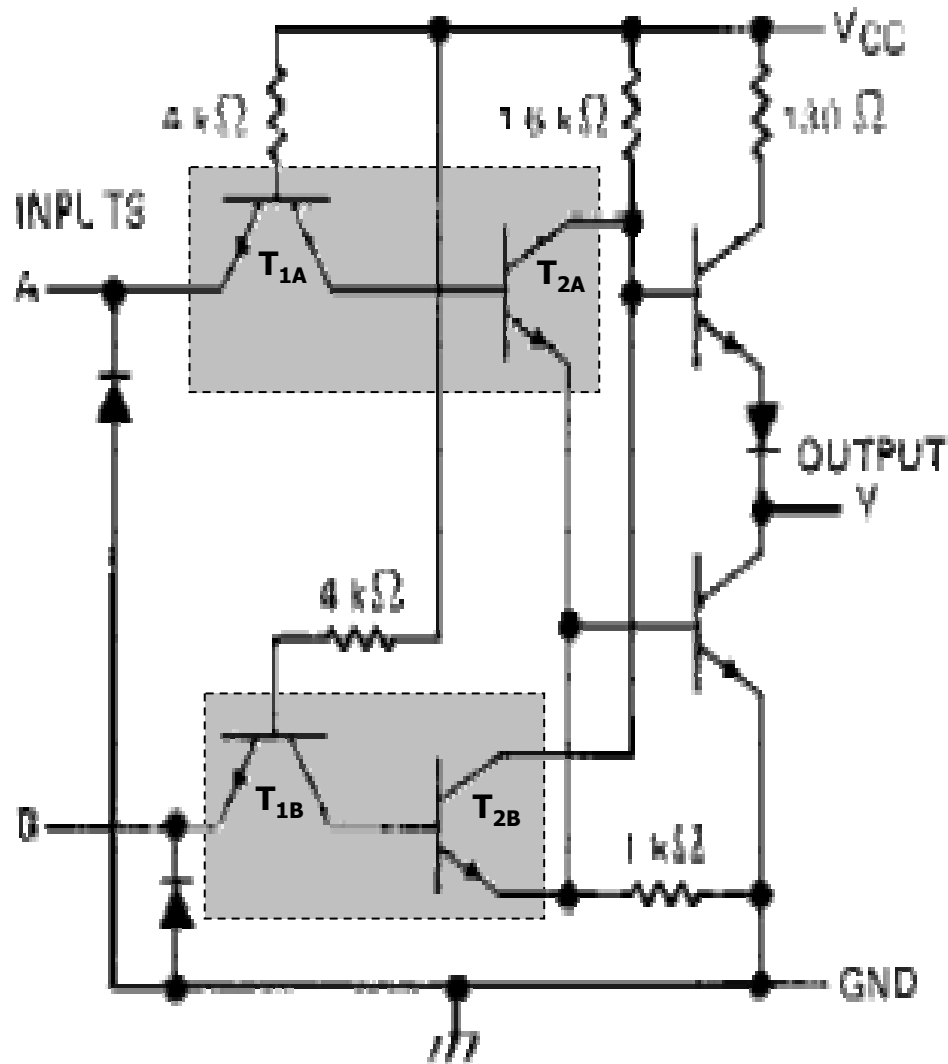
- Η δυναμική κατανάλωση ισχύος οφείλεται στις αιχμές ρεύματος που δημιουργούνται κατά την αλλαγή κατάστασης των εξόδων.
- Είναι ανάλογη της συχνότητας λειτουργίας
  - ◆ Μέχρι στο 1MHz υπερσχύει η στατική κατανάλωση ισχύος.
  - ◆ Για μεγαλύτερες συχνότητες εμφανίζεται η δυναμική κατανάλωση ισχύος, η οποία πάνω από τα 10MHz υπερσχύει της στατικής, διπλασιάζοντας ή τριπλασιάζοντας τη συνολική.

# Πύλη TTL AND



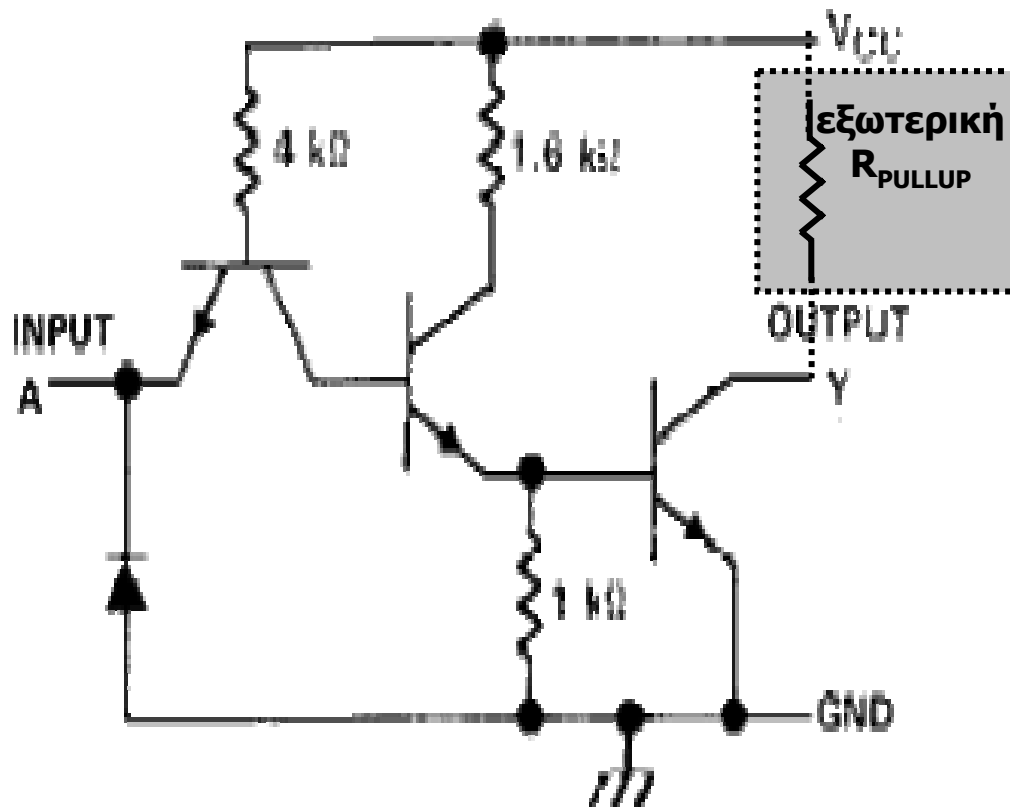
- Ίδια με NAND με μία επιπλέον βαθμίδα αντιστροφής
- Οι δίοδοι στις εισόδους προστατεύουν από αρνητικές αιχμές τάσης που προκαλούνται κατά την αλλαγή της στάθμης του σήματος από HIGH σε LOW

# Πύλη TTL NOR



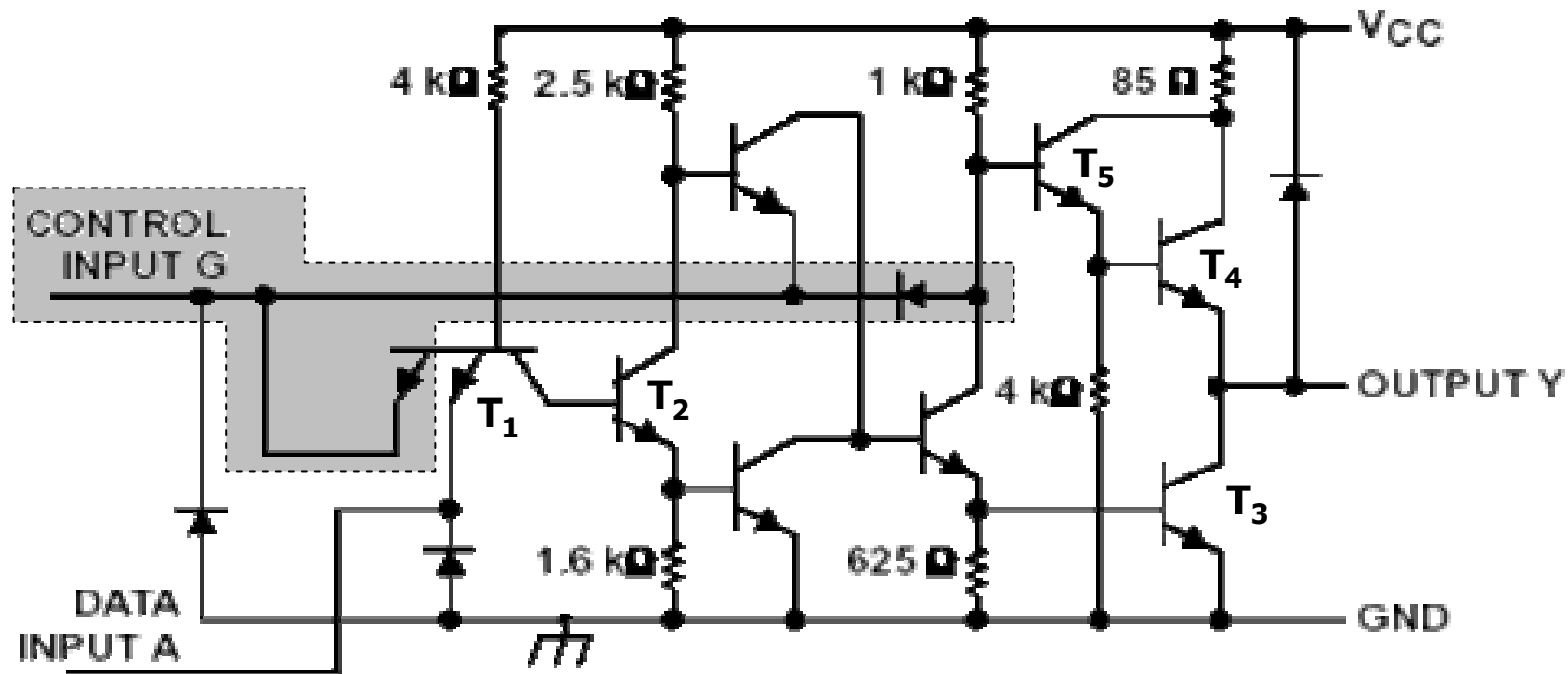
- Αποτελείται από δύο παράλληλα τμήματα, με καθένα να περιλαμβάνει το βασικό κύκλωμα εισόδου και οδήγησης
- Αντίθετα, το κύκλωμα εξόδου totem-pole είναι κοινό.

# Πύλη TTL με έξοδο ανοιχτού συλλέκτη



- Αντί για κλασσική έξοδο totem-pole έχει αντικατασταθεί το transistor ανύψωσης δυναμικού με μία εξωτερική αντίσταση  $R_{PULLUP}$  προς το  $V_{CC}$
- Επιτρέπεται η σύνδεση της πύλης σε σχήματα καλωδιωμένης λογικής (wired-AND)

# Πύλη TTL με έξοδο τριών καταστάσεων



- $G = \text{HIGH} \Rightarrow$  στην έξοδο περνάει η είσοδος A
- $G = \text{LOW} \Rightarrow T_4, T_5$ : σε αποκοπή &  $T_1$ : στον κόρο  $\Rightarrow T_2, T_3$ : σε αποκοπή  $\Rightarrow$  η έξοδος δεν οδηγείται ούτε στο  $V_{CC}$  ούτε στο GND

# Λογικές οικογένειες TTL

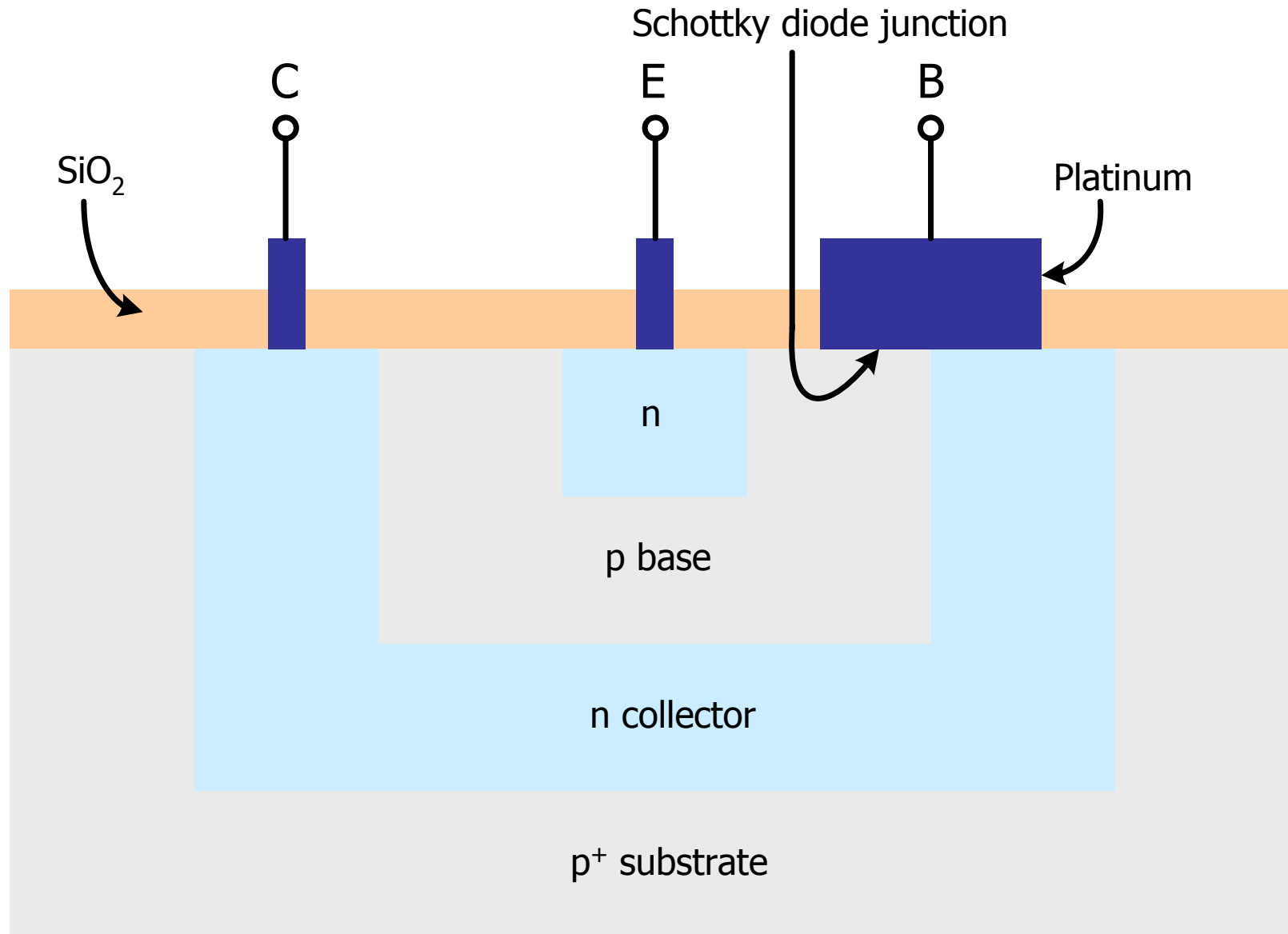
- Σειρά 74H με σχεδόν διπλάσια ταχύτητα από τα standard TTL (74xx), αλλά και διπλάσια κατανάλωση ισχύος
- Σειρά 74L με κατανάλωση ισχύος μόλις 10%, αλλά μόνο με το 25% της ταχύτητας των standard TTL
- Η διαφορά επιτυγχάνεται με
  - ◆ επιλογή μεγαλύτερων τιμών αντιστάσεων για μειωμένη κατανάλωση ισχύος
  - ◆ επιλογή μικρότερων τιμών αντιστάσεων για αύξηση της ταχύτητας



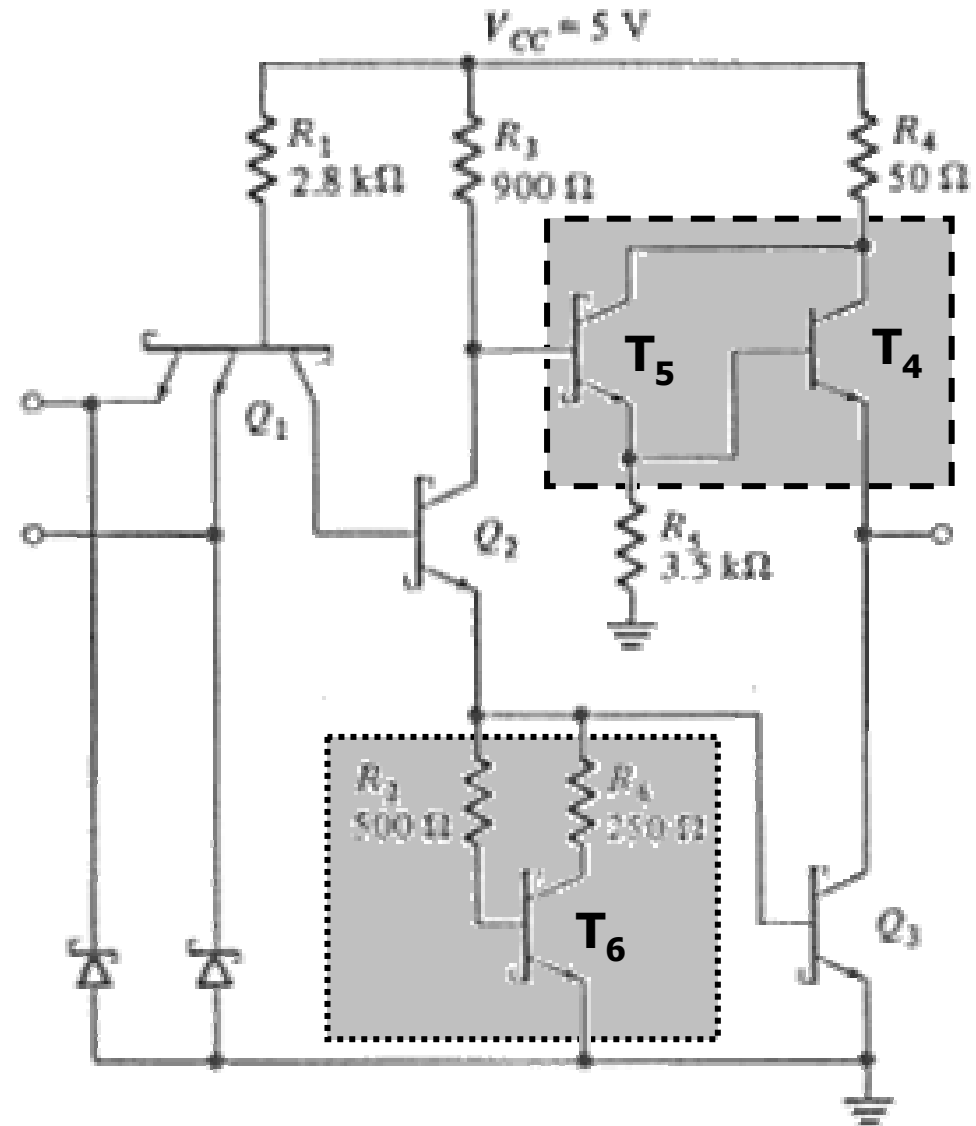
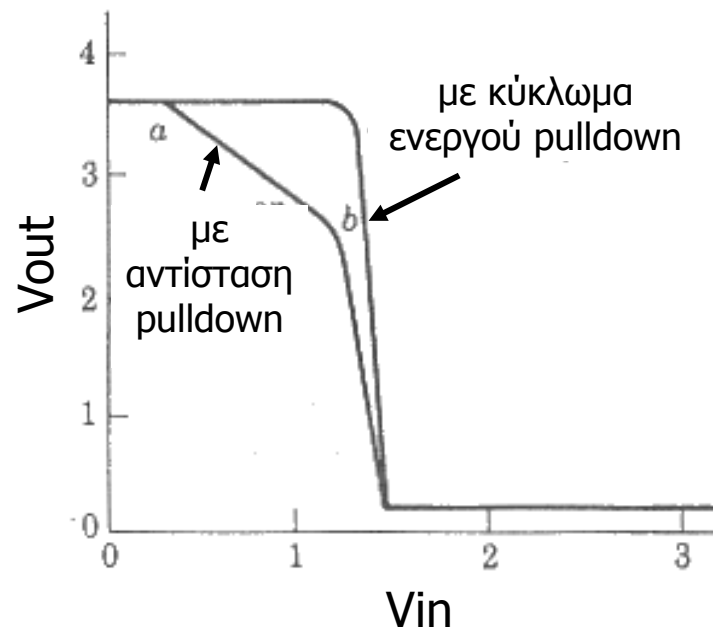
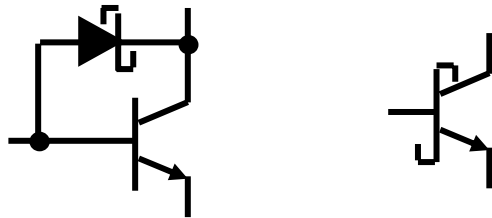
# Λογικές πύλες Schottky TTL (74S)

- Εισήχθησαν το 1970
- Χρησιμοποιούν διόδους Schottky
  - ◆ Τάση ορθής πόλωσης στα 0.4-0.5V
  - ◆ Πιο γρήγορη απόκριση, γιατί δε διαθέτει χρόνο αποθήκευσης φορτίου (storage time)
- Χρησιμοποιούν transistor Schottky
  - ◆ Μια δίοδος Schottky στην επαφή βάσης-συλλέκτη τα εμποδίζει να μπουν στην περιοχή κορεσμού
  - ◆ Πολύ γρήγορες μεταβάσεις, λόγω της μη εισόδου σε κορεσμό

# Κατασκευή Schottky transistor



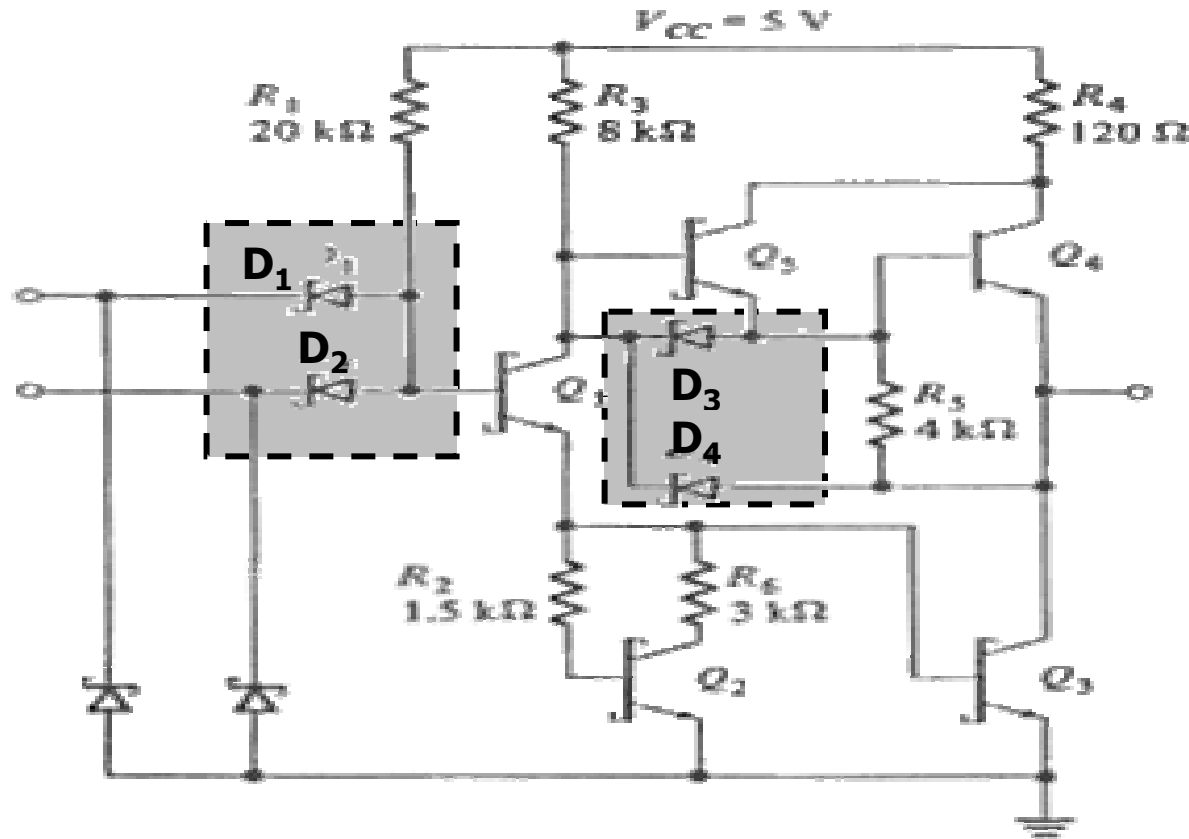
# Πύλη Schottky TTL



# Λογικές πύλες LS TTL (74LS)

- Low-power Schottky, εισήχθησαν το 1975
- Αντικατέστησαν το transistor πολλαπλών εκπομπών με διακριτές διόδους, διότι
  - ◆ Η τεχνολογία κατασκευής 6μm επέτρεψε την κατασκευή διόδων με μικρότερες διαστάσεις από το transistor πολλαπλών εκπομπών  $\Rightarrow$  μείωση παρασιτικών χωρητικοτήτων  $\Rightarrow$  αύξηση ταχύτητας λειτουργίας
  - ◆ Αφού το transistor οδήγησης τύπου Schottky δεν εισέρχεται ποτέ στον κόρο, δεν απαιτείται πλέον γρήγορη απομάκρυνση του φορτίου της βάσης

# Πύλη LS TTL



- Οι πύλες LS TTL είχαν ίδια ταχύτητα λειτουργίας με τις standard TTL, αλλά μόλις το 1/5 της κατανάλωσης ισχύος  $\Rightarrow$  ιδανικές για σχεδιάσεις συστημάτων ειδικού σκοπού

# Προηγμένες πύλες TTL

- Εμφανίστηκαν τη δεκαετία του '80 και βελτίωναν τις επιδόσεις με πρόσθετα κυκλώματα και 3μm τεχνολογία κατασκευής
  - ◆ 74AS (advanced Schottky): εξέλιξη της 74S
  - ◆ 74ALS (advanced low-power Schottky): εξέλιξη της 74LS, το χαμηλότερο γινόμενο καθυστέρησης-ισχύος, βελτιωμένη ικανότητα οδήγησης
  - ◆ 74F (fast TTL): επιδόσεις και κατανάλωση ισχύος μεταξύ των 74AS και 74ALS

# Τυπικά χαρακτηριστικά μεγέθη των διαφόρων οικογενειών TTL

οικογένεια TTL	74	L	H	LS	S	ALS	AS	F
καθυστέρηση διάδοσης (ns) $C_L=15pF$	9	33	6	9.5	3	4	1.7	2.5
κατανάλωση ισχύος (mW) ανά πύλη	10	1	23	2	20	1.2	8	4
fanout	10	20	10	20	20	20	40	10