

# Ψηφιακά Ηλεκτρονικά

Μάθημα 5ο

Δ. Λιούπης

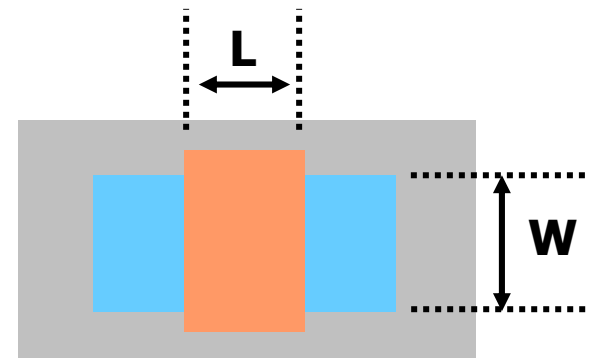
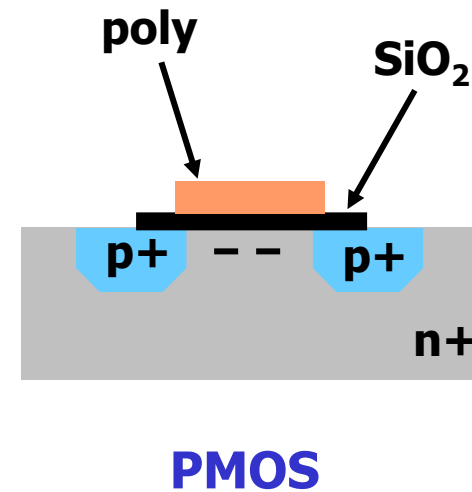
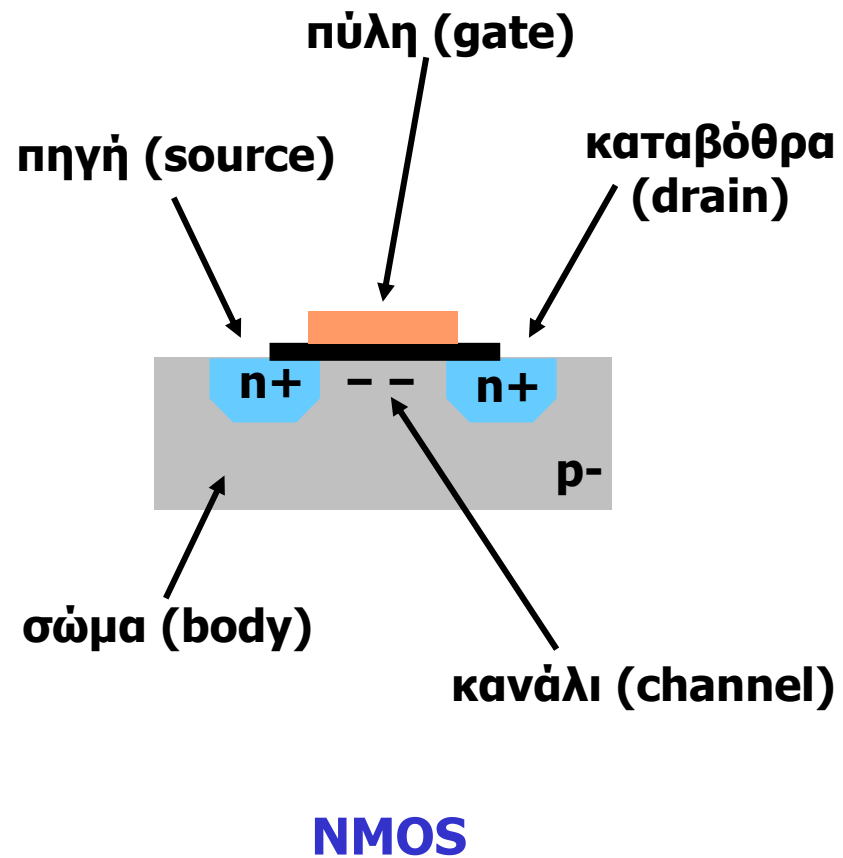
# Τεχνολογία CMOS

- Υλοποιεί την πλειοψηφία των μοντέρνων ψηφιακών κυκλωμάτων
  - ◆ λογικές πύλες
  - ◆ μνήμες
  - ◆ επεξεργαστές
  - ◆ άλλα σύνθετα κυκλώματα
- Συνδυάζει συμπληρωματικά pMOS και nMOS transistors
- Είναι ιδανική για λογικά κυκλώματα μεγάλης ολοκλήρωσης και χαμηλής κατανάλωσης

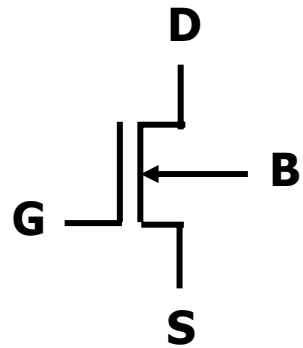
# To transistor MOSFET

- Είναι *transistor επίδρασης πεδίου* (field effect transistor – FET)
  - ♦ Η αγωγιμότητα ενός **καναλιού (channel)** μεταξύ δύο ακροδεκτών, **πηγής (source)** και **καταβόθρας (drain)**, ελέγχεται από την τάση που εφαρμόζεται σε έναν τρίτο ακροδέκτη, την **πύλη (gate)**.
  - ♦ Σε έναν τέταρτο ακροδέκτη, το **υπόστρωμα ή σώμα (body)**, σχηματίζεται το κανάλι μεταξύ πηγής και καταβόθρας, κάτω ακριβώς από την πύλη.
  - ♦ Οι διαστάσεις του καναλιού **L** και **W**, ορίζονται από τον κατασκευαστή και καθορίζουν τα χαρακτηριστικά του transistor

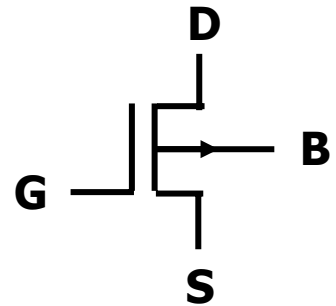
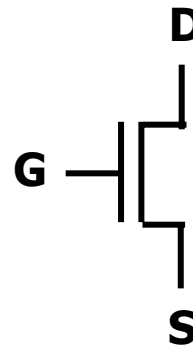
# NMOS & PMOS transistor



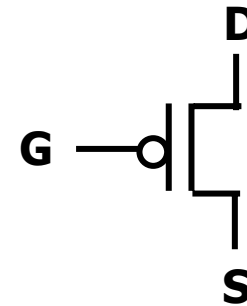
# Σύμβολα transistor MOSFET



NMOS



PMOS



# Συμβολισμοί transistor MOSFET

- $V_T$  : τάση κατωφλίου για το transistor
- $V_{GS}$  : τάση πύλης-πηγής
- $V_{DS}$  : τάση καταβόθρας-πηγής
- $I_{DS}$  : ρεύμα καταβόθρας-πηγής που διαρρέει το transistor
- $k$  : συντελεστής κέρδους
- Σημειώνεται ότι
  - ♦ οι παραπάνω τάσεις είναι θετικές για ένα NMOS και αρνητικές για ένα PMOS
  - ♦ το  $I_{DS}$  έχει αντίθετη φορά για το PMOS

# Λειτουργία transistor MOSFET

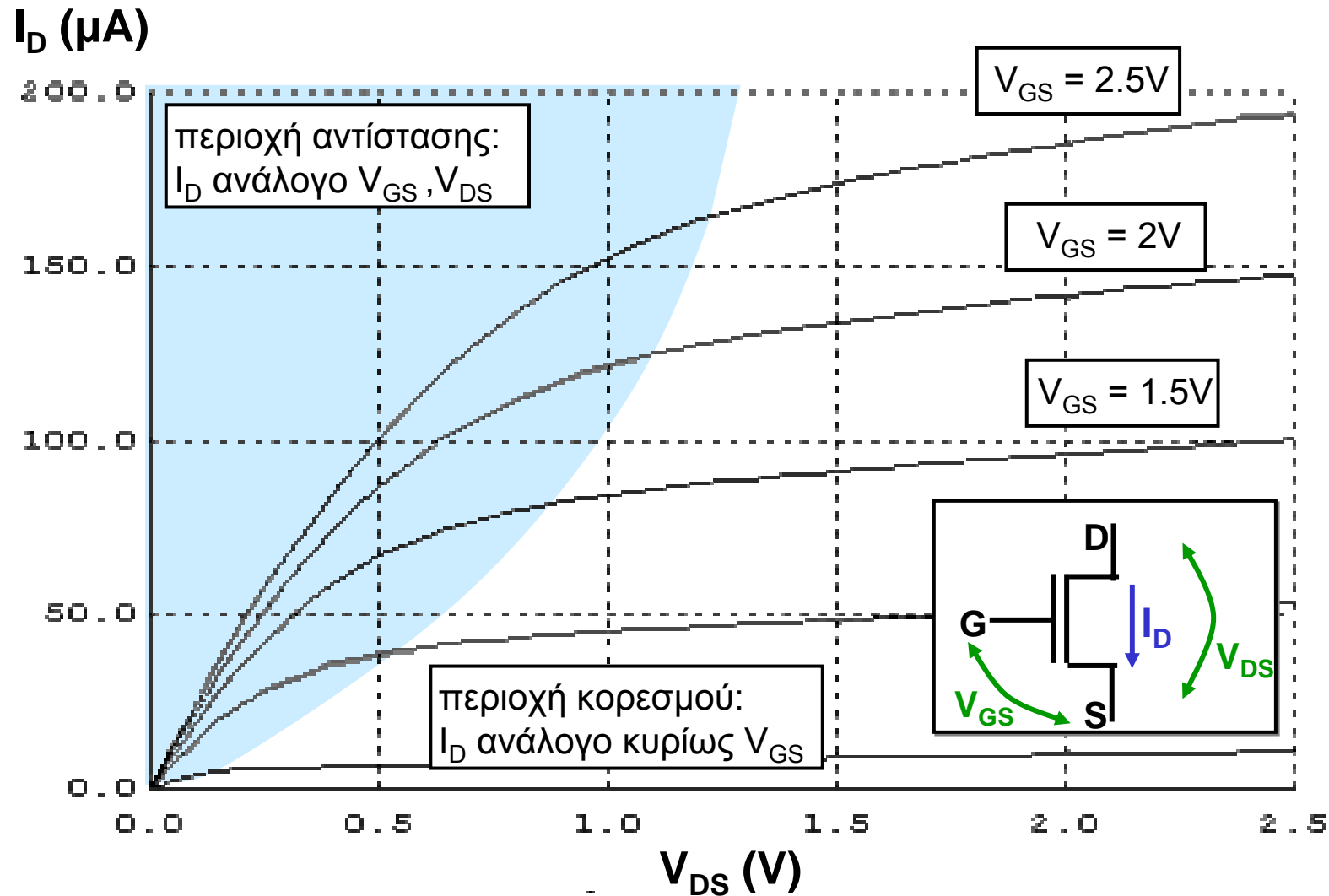
Περιοχή λειτουργίας	Συνθήκες	Λειτουργία	Συμπεριφορά transistor
αποκοπή (cutoff region)	για το NMOS: $V_{GS} < V_T$ για το PMOS: $V_{GS} > V_T$	$I_{DS} = 0$	Ανοικτό κύκλωμα
περιοχή αντίστασης (resistive region)	για το NMOS: $V_{GS} \geq V_T$ & $V_{DS} < (V_{GS} - V_T)$ για το PMOS: $V_{GS} \leq V_T$ & $V_{DS} > (V_{GS} - V_T)$	$I_{DS} = k \cdot \left[ (V_{GS} - V_T) \cdot V_{DS} + \frac{V_{DS}^2}{2} \right]$	Μεταβλητή αντίσταση, ελεγχόμενη από την τάση της πύλης
περιοχή κορεσμού (saturation region)	για το NMOS: $V_{GS} \geq V_T$ & $V_{DS} \geq (V_{GS} - V_T)$ για το PMOS: $V_{GS} \leq V_T$ & $V_{DS} \leq (V_{GS} - V_T)$	$I_{DS} = k \cdot \frac{(V_{GS} - V_T)^2}{2}$	Πηγή ρεύματος, ελεγχόμενη από την τάση της πύλης

# Επίδραση θερμοκρασίας

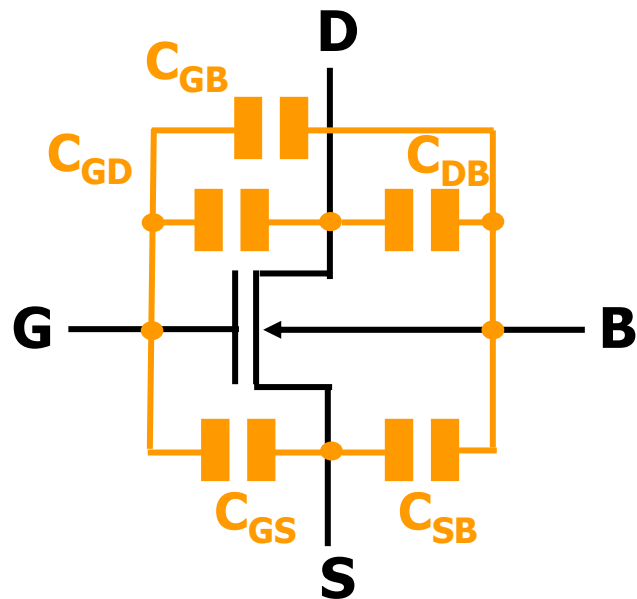
- Με την αύξηση της θερμοκρασίας
  - ◆ μειώνεται η τάση κατωφλίου του transistor
  - ◆ αυξάνεται το ρεύμα διαρροής στην περιοχή αποκοπής
  - ◆ μειώνεται η ταχύτητα των φορέων φορτίου  $\Rightarrow$  μειώνεται η ταχύτητα λειτουργίας του transistor



# Χαρακτηριστικές καμπύλες I-V transistor NMOS



# Παρασιτικές χωρητικότητες



- Η ταχύτητα λειτουργίας του transistor εξαρτάται από τις παρασιτικές χωρητικότητες
- Η σημαντικότερη είναι αυτή που σχηματίζεται μεταξύ της πύλης και των υπολοίπων τμημάτων του transistor

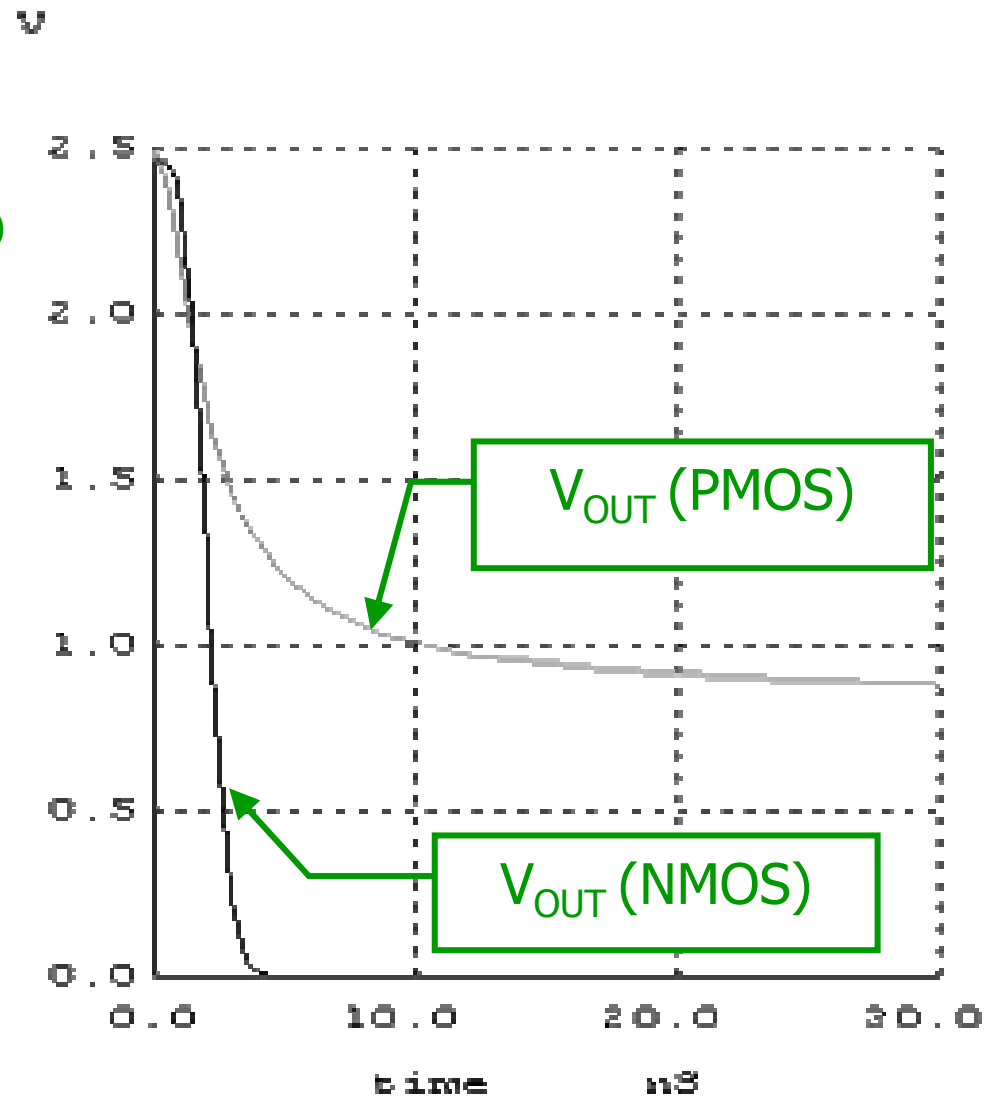
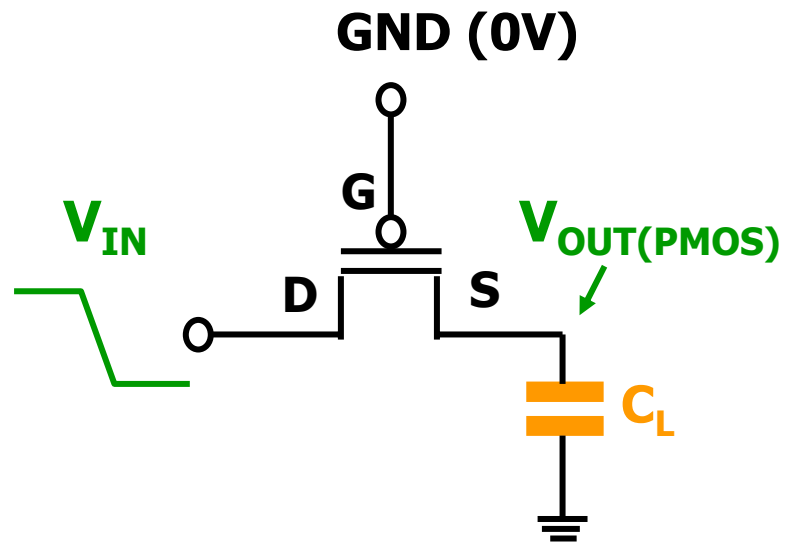
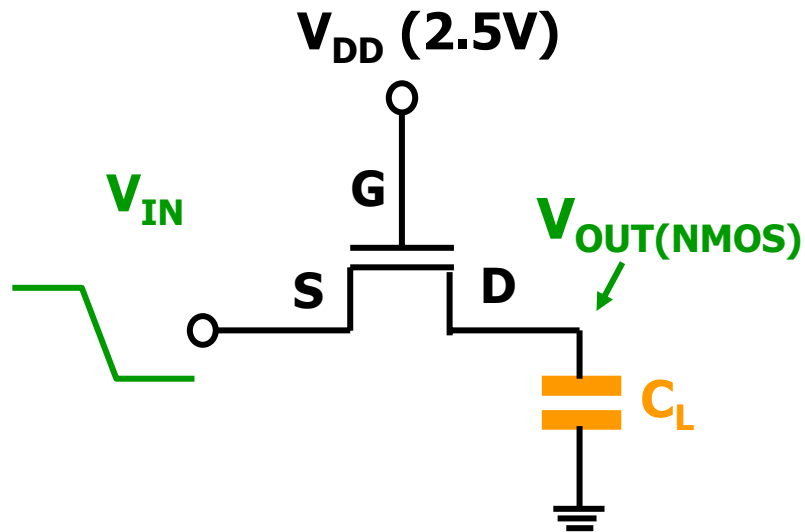
# Βασικές δομές με το transistor MOSFET

- Πύλες διάδοσης (transmission/pass gates)
  - ♦ το transistor χρησιμοποιείται για να ελέγξει τη μετάδοση μιας λογικής στάθμης ανάμεσα στην πηγή και στην καταβόθρα, ανάλογα με την τάση που εφαρμόζεται στην πύλη του
- Στοιχεία ανύψωσης/καταβύθισης δυναμικού (pullup/pulldown devices)
  - ♦ το transistor χρησιμοποιείται ως ενεργό στοιχείο για την ανύψωση ή καταβύθιση της τάσης ενός κόμβου, συνδέοντάς τον με το  $V_{DD}$  ή το GND αντίστοιχα, ανάλογα με την τάση που εφαρμόζεται στην πύλη

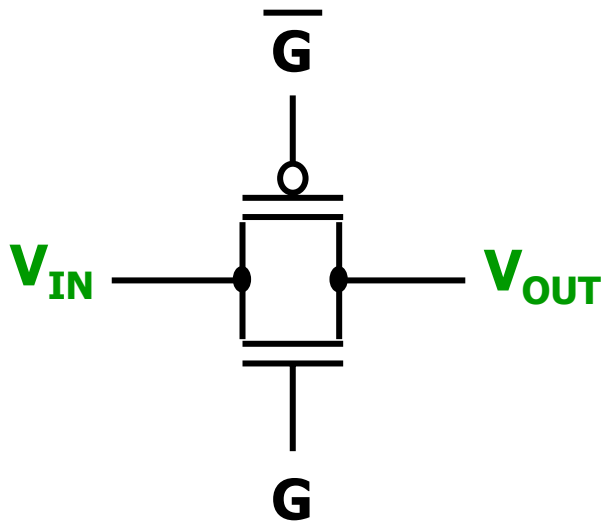
# Πύλη διάδοσης MOSFET (1)

- Το transistor NMOS επιτρέπει τη διάδοση του σήματος όταν στην πύλη εφαρμόζεται στο  $V_{DD}$ , ενώ βρίσκεται σε αποκοπή όταν η πύλη συνδέεται στο GND
- Το αντίστροφο ισχύει στο transistor PMOS
- Δε μεταφέρουν όμως το ίδιο αποδοτικά (χωρίς υποβάθμιση της λογικής στάθμης) τη χαμηλή και την υψηλή στάθμη

# Πύλη διάδοσης MOSFET (2)



# Πύλη διάδοσης CMOS

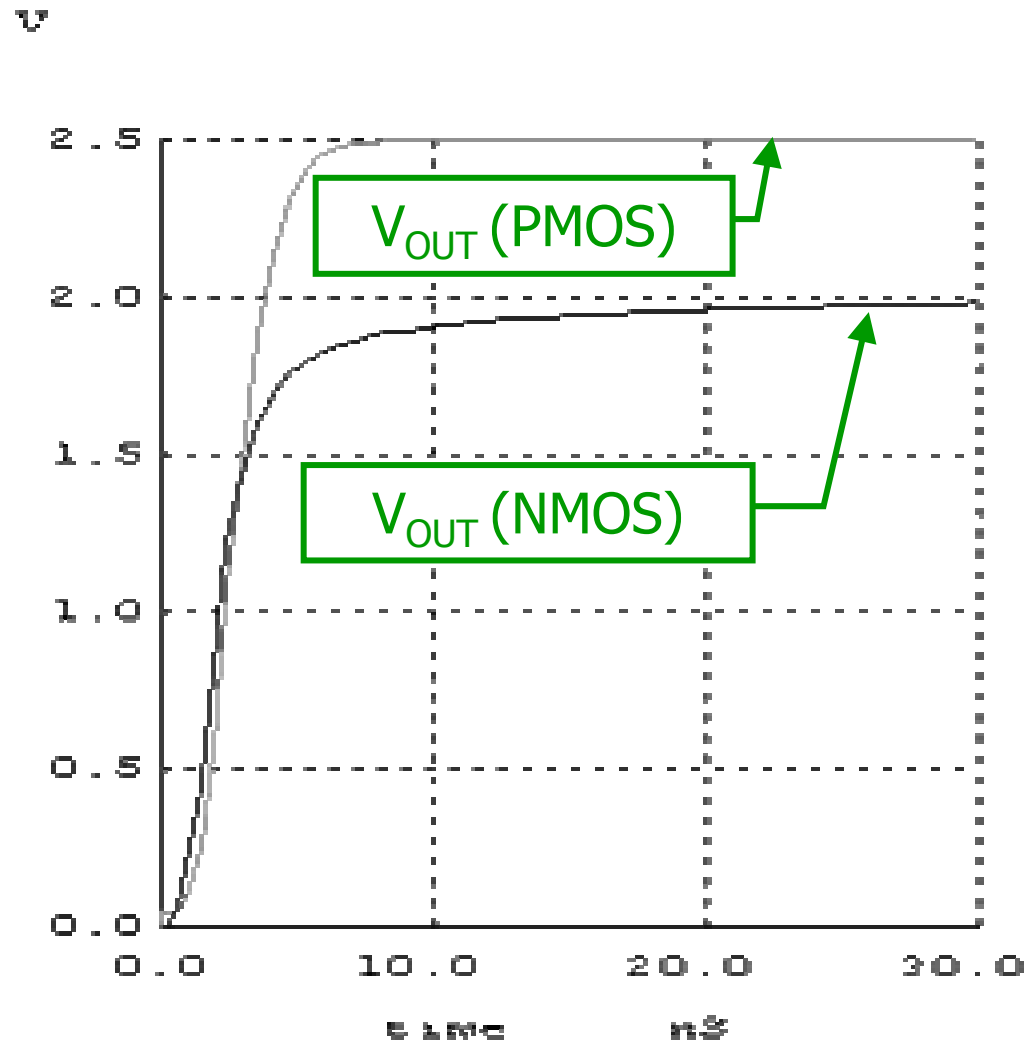
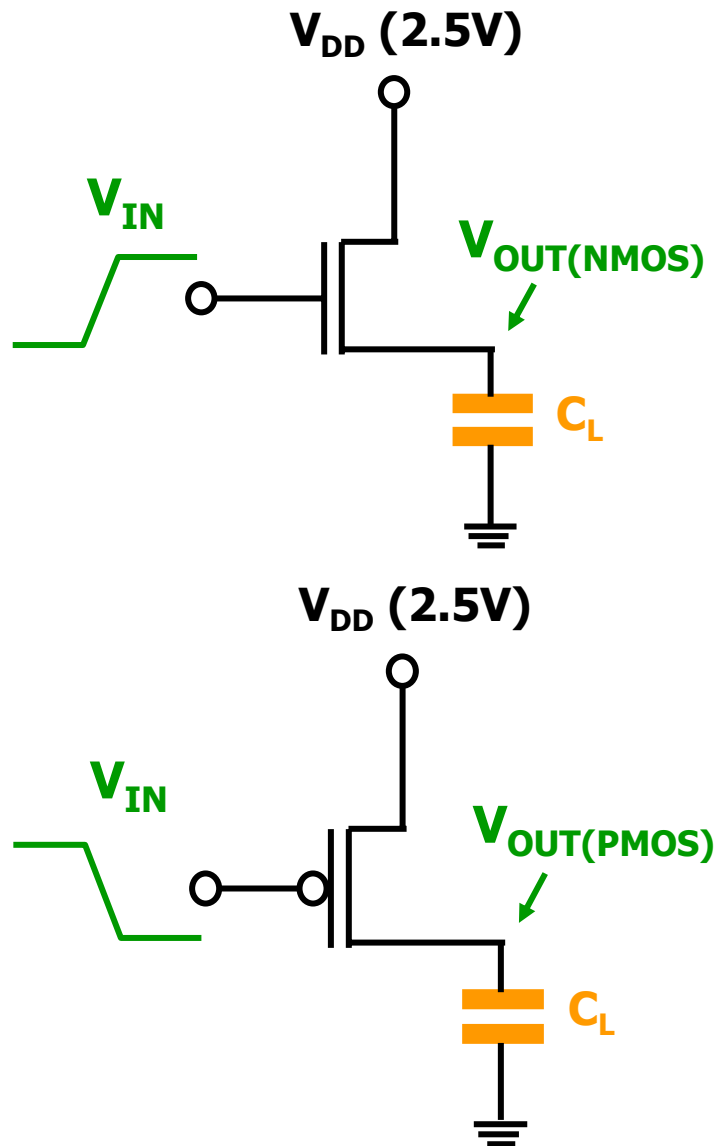


- Ένα NMOS και ένα PMOS συνδέονται μαζί, με τις πύλες τους να οδηγούνται από το συμπληρωματικό σήμα ελέγχου  $\Rightarrow$  η βάση της τεχνολογίας CMOS
- Εξασφαλίζεται πλήρης διάδοση τόσο της υψηλής όσο και της χαμηλής στάθμης

# Στοιχείο ανύψωσης δυναμικού (pullup) (1)

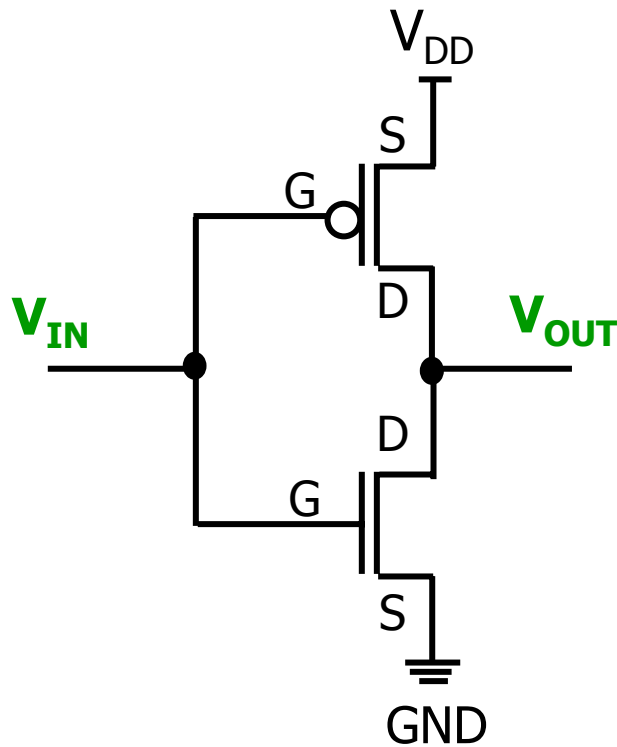
- Το transistor NMOS μπορεί να οδηγήσει τον κόμβο σε ισχυρή χαμηλή στάθμη (GND), αλλά παράγει ασθενή υψηλή στάθμη ( $< V_{DD} - V_T$ )
- Αντίθετα το transistor PMOS παράγει ισχυρή υψηλή λογική στάθμη ( $V_{DD}$ ), αλλά ασθενή χαμηλή στάθμη ( $> |V_T|$ )

# Στοιχείο ανύψωσης δυναμικού (pullup) (2)



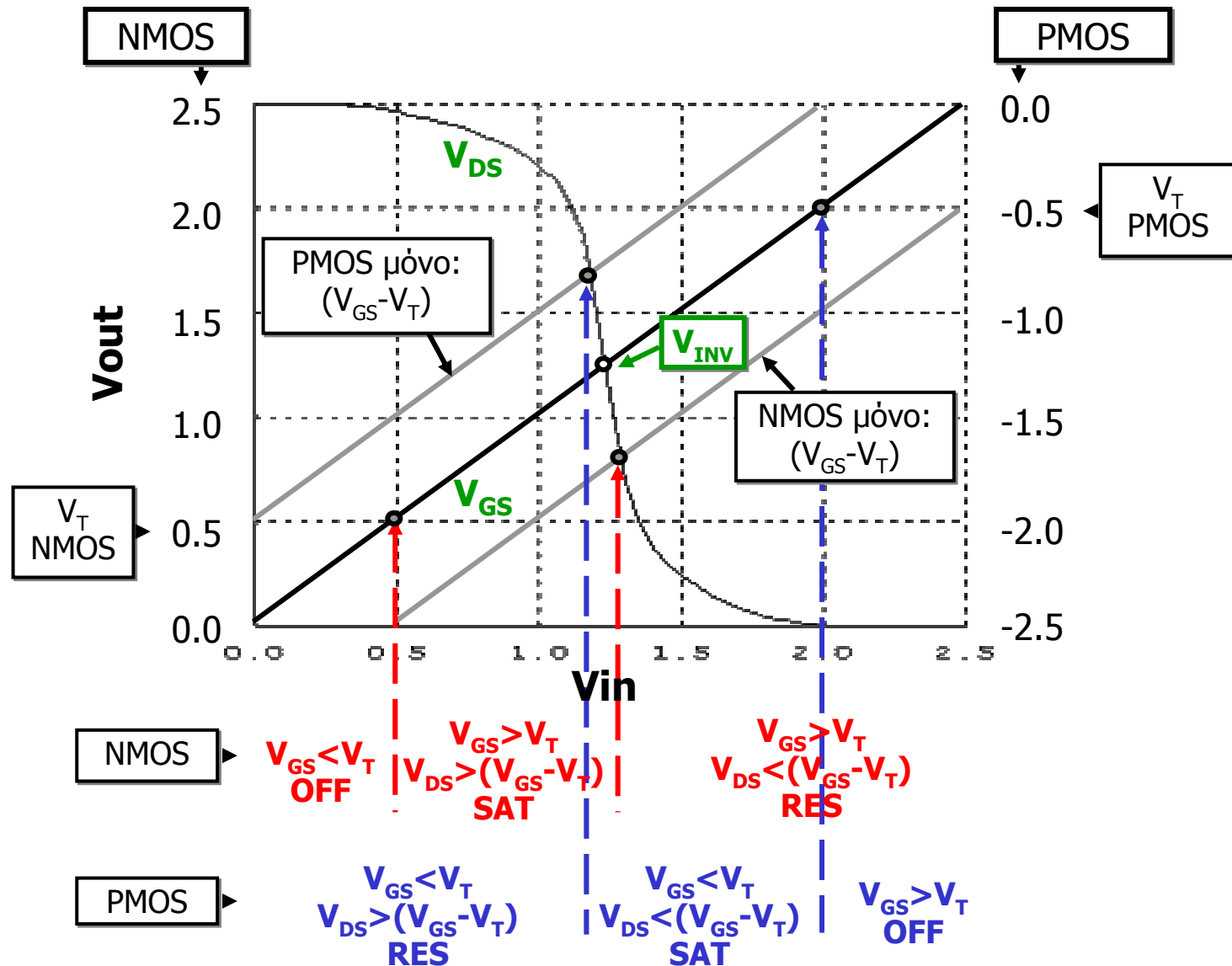


# Αντιστροφέας CMOS



- Αποτελείται από ένα NMOS & ένα PMOS συνδεδεμένα όπως στο σχήμα
- Όταν  $V_{IN} = \text{LOW} \Rightarrow$  NMOS=αποκοπή, PMOS=άγει  $\Rightarrow V_{OUT} = \text{HIGH}$  (σύνδεση με  $V_{DD}$ )
- Όταν  $V_{IN} = \text{HIGH} \Rightarrow$  NMOS=άγει, PMOS=αποκοπή  $\Rightarrow V_{OUT} = \text{LOW}$  (σύνδεση με GND)

# Χαρακτηριστική καμπύλη μεταφοράς αντιστροφέα



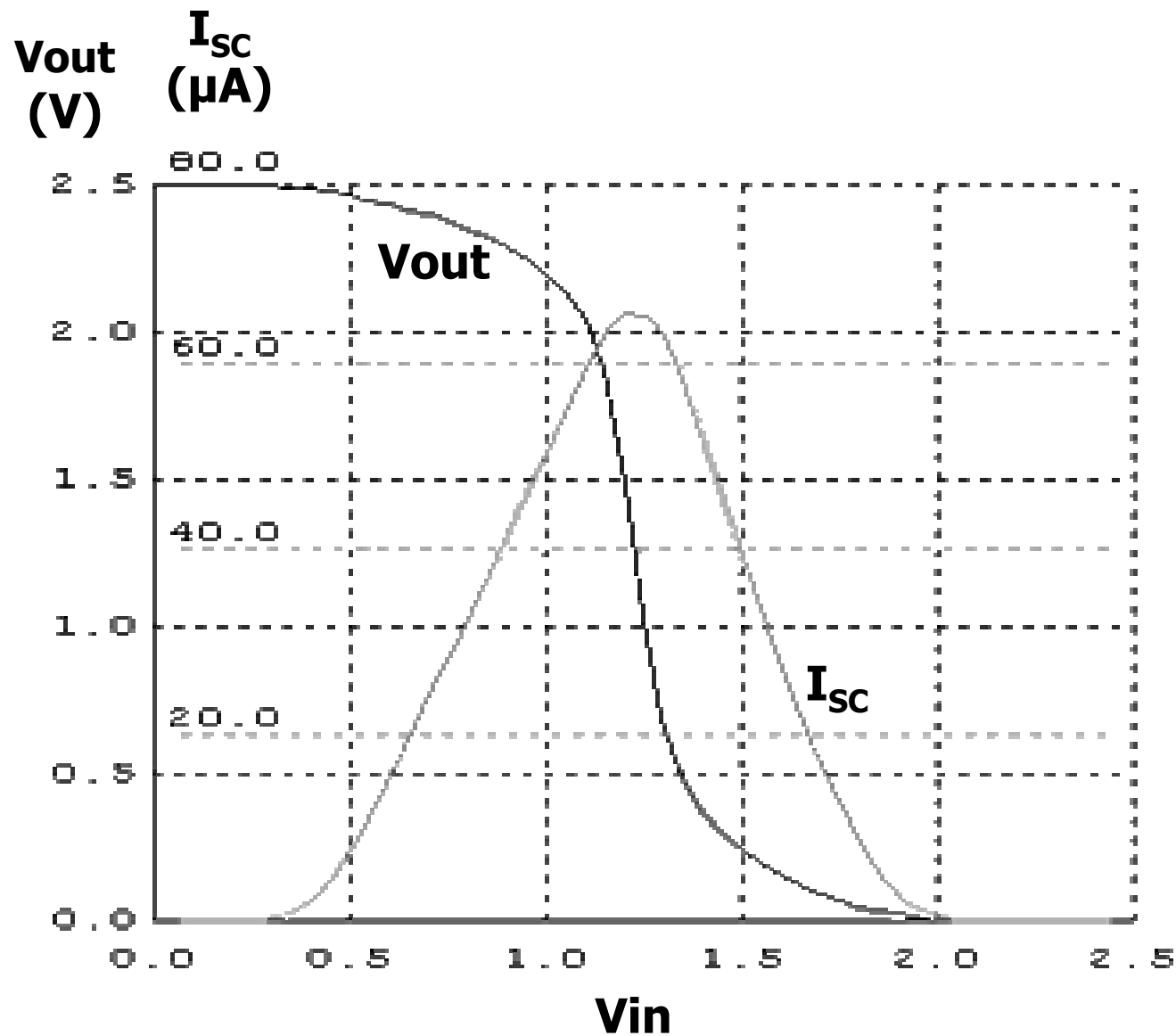
# Τάση κατωφλίου του αντιστροφέα

- Εξαρτάται από την οδηγητική ικανότητα (παροχή ρεύματος) των δύο transistor
  - ♦ Με ισχυρότερο PMOS  $\Rightarrow V_{INV} \uparrow$
  - ♦ Με ισχυρότερο NMOS  $\Rightarrow V_{INV} \downarrow$
- Ο λόγος της οδηγητικής ικανότητας των transistor εξαρτάται κατασκευαστικά από τα L και W
  - ♦ για συμμετρική ικανότητα οδήγησης και  $V_{INV} = V_{DD}/2$  πρέπει το PMOS να είναι 2-3 φορές μεγαλύτερο από το NMOS
  - ♦ ένας τέτοιος αντιστροφέας έχει
    - όμοιους χρόνους μετάβασης ανάμεσα στις δύο στάθμες
    - μέγιστα περιθώρια θορύβου

# Ρεύμα βραχυκυκλώματος (1)

- $I_{SC}$  – *sort-circuit* ή *cross-over current*
- Ρέει από το  $V_{DD}$  στη γείωση, όταν κατά τη μετάβαση από τη μία λογική στάθμη στην άλλη, άγουν ταυτόχρονα και τα δύο transistor
- Εξαρτάται
  - ♦ ανάλογα από την τάση τροφοδοσίας  $V_{DD}$
  - ♦ από το ρεύμα κορεσμού των transistor
  - ♦ από την ταχύτητα αλλαγής του  $V_{IN}$  σε σχέση με την ταχύτητα αλλαγής του  $V_{OUT}$

# Ρεύμα βραχυκυκλώματος (2)



# Λογικά κυκλώματα CMOS

- Στατικά λογικά κυκλώματα
  - ◆ εύρωστα σε λειτουργία
  - ◆ ελάχιστη κατανάλωση ισχύος
  - ◆ εύκολα στη σχεδίαση και στην κατασκευή
- Δυναμικά λογικά κυκλώματα
  - ◆ καταλαμβάνουν μικρότερο χώρο
  - ◆ μικρότερες παρασιτικές χωρητικότητες
  - ◆ μεγαλύτερη ταχύτητα αλλαγής
- Λογική ψευδο-NMOS
- Λογική με πύλες διάδοσης

# Στατικές λογικές δομές CMOS

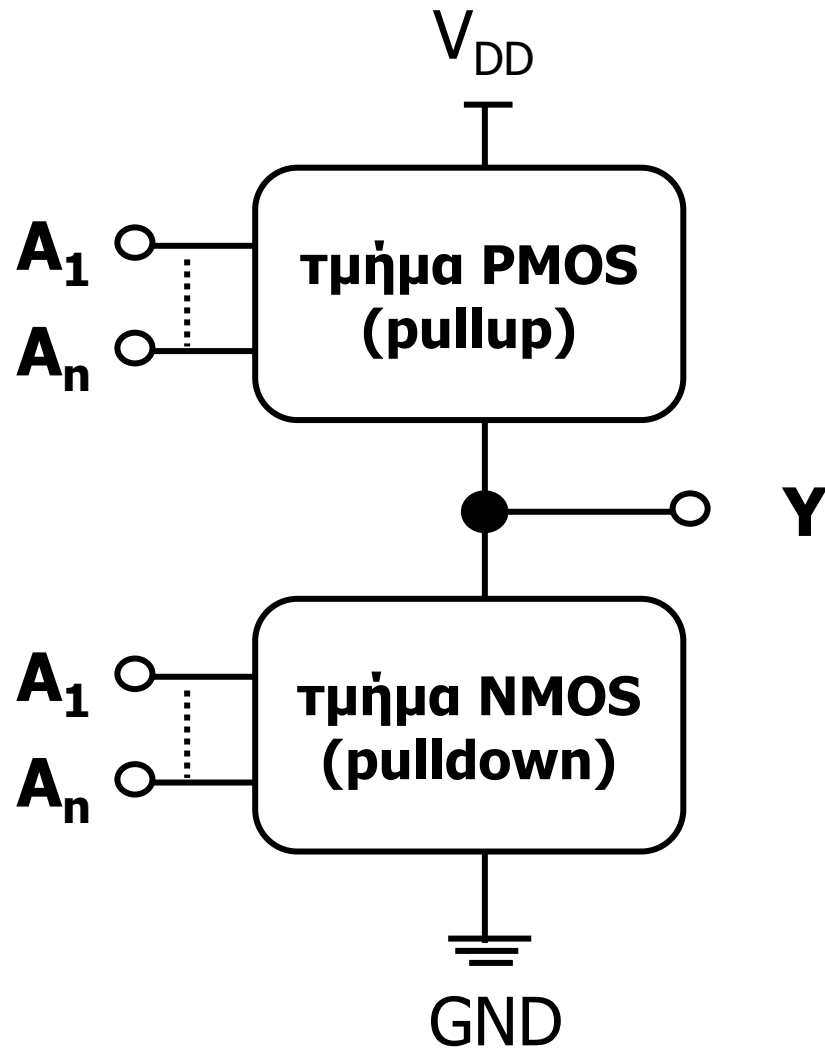
- Κάθε λογική συνάρτηση υλοποιείται μέσω δύο συμπληρωματικών τμημάτων ανύψωσης και καταβύθισης δυναμικού
- Το pulldown
  - ♦ αποτελείται από NMOS
  - ♦ συνδέει τη λογική έξοδο με τη χαμηλή στάθμη
- Το pullup
  - ♦ αποτελείται από PMOS
  - ♦ συνδέει τη λογική έξοδο με την υψηλή στάθμη

# Σύνδεση transistor

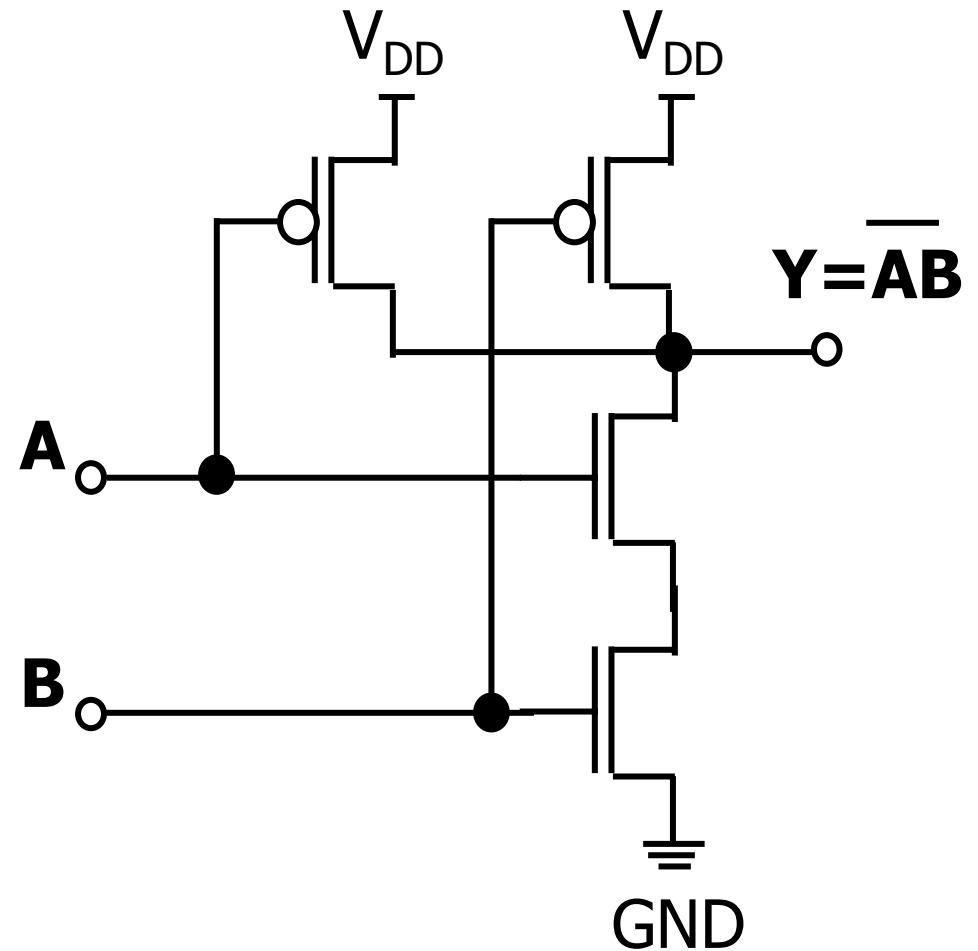
- Σύνδεση σε σειρά
  - ♦ όταν δύο NMOS είναι σε σειρά, σχηματίζουν αγωγίμο μονοπάτι όταν και οι δύο πύλες είναι στο HIGH (συνάρτηση αγωγιμότητας: AND)
- Σύνδεση παράλληλα
  - ♦ όταν δύο NMOS είναι παράλληλα, σχηματίζουν αγωγίμο μονοπάτι όταν έστω και μία πύλη είναι στο HIGH (συνάρτηση αγωγιμότητας: OR)
- Σύνδεση σε συνδυασμό
  - ♦ συνδέουμε τα NMOS έτσι ώστε να πετύχουμε την επιθυμητή συνάρτηση αγωγιμότητας, οδηγώντας την έξοδο στο LOW
  - ♦ τα PMOS συνδέονται αντίστροφα από τα NMOS, οδηγώντας την έξοδο στο HIGH



# Σχηματικό & Παράδειγμα



γενικό σχήμα



NAND δύο εισόδων

# Μειονεκτήματα

- Υλοποιούν μόνο αντεστραμμένες συναρτήσεις. Για τις υπόλοιπες, χρειάζεται επιπλέον ένας αντιστροφέας
- Χρειάζονται  $2N$  transistor για  $N$  εισόδους  $\Rightarrow$  για μεγάλο αριθμό εισόδων, απαιτείται μεγάλος χώρος ολοκλήρωσης
- Αυξημένη χωρητικότητα εξόδου  $\Rightarrow$  μειωμένη ταχύτητα του λογικού κυκλώματος
- Transistor σε σειρά  $\Rightarrow$  μεγαλύτερη αντίσταση κυκλώματος  $\Rightarrow$  μεγαλύτερη καθυστέρηση διάδοσης

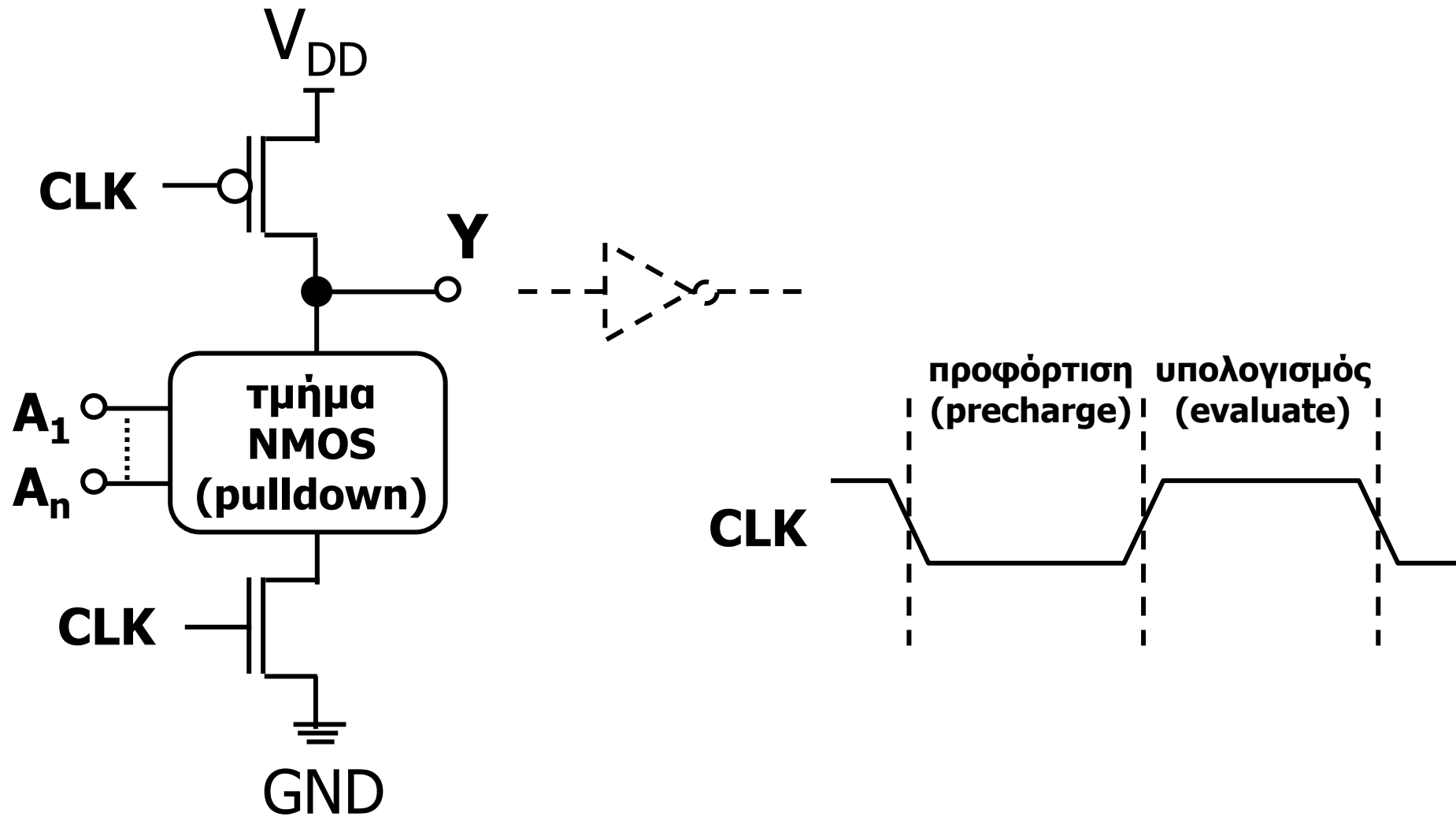
# Δυναμικές λογικές δομές CMOS

- Έχει αφαιρεθεί το pullup και η έξοδος οδηγείται μόνο από το τμήμα με τα NMOS
- Δύο transistor (NMOS και PMOS) οδηγούμενα από ένα CLK περικλείουν το κύκλωμα

# Λειτουργία κυκλώματος

- Φάση **προφόρτισης** (CLK=LOW)
  - ♦ Η έξοδος πηγαίνει στο HIGH μέσω του PMOS
  - ♦ Το NMOS δεν άγει
- Φάση **υπολογισμού** (CLK=HIGH)
  - ♦ Το PMOS είναι σε αποκοπή και το NMOS άγει
  - ♦ Αν υπάρχει αγωγή μονοπάτι στο τμήμα pulldown, τότε η έξοδος πηγαίνει στο LOW, αλλιώς παραμένει στο HIGH

# Σχηματικό

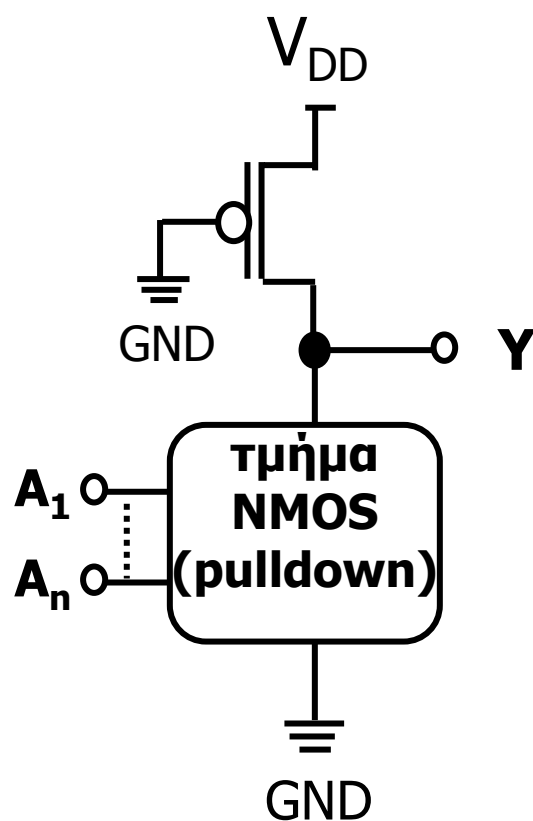


# Μειονεκτήματα

- Μεγάλη κατανάλωση ισχύος, για να διατηρείται το HIGH στην έξοδο, κατά τη φάση προφόρτισης
- Γρήγορη υποβάθμιση του υψηλού σήματος εξόδου
- Απαιτήση για ένα σταθερό σήμα CLK
- Αν κατά τη φάση υπολογισμού δεν υπάρχει αγωγίμο μονοπάτι προς τη γείωση  $\Rightarrow$  η έξοδος δεν οδηγείται ούτε από το  $V_{DD}$  ούτε από το GND  $\Rightarrow$  ευάλωτη σε παρεμβολές από γειτονικά σήματα

# Λογική ψευδο-NMOS

- Χρησιμοποιείται μόνο το pulldown
- Το pullup αντικαθίσταται από ένα PMOS που άγει πάντα
- Λειτουργία:



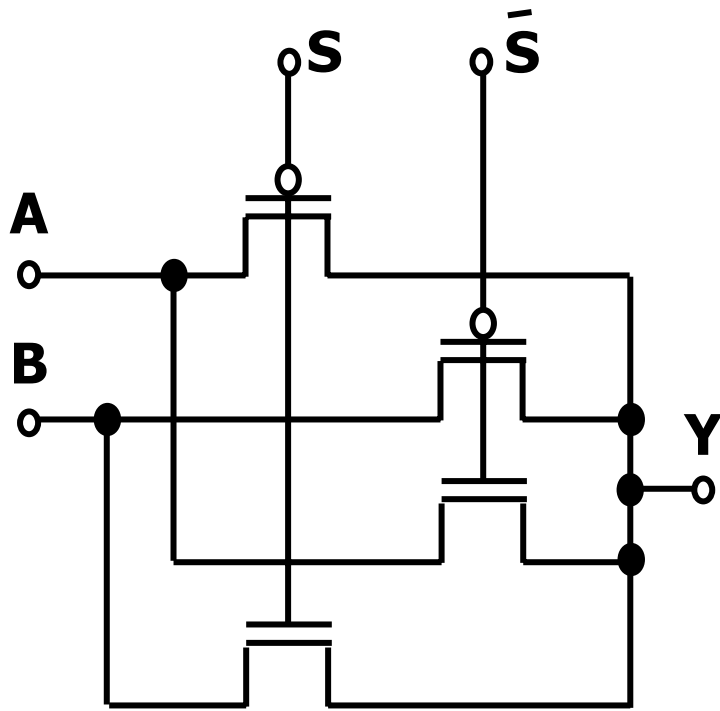
- ◆ Όταν στο τμήμα NMOS υπάρχει αγωγή μονοπάτι προς το GND  $\Rightarrow$  έξοδος στο HIGH ( $V_{DD}$ )
- ◆ Όταν το τμήμα NMOS άγει  $\Rightarrow$  η τάση εξόδου εξαρτάται από την οδηγητική ικανότητα και τον «ανταγωνισμό» μεταξύ PMOS και NMOS

# Μειονεκτήματα

- Τα μεγέθη των transistor (που επηρεάζουν την οδηγητική τους ικανότητα) επηρεάζουν την απόδοση, αλλά και τη λειτουργικότητα του κυκλώματος
- Όταν η έξοδος είναι στο LOW, ρέει συνεχώς ρεύμα από  $V_{DD}$  προς GND οπότε
  - ♦ παρουσιάζεται μεγάλη στατική κατανάλωση ισχύος
  - ♦ η λογική είναι ακατάλληλη για μεγάλη ολοκλήρωση



# Λογική με πύλες διάδοσης



- Επιλογή (πολύπλεξη) από ένα σύνολο σημάτων εισόδου, χρησιμοποιώντας τους όρους γινομένου ορισμένων σημάτων επιλογής
- Transistor PMOS περνούν την υψηλή λογική στάθμη
- Transistor NMOS περνούν τη χαμηλή λογική στάθμη

# Πλεονεκτήματα-Μειονεκτήματα

## ■ Πλεονεκτήματα

- ◆ υλοποίηση με απλό σχεδιασμό
- ◆ δεν παρουσιάζεται στατική κατανάλωση ισχύος

## ■ Μειονεκτήματα

- ◆ οι έξοδοι των κυκλωμάτων δε συνδέονται με το  $V_{DD}$  ή το GND, αλλά μόνο με τις εισόδους  $\Rightarrow$  υποβαθμισμένη ποιότητα σήματος