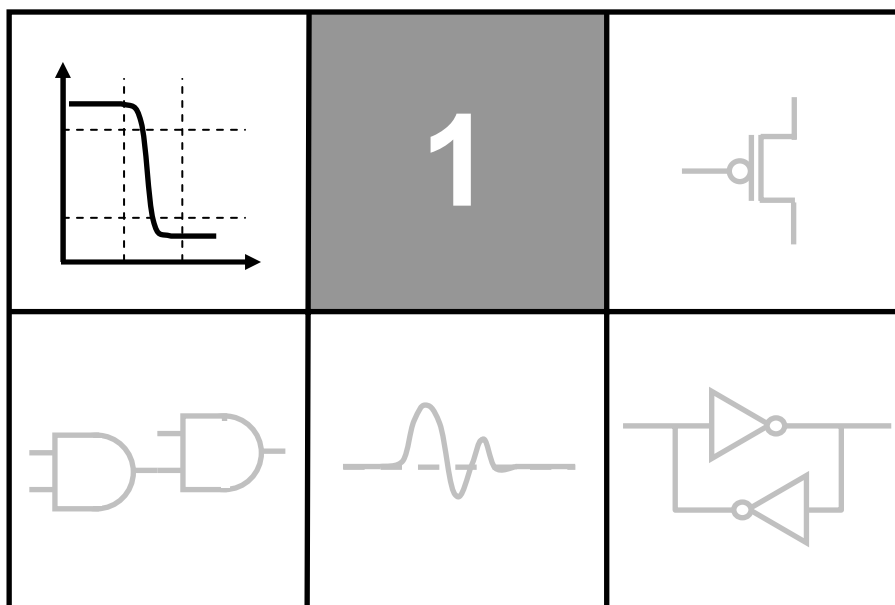


ΣΗΜΕΙΩΣΕΙΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ



“Βασικές Έννοιες Ψηφιακών Κυκλωμάτων”

Δ.Λιούπης – Μ.Στεφανιδάκης

Πίνακας Περιεχομένων.

1.1	Ψηφιακά ηλεκτρονικά κυκλώματα.....	2
1.1.1	Ψηφιακό σήμα και λογικές στάθμες.....	2
1.1.2	Μετάδοση ψηφιακού σήματος.....	3
1.2	Λειτουργικά χαρακτηριστικά ψηφιακών κυκλωμάτων.....	4
1.2.1	Στάθμες εισόδου/εξόδου και περιθώρια θορύβου.....	4
1.2.2	Οδηγητική ικανότητα.....	7
1.2.3	Καθυστέρηση διάδοσης και χρόνοι ανόδου-καθόδου.....	9
1.2.4	Κατανάλωση ισχύος.....	10
1.2.5	Τάση τροφοδοσίας.....	11
1.2.6	Λογικές συναρτήσεις.....	12
1.3	Έξοδοι ψηφιακών κυκλωμάτων.....	12
1.3.1	Βαθμίδα totem-pole.....	12
1.3.2	Έξοδοι τριών καταστάσεων.....	13
1.3.3	Έξοδοι ανοικτού συλλέκτη.....	14
1.4	Εξέλιξη τεχνολογίας ψηφιακών κυκλωμάτων.....	14

1.1 Ψηφιακά ηλεκτρονικά κυκλώματα.

Τα ψηφιακά ηλεκτρονικά κυκλώματα χρησιμοποιούνται για την υλοποίηση λογικών συναρτήσεων και την αποθήκευση ψηφιακών δεδομένων. Τυπικά παραδείγματα τέτοιων κυκλωμάτων αποτελούν οι λογικές πύλες, οι μικρο-επεξεργαστές και οι ημιαγωγικές μνήμες. Ψηφιακά ηλεκτρονικά κυκλώματα χρησιμοποιούνται επίσης για τη μετάδοση της πληροφορίας και την αλληλεπίδραση με τα φυσικά μεγέθη του περιβάλλοντος (αναλογικά σήματα).

1.1.1 Ψηφιακό σήμα και λογικές στάθμες.

Τα ψηφιακά κυκλώματα διαχειρίζονται την πληροφορία ως μία σειρά από διακριτά “ψηφία” σε αντίθεση με τα αναλογικά κυκλώματα, τα οποία επεξεργάζονται μεγέθη από ένα συνεχές πεδίο τιμών. Η πλειοψηφία των ψηφιακών συστημάτων χρησιμοποιεί δύο μόνον “ψηφία”, υλοποιώντας τη δυαδική λογική.

Στα ψηφιακά ηλεκτρονικά κυκλώματα κάθε δυαδικό ψηφίο (λογική κατάσταση - 0 και 1) αντιπροσωπεύεται από μία φυσική ποσότητα τάσης ή ρεύματος. Για την αποφυγή σφαλμάτων λόγω της αναπόφευκτης παρουσίας θορύβου σε κάθε ψηφιακό κύκλωμα, η τάση ή το ρεύμα που αντιστοιχεί σε κάθε δυαδικό στοιχείο δεν έχει μία συγκεκριμένη τιμή· αντίθετως, κάθε λογική κατάσταση αντιστοιχεί σε μία προκαθορισμένη περιοχή τιμών τάσης ή ρεύματος. Οι περιοχές αυτές προσδιορίζουν τις λογικές στάθμες των δύο ψηφίων.

Τα ψηφιακά κυκλώματα λειτουργούν με τέτοιον τρόπο, ώστε να απορρίπτεται κάθε προστιθέμενος θόρυβος, εφόσον αυτός είναι μικρότερος από ένα προκαθορισμένο επίπεδο. Για παράδειγμα, εάν στην ονομαστική στάθμη τάσης V_0 του λογικού ψηφίου 0 προστεθεί θόρυβος V_N , το αποτέλεσμα $V_0 + V_N$ θα εξακολουθήσει να αντιπροσωπεύει το ψηφίο 0, εάν συνεχίζει να βρίσκεται μέσα στην προκαθορισμένη περιοχή τιμών του ψηφίου 0.

Ακόμη πιο σημαντικό είναι το γεγονός ότι, εάν το $V_0 + V_N$ οδηγηθεί στην είσοδο ενός ψηφιακού κυκλώματος, το αποτέλεσμα στην έξοδο θα έχει αποκατασταθεί στην τιμή V_0 , ή αλλιώς θα έχει *αναγεννηθεί*. Η αναγέννηση του ψηφιακού σήματος μεταξύ των διαφόρων βαθμίδων των ψηφιακών κυκλωμάτων είναι μία πολύ σημαντική ιδιότητα, η οποία αποτρέπει τη συσσώρευση των επιδράσεων του θορύβου πάνω στο σήμα και εμποδίζει τη μετάδοση των αλλοιώσεων στις επόμενες βαθμίδες.

Τα ψηφιακά ηλεκτρονικά κυκλώματα αντλούν την απαιτούμενη ενέργεια για τη λειτουργία τους και την αναγέννηση του σήματος μέσω δύο γραμμών τροφοδοσίας. Η θετικότερη συμβολίζεται με V_{CC} , ενώ η αρνητικότερη (γείωση - GND) αποτελεί συνήθως (όχι πάντοτε) την τάση αναφοράς (0V) του συστήματος.

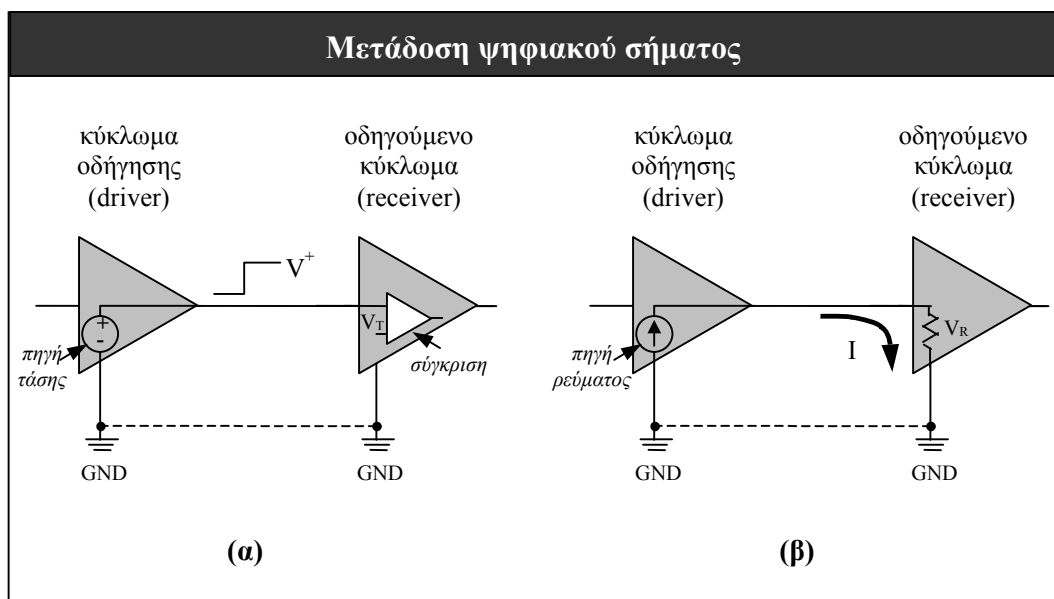
Τα ψηφιακά κυκλώματα χρησιμοποιούν ημιαγωγούς (τρανζίστορ) ως ενεργά στοιχεία-διακόπτες για την υλοποίηση της δυαδικής λογικής. Τα τρανζίστορ αυτά λειτουργούν συνήθως σε καταστάσεις αγωγής-αποκοπής (“ON” και “OFF”). Στα σύγχρονα ολοκληρωμένα ψηφιακά κυκλώματα χρησιμοποιούνται κυρίως τρανζίστορ CMOS, λόγω του μεγάλου βαθμού ολοκλήρωσης που επιτρέπουν, ενώ τρανζίστορ διπολικής επαφής (BJT) χρησιμοποιούνται σε εξειδικευμένα κυκλώματα πολύ υψηλής ταχύτητας.

1.1.2 Μετάδοση ψηφιακού σήματος.

Όπως ειπώθηκε προηγουμένως, η μετάδοση της ψηφιακής πληροφορίας μεταξύ των βαθμίδων των ψηφιακών κυκλωμάτων, είτε αυτές βρίσκονται εντός του ιδίου ολοκληρωμένου κυκλώματος είτε σε διαφορετικά ολοκληρωμένα κυκλώματα, προϋποθέτει την κωδικοποίηση των λογικών καταστάσεων σε ποσότητες τάσης ή ρεύματος.

Η κωδικοποίηση αυτή μπορεί να είναι *μονοπολική* (unipolar) ή *διπολική* (bipolar). Στη μονοπολική αναπαράσταση οι δύο λογικές καταστάσεις κωδικοποιούνται σε παρουσία ή όχι της φυσικής ποσότητας (π.χ. λογικό 1 = 5V, λογικό 0 = 0V). Στη διπολική αναπαράσταση οι λογικές καταστάσεις αντιπροσωπεύονται από συμμετρικά αντίθετες τιμές (π.χ. λογικό 1 = +2mA, λογικό 0 = -2mA).

Η μετάδοση της δυαδικής πληροφορίας από το ένα ψηφιακό κύκλωμα στο άλλο επιτυγχάνεται μέσω ενός αγωγού, ο οποίος διασυνδέει την έξοδο του κυκλώματος αποστολής (οδηγόν κύκλωμα – driver) με την είσοδο του κυκλώματος λήψης (οδηγούμενο κύκλωμα – receiver). Ο αγωγός αυτός μπορεί να βρίσκεται πάνω σε τυπωμένο κύκλωμα ή να αποτελείται από κάποιο είδος καλωδίου. Η μετάδοση ενός σήματος συμβαίνει στην πραγματικότητα μέσα από ένα ζεύγους αγωγών, ακόμα κι όταν αυτό δεν είναι φανερό, όπως για παράδειγμα στο τυπωμένο κύκλωμα, όπου ο δεύτερος αγωγός είναι η κοινή γείωση μεταξύ οδηγούντος και οδηγούμενου κυκλώματος.



Σχήμα 1-1

Κατά τη μετάδοση μέσω τάσης (σχήμα 1-1α) το οδηγόν κύκλωμα εισάγει στον αγωγό διασύνδεσης μία στάθμη τάσης. Το κύκλωμα λήψης συγκρίνει την τάση αυτή με μία *τάση κατωφλίου* και εξάγει τη λογική κατάσταση του εισερχόμενου σήματος. Η τάση κατωφλίου βρίσκεται συνήθως στο μέσον μεταξύ χαμηλής και υψηλής στάθμης. Η γείωση χρησιμοποιείται ως κοινή στάθμη αναφοράς, τόσο για τη στάθμη του μεταδιδόμενου σήματος, όσο και για την τάση κατωφλίου στο κύκλωμα λήψης.

Παρόμοια είναι και η μετάδοση μέσω ρεύματος (σχήμα 1-1β), το οποίο κυκλοφορεί στον αγωγό διασύνδεσης ανάλογα με το μεταδιδόμενο ψηφίο. Στην περίπτωση αυτή, το ρεύμα οδηγείται σε μία αντίσταση στο κύκλωμα λήψης και η

τάση που αναπτύσσεται στα άκρα της αντίστασης αυτής χρησιμοποιείται για την εξαγωγή της κατάστασης του εισερχόμενου ψηφίου.

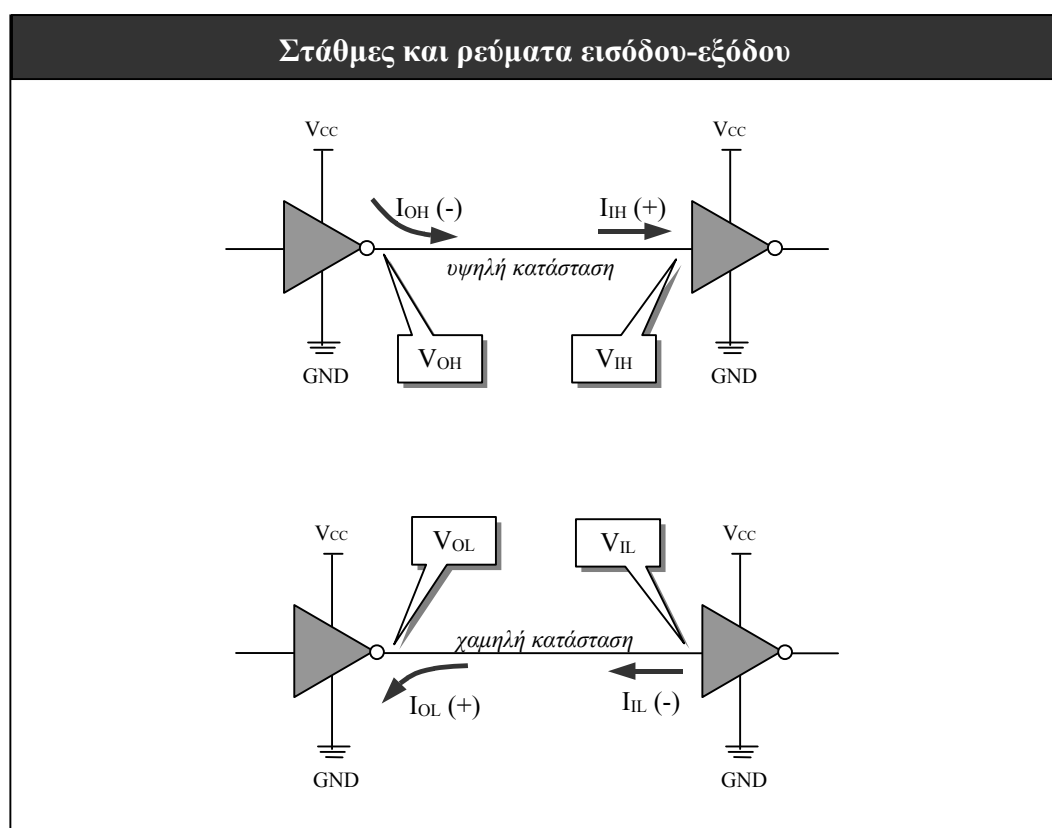
Τα παραδείγματα μετάδοσης, τα οποία αναφέρθηκαν προηγουμένως, χρησιμοποιούν έναν αγωγό (και τη γείωση) για τη μετάδοση του σήματος (single-ended transmission). Μία εναλλακτική μέθοδο αποτελεί η λεγόμενη *διαφορική* μετάδοση (differential transmission). Η διαφορική μετάδοση χρησιμοποιεί δύο αγωγούς για τη μετάδοση ενός σήματος, με κάθε αγωγό να μεταφέρει το συμπληρωματικό σήμα του άλλου. Η διαφορική μετάδοση παρουσιάζει μεγαλύτερη ανοχή στον θόρυβο.

1.2 Λειτουργικά χαρακτηριστικά ψηφιακών κυκλωμάτων.

Τα διάφορα ψηφιακά ηλεκτρονικά κυκλώματα χωρίζονται σε κατηγορίες (“λογικές οικογένειες”) ανάλογα με την τεχνολογία κατασκευής τους και τα χαρακτηριστικά λειτουργίας τους. Τα χαρακτηριστικά αυτά αποτελούν τα κριτήρια επιλογής ενός κυκλώματος, έτσι ώστε να ικανοποιεί τις απαιτήσεις της εκάστοτε σχεδίασης. Η περιγραφή των λειτουργικών αυτών χαρακτηριστικών ακολουθεί στη συνέχεια.

1.2.1 Στάθμες εισόδου/εξόδου και περιθώρια θορύβου.

Στο σχήμα 1-2 απεικονίζεται η διασύνδεση δύο ψηφιακών κυκλωμάτων (πυλών).



Σχήμα 1-2

Οι δύο λογικές καταστάσεις, υψηλή (HIGH) και χαμηλή (LOW), αντιστοιχούν σε αντίστοιχες στάθμες τάσης. Οι στάθμες αυτές συμβολίζονται ως εξής:

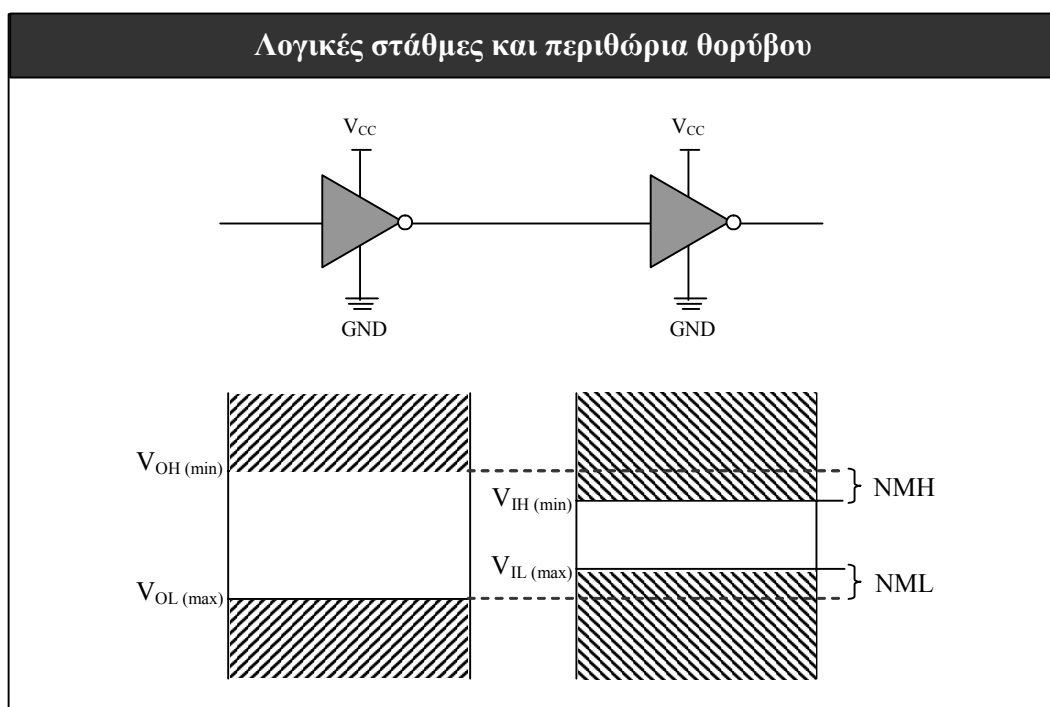
- η χαμηλή στάθμη εξόδου συμβολίζεται ως V_{OL} (V output low), ενώ η υψηλή στάθμη εξόδου ως V_{OH} (V output high).
- η χαμηλή στάθμη εισόδου συμβολίζεται ως V_{IL} (V input low), ενώ η υψηλή στάθμη εισόδου ως V_{IH} (V input high).

Στο ίδιο σχήμα 1-2 φαίνεται επίσης ότι η οδηγούσα πύλη *παρέχει* (source) ή *καταβυθίζει* (sink) ρεύμα σε/από την είσοδο της οδηγούμενης πύλης ανάλογα με την λογική κατάσταση εξόδου. Η ακριβής φορά και το μέγεθος του ρεύματος σε σχέση με την λογική κατάσταση εξαρτάται από την τεχνολογία των ψηφιακών κυκλωμάτων. Συνήθως η οδηγούσα πύλη παρέχει ρεύμα όταν η έξοδός της βρίσκεται σε υψηλή λογική κατάσταση, ενώ καταβυθίζει ρεύμα σε χαμηλή κατάσταση εξόδου. Τα ρεύματα εισόδου/εξόδου συμβολίζονται ως εξής:

- το ρεύμα που ρέει προς ή από την έξοδο της οδηγούσας πύλης συμβολίζεται I_{OL} (I output low) για τη χαμηλή λογική κατάσταση και I_{OH} (I output high) για την υψηλή.
- ως προς την οδηγούμενη πύλη, το ρεύμα που ρέει από ή προς την είσοδο της συμβολίζεται I_{IL} (I input low) για τη χαμηλή λογική κατάσταση και I_{IH} (I input high) για την υψηλή.

Κατά την επικρατούσα σύμβαση, το ρεύμα που ρέει προς το εσωτερικό ενός ψηφιακού κυκλώματος θεωρείται θετικό (+), ενώ το ρεύμα που ρέει εκτός κυκλώματος αρνητικό (-).

Υπενθυμίζεται ότι σε κανονικές συνθήκες λειτουργίας, οι στάθμες εισόδου-εξόδου κυμαίνονται σε προκαθορισμένες περιοχές τιμών. Το γεγονός αυτό επιτρέπει την ανοχή του ψηφιακού κυκλώματος στις επιδράσεις θορύβου. Ο θόρυβος είναι ένας από τους σημαντικότερους παράγοντες που επηρεάζουν την ορθή λειτουργία κάθε συστήματος. Προέρχεται είτε από εξωτερικούς παράγοντες, είτε από το ίδιο το ψηφιακό κύκλωμα και οφείλεται σε γενικές γραμμές στις διακυμάνσεις των τάσεων τροφοδοσίας (και γείωσης), στις αλληλοεπιδράσεις γειτονικών σημάτων και στις ανακλάσεις του σήματος στις γραμμές μετάδοσης.



Σχήμα 1-3

Τα ψηφιακά κυκλώματα λειτουργούν διαθέτοντας ένα *περιθώριο θορύβου* (περιθώριο τάσης), μέσα στο οποίο οι επιδράσεις του θορύβου δεν διαταράσσουν την ορθή λειτουργία του κυκλώματος. Το περιθώριο αυτό επιτρέπει επίσης την ασφαλή διασύνδεση όμοιων ολοκληρωμένων κυκλωμάτων με ελαφρές αποκλίσεις στα χαρακτηριστικά λειτουργίας λόγω κατασκευαστικών παραμέτρων ή λόγω της διαφοράς θερμοκρασίας.

Κάθε ψηφιακό κύκλωμα χαρακτηρίζεται από στάθμες εισόδου-εξόδου χειρότερης περίπτωσης (worst case), οι οποίες εισάγουν ένα περιθώριο θορύβου για τη μετάδοση του ψηφιακού σήματος. Πιο συγκεκριμένα (σχήμα 1-3),

- η είσοδος κάθε ψηφιακού κυκλώματος χαρακτηρίζεται από μία ελάχιστη στάθμη υψηλής κατάστασης $V_{IH(min)}$ και μία μέγιστη στάθμη χαμηλής κατάστασης $V_{IL(max)}$. Το κύκλωμα απαιτεί: α) στάθμη εισόδου μεγαλύτερη από $V_{IH(min)}$ για να γίνει αντιληπτή ως υψηλή λογική κατάσταση και β) στάθμη εισόδου μικρότερη από $V_{IL(max)}$ για να γίνει αντιληπτή ως χαμηλή λογική κατάσταση.
- η έξοδος κάθε ψηφιακού κυκλώματος χαρακτηρίζεται από μία ελάχιστη στάθμη υψηλής κατάστασης $V_{OH(min)}$ και μία μέγιστη στάθμη χαμηλής κατάστασης $V_{OL(max)}$. Το κύκλωμα οφείλει: α) να διατηρεί την τάση εξόδου μεγαλύτερη από $V_{OH(min)}$ για την υψηλή λογική κατάσταση και β) την τάση εξόδου μικρότερη από $V_{OL(max)}$ για τη χαμηλή λογική κατάσταση.

Οι στάθμες $V_{OL(max)}$ και $V_{IL(max)}$ δεν είναι ίσες και η διαφορά τους επιτρέπει την ανοχή στον θόρυβο που πιθανόν να προστεθεί στο σήμα κατά τη μετάδοση από την οδηγούσα στην οδηγούμενη πύλη. Το ίδιο ισχύει για τις στάθμες $V_{OH(min)}$ και $V_{IH(min)}$. Το περιθώριο θορύβου στις δύο λογικές καταστάσεις ορίζεται ως εξής:

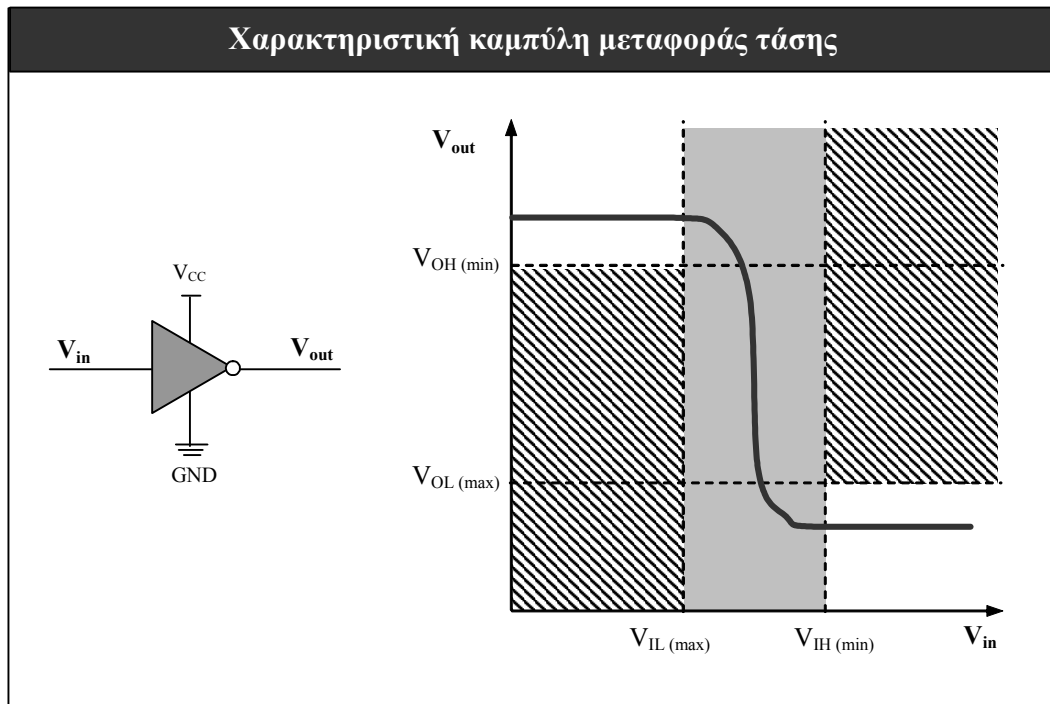
- το περιθώριο θορύβου χαμηλής κατάστασης (noise margin low – NML) ισούται με

$$NML = |V_{IL(max)} - V_{OL(max)}|$$

- το περιθώριο θορύβου υψηλής κατάστασης (noise margin high – NMH) ισούται με

$$NMH = |V_{OH(min)} - V_{IH(min)}|$$

Οι λογικές στάθμες και τα περιθώρια θορύβου απεικονίζονται επίσης στη *χαρακτηριστική καμπύλη μεταφοράς τάσης* (τάση εξόδου προς τάση εισόδου) μίας λογικής πύλης, όπως του αντιστροφέα στο σχήμα 1-4:



Σχήμα 1-4

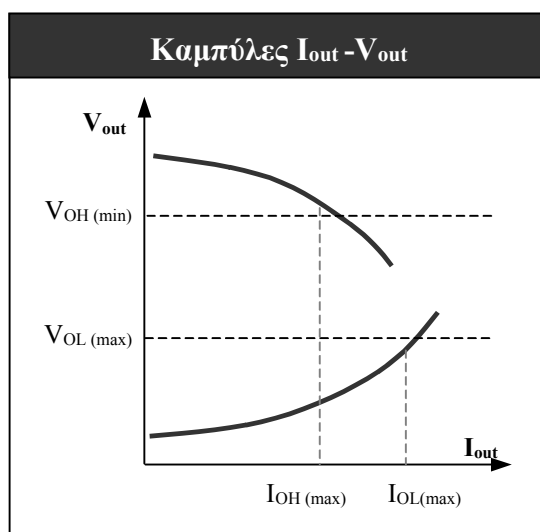
Η χαρακτηριστική καμπύλη μεταφοράς συσχετίζει την τάση εισόδου με την τάση εξόδου της πύλης. Όταν η έξοδος του αντιστροφέα είναι σταθερή, βρίσκεται εκτός των σκιασμένων περιοχών, τις οποίες διασχίζει μόνον κατά τη μετάβαση από τη μία λογική κατάσταση στην άλλη. Οι διαγραμμισμένες περιοχές είναι εκείνες όπου η τάση εξόδου εγγυημένα δεν θα βρεθεί ποτέ σε ομαλή λειτουργία, λόγω των περιορισμών που θέτουν τα $V_{OH(min)}$ και $V_{OL(max)}$.

1.2.2 Οδηγητική ικανότητα.

Καθοριστικός παράγοντας κατά τη διασύνδεση ψηφιακών κυκλωμάτων είναι η οδηγητική ικανότητά τους. Ο όρος “οδηγητική ικανότητα” περιγράφει το είδος και τον αριθμό των κυκλωμάτων, τα οποία μπορούν να συνδεθούν στην έξοδο ενός ψηφιακού κυκλώματος, χωρίς να αλλοιώνεται η ψηφιακή πληροφορία. Η οδηγητική ικανότητα εξαρτάται από τη δυνατότητα παροχής ρεύματος της εξόδου.

Κάθε έξοδος ψηφιακού κυκλώματος, ανεξάρτητα από την τεχνολογία κατασκευής, παρουσιάζει μία σύνθετη αντίσταση (εμπέδηση) εξόδου σε κάθε μία από τις δύο λογικές καταστάσεις. Η τιμή της σύνθετης αντίστασης εξόδου δεν είναι σταθερή, αλλά δυναμικά μεταβαλλόμενη ανάλογα με την τάση εξόδου. Σε γενικές γραμμές, η τιμή αυτή κυμαίνεται μεταξύ 5-50Ω (ανάλογα με την τεχνολογία κατασκευής). Η ικανότητα παροχής ρεύματος της εξόδου είναι αντιστρόφως ανάλογη της τιμής της αντίστασης εξόδου.

Όταν η έξοδος ενός ψηφιακού κυκλώματος βρίσκεται σε σταθερή λογική κατάσταση, η οδήγηση εξαρτάται από την ικανότητα της εξόδου για παροχή ή καταβύθιση ρεύματος προς/από τις εισόδους των οδηγούμενων κυκλωμάτων. Στα φύλλα δεδομένων (datasheets) παρατίθενται οι μέγιστες τιμές ρεύματος που παρέχει η καταβυθίζει ένα ψηφιακό κύκλωμα στις εξόδους του σε υψηλή ή χαμηλή κατάσταση ($I_{OH(max)}$ και $I_{OL(max)}$ αντίστοιχα). Εάν τα οδηγούμενα κυκλώματα απαιτήσουν μεγαλύτερη ποσότητα ρεύματος από την επιτρεπόμενη, τότε η λογική στάθμη της εξόδου μετατοπίζεται εκτός των ορίων λειτουργίας $V_{OH(min)}$ και $V_{OL(max)}$ (σχήμα 1-5).



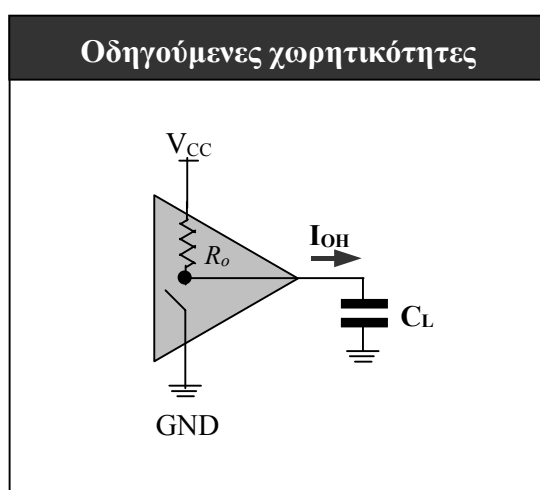
Σχήμα 1-5

Στα φύλλα δεδομένων δίνεται επίσης και η μέγιστη ποσότητα ρεύματος, η οποία απαιτείται για την οδήγηση κάθε εισόδου σε υψηλή και χαμηλή λογική κατάσταση ($I_{IH(max)}$ και $I_{IL(max)}$ αντίστοιχα). Χρησιμοποιώντας τις μέγιστες τιμές των ρευμάτων εισόδου και εξόδου εξάγεται το fan-out: ο μέγιστος αριθμός των εισόδων όμοιων κυκλωμάτων, τις οποίες μπορεί να οδηγήσει με ασφάλεια μία έξοδος. Το fan-out για τις δύο λογικές καταστάσεις υπολογίζεται ως εξής:

$$FO_{(H)} = \frac{I_{OH(max)}}{I_{IH(max)}} \quad FO_{(L)} = \frac{I_{OL(max)}}{I_{IL(max)}}$$

ενώ ως συνολικό fan-out λαμβάνεται η μικρότερη τιμή των $FO_{(L)}$, $FO_{(H)}^{(*)}$.

Στα σύγχρονα ψηφιακά κυκλώματα, οι απαιτήσεις των εισόδων σε ρεύμα είναι μικρές και μπορούν εύκολα να καλυφθούν. Μεγαλύτερη δυσκολία οδήγησης παρουσιάζεται κατά την αλλαγή της εξόδου από τη μία λογική κατάσταση στην άλλη. Οι εισοδοί των οδηγούμενων κυκλωμάτων και οι αγωγοί διασύνδεσης παρουσιάζουν παρασιτικές χωρητικότητες, οι οποίες πρέπει να φορτιστούν ή εκφορτιστούν κατά την αλλαγή κατάστασης. Οι χωρητικότητες αυτές, όταν ο αγωγός διασύνδεσης έχει



Σχήμα 1-6

(*) Εκτός από το fan-out ενός κυκλώματος, και ιδιαίτερα στις περιπτώσεις των λογικών πυλών χρησιμοποιείται επιπροσθέτως ο όρος fan-in. Το fan-in ισούται με τον αριθμό εισόδων μίας πύλης.

μικρό μήκος, μπορούν να αναπαρασταθούν ως πυκνωτής C_L (σχήμα 1-6).

Η σύνθετη αντίσταση εξόδου R_o και οι χωρητικότητες C_L σχηματίζουν ένα απλό κύκλωμα RC. Η ταχύτητα φόρτισης/εκφόρτισης του C_L καθορίζεται από τη σταθερά χρόνου $\tau = R_o C_L$. Εάν η αρχική τάση στα άκρα του C_L είναι 0V και η στάθμη πλήρους φόρτισης ισούται με V_{CC} , η τάση φόρτισης κατά τη χρονική στιγμή t δίνεται από τη σχέση:

$$V(t) = V_{CC} (1 - e^{-t/R_o C_L})$$

Η σχέση αυτή μπορεί να επιλυθεί ως προς t για την εύρεση του χρόνου μετάβασης του σήματος. Για την αλλαγή από το 10% στο 90% του συνολικού εύρους μετάβασης από τη μία κατάσταση στην άλλη, απαιτείται χρόνος $T_{10\%-90\%} = 2.2R_o C_L$.

Πολύ μεγάλο C_L έχει ως αποτέλεσμα την υπερβολικά αργή μετάβαση του σήματος από τη μία κατάσταση στην άλλη, η οποία προκαλεί σφάλματα λειτουργίας στα οδηγούμενα κυκλώματα. Οι κατασκευαστές προσδιορίζουν έναν μέγιστο επιτρεπτό χρόνο μετάβασης, βάσει του οποίου είναι δυνατός ο υπολογισμός του μέγιστου δυνατού αριθμού οδηγούμενων εισόδων με τη βοήθεια της προηγούμενης σχέσης.

1.2.3 Καθυστέρηση διάδοσης και χρόνοι ανόδου-καθόδου.

Το μέγεθος που χαρακτηρίζει την ταχύτητα λειτουργίας κάθε ψηφιακού κυκλώματος είναι η *καθυστέρηση διάδοσης* (propagation delay). Η καθυστέρηση διάδοσης περιγράφει το χρονικό διάστημα από τη στιγμή της αλλαγής της κατάστασης εισόδου έως την εμφάνιση του αποτελέσματος στην έξοδο του κυκλώματος. Η καθυστέρηση διάδοσης μετράται συνήθως στο 50% της αλλαγής στάθμης (σχήμα 1-7). Στα φύλλα δεδομένων παρατίθενται τα εξής μεγέθη:

t_{PLH} : η καθυστέρηση διάδοσης όταν η έξοδος μεταβαίνει σε υψηλή κατάσταση.

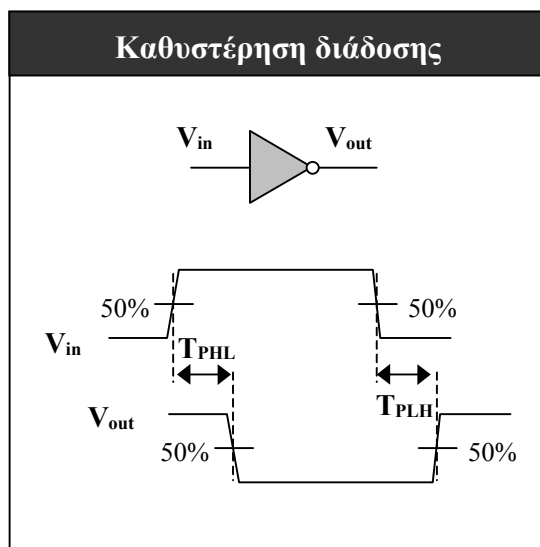
t_{PHL} : η καθυστέρηση διάδοσης όταν η έξοδος μεταβαίνει σε χαμηλή κατάσταση.

t_{PD} : ο μέσος όρος καθυστέρησης διάδοσης, $(t_{PLH} + t_{PHL})/2$.

Η καθυστέρηση διάδοσης εξαρτάται από την τεχνολογία κατασκευής του ψηφιακού κυκλώματος αλλά επηρεάζεται επίσης από την τάση τροφοδοσίας V_{CC} , τις οδηγούμενες χωρητικότητες C_L και τη θερμοκρασία περιβάλλοντος T_A . Σε γενικές γραμμές, η καθυστέρηση διάδοσης αυξάνεται με την αύξηση του T_A και του C_L , ενώ μειώνεται με την αύξηση του V_{CC} .

Στα φύλλα δεδομένων, η καθυστέρηση διάδοσης δίνεται σε συγκεκριμένες τιμές V_{CC} και T_A , ενώ το C_L ισούται με 15-50pF. Επίσης,

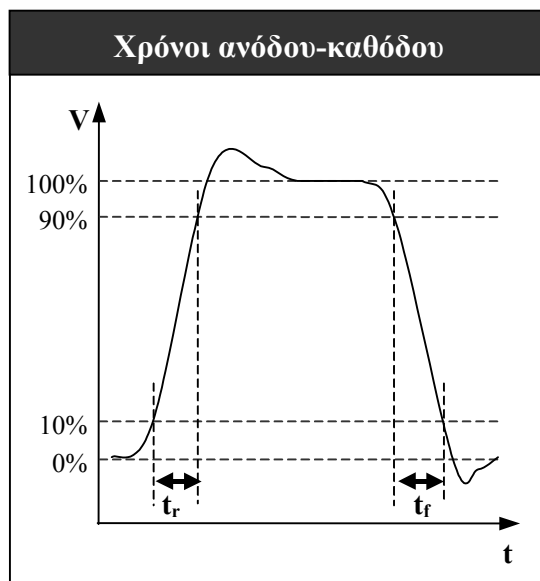
θεωρείται ότι μόνο μία έξοδος του ολοκληρωμένου κυκλώματος αλλάζει



Σχήμα 1-7

κάθε χρονική στιγμή. Εάν συμβαίνει ταυτόχρονη αλλαγή πολλαπλών εξόδων, η καθυστέρηση διάδοσης αυξάνεται, διότι η παρεχόμενη ποσότητα ρεύματος διαμοιράζεται σε όλες τις εξόδους που αλλάζουν κατάσταση.

Στα σύγχρονα συστήματα υψηλών ταχυτήτων, εκτός από την καθυστέρηση διάδοσης, ιδιαίτερη σημασία έχει και ο χρόνος ανόδου/καθόδου (t_r και t_f αντίστοιχα) του σήματος κατά την μετάβαση από τη μία λογική κατάσταση στην άλλη. Ο χρόνος αυτός συνήθως μετράται από το 10% έως το 90% της αλλαγής στάθμης (σχήμα 1-8). Στην παράγραφο 1.2.2 περιγράφηκε η αρνητική επίδραση του υπερβολικά αργού χρόνου μετάβασης στη λειτουργία των οδηγούμενων πυλών.



Σχήμα 1-8

Ομοίως ή και περισσότερο σημαντικές είναι οι επιπτώσεις από τις υπερβολικά γρήγορες μεταβάσεις του σήματος (πολύ μικρός χρόνος ανόδου/καθόδου ή αλλιώς, πολύ μεγάλος ρυθμός $\Delta V/\Delta t$ αλλαγής της στάθμης). Οι απότομες αυτές μεταβάσεις προκαλούν μεγάλες αιχμές ρεύματος και είναι η κύρια αιτία δημιουργίας θορύβου και σφαλμάτων στα ψηφιακά κυκλώματα. Έτσι, τα σύγχρονα ψηφιακά κυκλώματα διαθέτουν στις εξόδους τους διατάξεις, οι οποίες περιορίζουν τον ρυθμό μεταβολής της στάθμης.

1.2.4 Κατανάλωση ισχύος.

Η ισχύς, η οποία καταναλώνεται σε ένα ψηφιακό κύκλωμα, καθορίζει το βαθμό ολοκλήρωσης του κυκλώματος και τη χρήση του. Η χαμηλή κατανάλωση ισχύος συνεπάγεται μικρότερη έκλυση θερμότητας και επιτρέπει την σύμπτυξη μεγάλου αριθμού πυλών στο ίδιο ολοκληρωμένο κύκλωμα, μειώνοντας έτσι το κόστος κατασκευής και αυξάνοντας τη λειτουργικότητα και απόδοση του κυκλώματος ανά μονάδα επιφάνειας πυριτίου. Κυκλώματα χαμηλής ισχύος χρησιμοποιούνται επίσης σε όλες τις φορητές συσκευές, οι οποίες τροφοδοτούνται από μπαταρίες.

Η καταναλισκόμενη ισχύς χωρίζεται σε δύο συνιστώσες, τη στατική και τη δυναμική:

α) Η **στατική** ισχύς (quiescent power dissipation) καταναλώνεται για τη διατήρηση της κατάστασης των εξόδων του ψηφιακού κυκλώματος σε μία σταθερή λογική κατάσταση. Η στατική ισχύς ισούται με το γινόμενο της τάσης τροφοδοσίας V_{CC} επί το ρεύμα τροφοδοσίας I_{CC} , το οποίο ρέει προς το κύκλωμα από τους ακροδέκτες τροφοδοσίας. Το ρεύμα I_{CC} οφείλεται κυρίως στο άθροισμα των ρευμάτων διαρροής στις ημιαγωγικές επαφές του κυκλώματος και αυξάνεται με την αύξηση της θερμοκρασίας, είναι δε ανάλογο της πολυπλοκότητας του ψηφιακού κυκλώματος.

Η στατική κατανάλωση ισχύος ενός κυκλώματος εξαρτάται από την τεχνολογία κατασκευής του. Κυκλώματα με διπολικά τρανζίστορ επαφής παρουσιάζουν μεγάλη

στατική κατανάλωση ισχύος, σε αντίθεση με τα κυκλώματα CMOS, η στατική κατανάλωση ισχύος των οποίων είναι ελάχιστη.

β) η **δυναμική** κατανάλωση ισχύος (active power dissipation) προκύπτει κατά τη μετάβαση των εσωτερικών κόμβων και των εξόδων του κυκλώματος από τη μία λογική κατάσταση στην άλλη. Η ισχύς εδώ καταναλώνεται για τη φόρτιση των εσωτερικών και των εξωτερικών χωρητικότητων.

Η κατανάλωση ισχύος για τη φόρτιση-εκφόρτιση χωρητικότητας C σε τάση V_{CC} με συχνότητα εναλλαγής f ισούται με $P = C \cdot V_{CC}^2 \cdot f$. Συνεπώς, η δυναμική κατανάλωση ισχύος εξαρτάται γραμμικά από τη συχνότητα λειτουργίας του κυκλώματος.

Μία πρόσθετη συνιστώσα δυναμικά καταναλισκόμενης ισχύος αποτελεί και το ρεύμα που ρέει μεταξύ V_{CC} και γείωσης κατά τη στιγμή αλλαγής κατάστασης στις βαθμίδες totem-pole (βλ. παράγραφο 1.3.1). Η ισχύς αυτή είναι επίσης ανάλογη της συχνότητας λειτουργίας.

Η μέγιστη κατανάλωση ισχύος ενός ολοκληρωμένου κυκλώματος καθορίζεται από τη μέγιστη επιτρεπόμενη *θερμοκρασία επαφής* (junction temperature – T_J) εσωτερικά στο ολοκληρωμένο κύκλωμα. Η θερμοκρασία επαφής T_J ισούται με τη θερμοκρασία περιβάλλοντος T_A , προσαυξημένη ανάλογα με την κατανάλωση ισχύος P :

$$T_J = T_A + \theta_{JA} \cdot P$$

όπου θ_{JA} ονομάζεται συντελεστής θερμικής αντίστασης ($^{\circ}\text{C}/\text{W}$) και εξαρτάται από τα χαρακτηριστικά της συσκευασίας (package) του ολοκληρωμένου κυκλώματος. Η μέγιστη επιτρεπόμενη κατανάλωση ισχύος (χωρίς ψύξη) του ολοκληρωμένου κυκλώματος είναι:

$$P_{max} = (T_{Jmax} - T_A) / \theta_{JA}$$

1.2.5 Τάση τροφοδοσίας.

Τα ψηφιακά κυκλώματα τροφοδοτούνται από δύο γραμμές τροφοδοσίας, το V_{CC} και τη γείωση (0V). Η γείωση χρησιμοποιείται συνήθως ως τάση αναφοράς για όλα τα μέρη του κυκλώματος και όλα τα ολοκληρωμένα κυκλώματα ενός συστήματος. Τόσο η γείωση όσο και το V_{CC} πρέπει να είναι απαλλαγμένα όσο το δυνατόν περισσότερο από θόρυβο και αιχμές τάσης. Για τον λόγο αυτόν, οι διατάξεις οι οποίες παρέχουν και διανέμουν τις τάσεις τροφοδοσίας σε ένα σύστημα σχεδιάζονται με ιδιαίτερη προσοχή, χρησιμοποιώντας τοπικούς πυκνωτές αποσύζευξης και κυκλώματα σταθεροποίησης τάσης. Από την πλευρά των ψηφιακών κυκλωμάτων, οι προδιαγραφές επιτρέπουν μία απόκλιση περίπου $\pm 10\%$ από την ονομαστική τάση τροφοδοσίας.

Συνήθως τα ψηφιακά συστήματα χρησιμοποιούν μία τάση V_{CC} για το σύνολο των κυκλωμάτων τους. Υπάρχουν όμως και περιπτώσεις, όπου είναι αναγκαία η ανάμιξη κυκλωμάτων με διαφορετικές τάσεις τροφοδοσίας, όπως CMOS ($V_{CC}=5\text{V}$) και ECL ($V_{EE}=-5.2\text{V}$) ή κυκλώματα με χαμηλή τάση τροφοδοσίας (3.3V, 2.5V, 1.8V). Στην περίπτωση αυτή απαιτούνται στο σύστημα οι ανάλογες πρόσθετες γραμμές τροφοδοσίας.

1.2.6 Λογικές συναρτήσεις.

Ένα τελευταίο χαρακτηριστικό κάθε κατηγορίας ψηφιακών κυκλωμάτων είναι το είδος και το πλήθος των λογικών συναρτήσεων που υλοποιούν. Τα κλασσικά ψηφιακά κυκλώματα γενικού σκοπού περιλαμβάνουν ευρεία κλίμακα λογικών συναρτήσεων, καταχωρητών, μετρητών κ.ά. σε διάφορους συνδυασμούς αριθμού εισόδων.

Επειδή όμως στα σύγχρονα ψηφιακά συστήματα όλες οι λογικές συναρτήσεις ενσωματώνονται σε ελάχιστα ολοκληρωμένα κυκλώματα ειδικής σχεδίασης (ASICs), οι νεώτερες λογικές οικογένειες ψηφιακών κυκλωμάτων περιλαμβάνουν κυρίως κυκλώματα για τη μετάδοση της πληροφορίας: κυκλώματα μετάδοσης-λήψης, καταχωρητές μεγάλου εύρους και μετατροπείς της πληροφορίας από σειριακή σε παράλληλη και αντίστροφα.

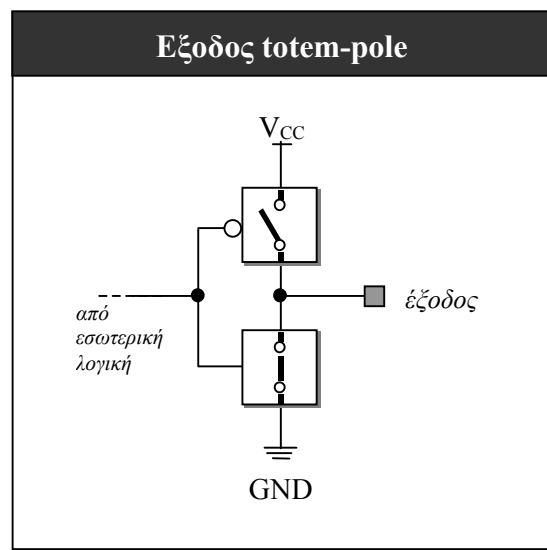
1.3 Έξοδοι ψηφιακών κυκλωμάτων.

Οι βαθμίδες εξόδου διαμορφώνουν τις στάθμες τάσης που εμφανίζονται στους ακροδέκτες ενός ολοκληρωμένου κυκλώματος. Οι στάθμες αυτές αντικατοπτρίζουν την κατάσταση των εσωτερικών κόμβων του κυκλώματος, ανάλογα με την εκάστοτε λογική λειτουργία. Η κατασκευή των βαθμίδων εξόδου καθορίζει και τον τρόπο διασύνδεσής τους. Στη συνέχεια παρατίθενται διάφορα είδη βαθμίδων εξόδου.

1.3.1 Βαθμίδα totem-pole.

Η πιο συνήθης διάταξη ψηφιακής εξόδου είναι η διάταξη totem-pole (σχήμα 1-9). Στη διάταξη αυτή, δύο ενεργά στοιχεία (τρανζίστορ, στο σχήμα 1-9 απεικονίζονται συμβολικά ως διακόπτες) χρησιμοποιούνται για τη σύνδεση της εξόδου εναλλάξ με το V_{CC} ή τη γείωση. Με τον τρόπο αυτόν παράγονται οι δύο λογικές στάθμες εξόδου.

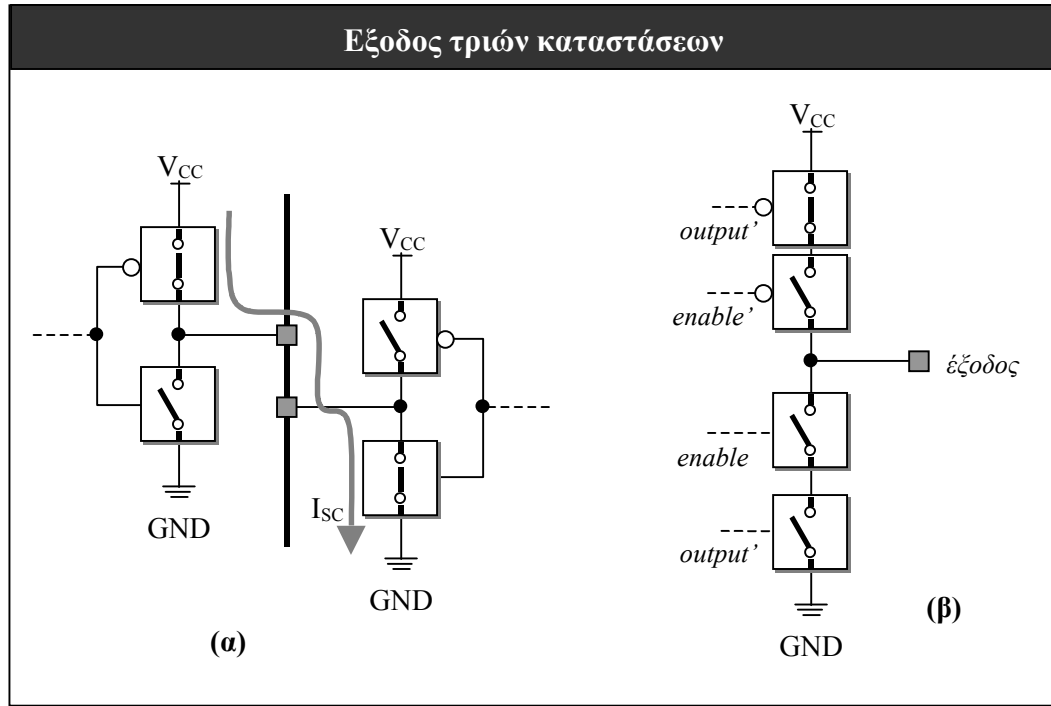
Στη διάταξη totem-pole οι δύο “διακόπτες” οδηγούνται με συμπληρωματικό σήμα ελέγχου και δεν είναι ποτέ ταυτοχρόνως “κλειστοί”, παρά μόνον για ένα ελάχιστο διάστημα κατά τη μετάβαση της εξόδου από τη μία κατάσταση στην άλλη. Στο ελάχιστο αυτό χρονικό διάστημα σχηματίζεται αγωγίμο μονοπάτι μεταξύ V_{CC} και γείωσης, κάτι που έχει ως αποτέλεσμα την εμφάνιση απότομων αιχμών ρεύματος και του αντίστοιχου θορύβου μεταξύ των γραμμών τροφοδοσίας.



Σχήμα 1-9

1.3.2 Έξοδοι τριών καταστάσεων.

Κατά τη διασύνδεση πολλαπλών εξόδων σε μία κοινή γραμμή (π.χ. σε έναν δίαυλο δεδομένων), σε κάθε χρονική στιγμή μόνο μία έξοδος μπορεί να είναι ενεργή (δηλ. να μεταδίδει δεδομένα), ενώ οι υπόλοιπες εξόδους πρέπει με κάποιον τρόπο να έχουν “αποσυνδεθεί” από την κοινή γραμμή.



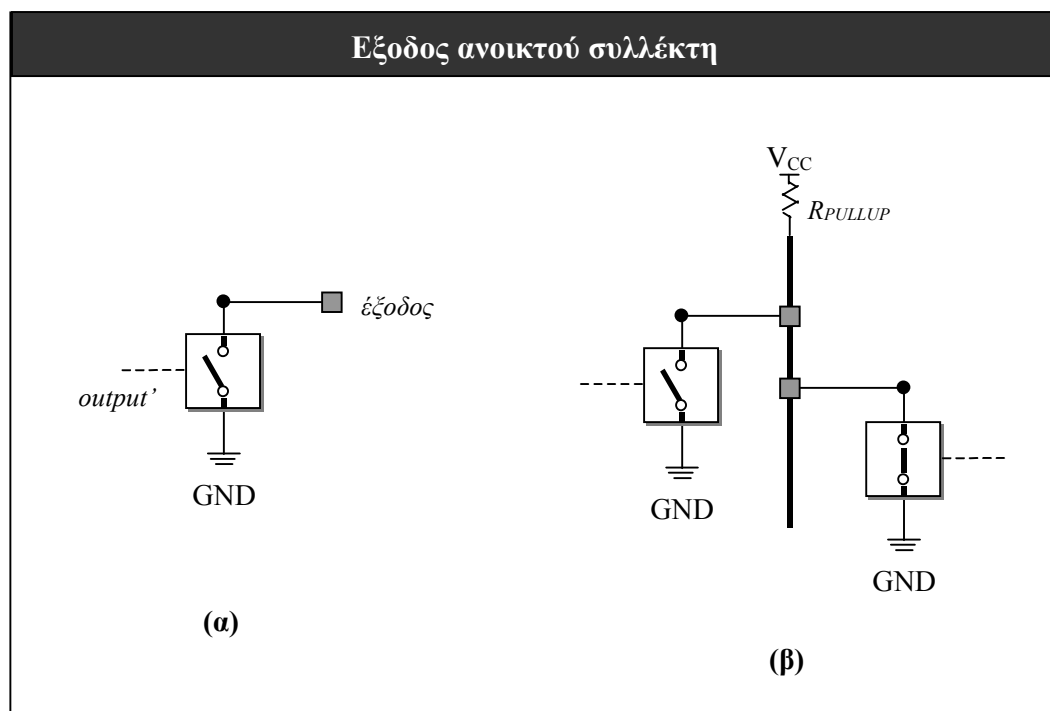
Σχήμα 1-10

Έξοδοι με βαθμίδα totem-pole δεν μπορούν να συνδεθούν σε κοινή γραμμή, διότι εμφανίζεται *σύγκρουση* (contention) των λογικών σταθμών των εξόδων: εάν μία έξοδος προσπαθεί να μεταδώσει την υψηλή στάθμη, ενώ ταυτοχρόνως μία άλλη έξοδος βρίσκεται σε χαμηλή κατάσταση, τότε εμφανίζεται ένα ρεύμα βραχυκυκλώματος μέσω των δύο βαθμίδων totem-pole, από το V_{CC} προς τη γείωση (σχήμα 1-10α). Η σύγκρουση έχει ως αποτέλεσμα την καταπόνηση των βαθμίδων εξόδου (ιδίως της βαθμίδας που βρίσκεται σε υψηλή κατάσταση) και την αύξηση της καταναλισκόμενης ισχύος. Η αύξηση αυτή μπορεί να οδηγήσει σε καταστροφή των βαθμίδων εξόδου.

Για την αποφυγή του φαινομένου της σύγκρουσης, χρησιμοποιούνται βαθμίδες εξόδου (σχήμα 1-10β), οι οποίες μπορούν να “αποσυνδεθούν” πλήρως από την κοινή γραμμή, οδηγούμενες σε μία “τρίτη κατάσταση” εξόδου, αυτή της *υψηλής εμπέδησης* (high impedance, συμβολικά Hi-Z).

1.3.3 Έξοδοι ανοικτού συλλέκτη.

Μία εναλλακτική λύση για τη διασύνδεση πολλαπλών εξόδων σε κοινή γραμμή είναι η χρήση εξόδων *ανοικτού συλλέκτη* (open-collector, σχήμα 1-11α). Οι εξοδοί αυτού του τύπου μπορούν να παράγουν μία μόνο από τις δύο λογικές στάθμες. Για την παραγωγή της δεύτερης στάθμης απαιτείται η χρήση μίας εξωτερικής αντίστασης, η οποία συνδέεται στην αντίστοιχη γραμμή τροφοδοσίας.



Σχήμα 1-11

Με τη βοήθεια των εξόδων ανοικτού συλλέκτη υλοποιούνται συναρτήσεις καλωδιωμένης λογικής. Εάν, για παράδειγμα, συνδεθούν μαζί πολλαπλές εξοδοί ανοικτού συλλέκτη και χρησιμοποιηθεί μία αντίσταση ανύψωσης δυναμικού (pullup) προς το V_{CC} , όπως στο σχήμα 1-11β, τότε η κοινή γραμμή θα βρίσκεται σε υψηλή κατάσταση μόνον όταν όλες οι εξοδοί είναι σε υψηλή κατάσταση. Εάν έστω και μία έξοδος βρεθεί σε χαμηλή κατάσταση, όλη η γραμμή θα βρεθεί επίσης σε χαμηλή κατάσταση (λογική καλωδιωμένου-KAI, wired-AND).

1.4 Εξέλιξη τεχνολογίας ψηφιακών κυκλωμάτων.

Τα πρώτα ψηφιακά κυκλώματα (δεκαετία '50) υλοποιούσαν απλές λογικές πύλες χρησιμοποιώντας διακριτά στοιχεία (τρανζίστορ, διόδους και αντιστάσεις). Στα μέσα της δεκαετίας του '60 εμφανίστηκαν τα πρώτα εμπορικά ολοκληρωμένα κυκλώματα λογικής, τα οποία περιείχαν 2-10 λογικές πύλες. Η ολοκλήρωση των κυκλωμάτων αυτών χαρακτηρίζεται ως μικρής κλίμακας (small scale integration – SSI).

Τα αμέσως επόμενα χρόνια (δεκαετία '70) τα ψηφιακά κυκλώματα πέρασαν από τη ολοκλήρωση μεσαίας κλίμακας (medium scale integration – MSI) των 20-100 λογικών πυλών (καταχωρητές, μετρητές κ.ά.) στην ολοκλήρωση μεγάλης κλίμακας

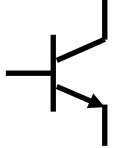



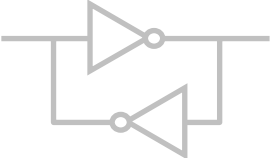
(large scale integration – LSI) με έως και 1000 πύλες. Κατά την περίοδο αυτή εμφανίστηκαν τα πρώτα κυκλώματα μικροεπεξεργαστών και ημιαγωγικών μνημών.

Στη δεκαετία του '80 εμφανίστηκαν ψηφιακά κυκλώματα με περισσότερες από 20.000 πύλες (very large scale integration – VLSI) και η χωρητικότητα των ημιαγωγικών μνημών έφτασε τα 4Mbit ανά ολοκληρωμένο κύκλωμα. Νέες τεχνικές σχεδίασης εμφανίστηκαν για να επιτευχθεί μείωση της χρησιμοποιούμενης επιφάνειας πυριτίου, του χρόνου σχεδίασης και της κατανάλωσης ισχύος. Κατά τη δεκαετία του '90 η κλίμακα ολοκλήρωσης ξεπέρασε το 1 εκατομμύριο πύλες ανά ολοκληρωμένο κύκλωμα και οι μεθοδολογίες σχεδίασης βελτιώθηκαν σημαντικά. Τα πρόσφατα ψηφιακά κυκλώματα μικροεπεξεργαστών αποτελούνται από 40 εκατομμύρια και πλέον τρανζίστορ, ενώ η χωρητικότητα των ημιαγωγικών μνημών ανέρχεται στα 256Mbit ανά ολοκληρωμένο κύκλωμα.

Τα πλεονεκτήματα της ολοένα αυξανόμενης ολοκλήρωσης των ψηφιακών κυκλωμάτων είναι η αύξηση της λειτουργικότητας και της ταχύτητας, με ταυτόχρονη μείωση των διαστάσεων και του κόστους παραγωγής. Τα κυκλώματα τεχνολογίας CMOS είναι ιδανικά στην περίπτωση αυτή, διότι οι διατάξεις τους αλλά και η πολύ χαμηλή κατανάλωση ισχύος που παρουσιάζουν, επιτρέπει την πολύ υψηλή ολοκλήρωση των κυκλωμάτων αυτών.

Παράλληλα με την εξέλιξη της τεχνολογίας των ψηφιακών κυκλωμάτων, αναπτύσσονται επίσης και οι παρεμφερείς τεχνολογίες, όπως των συσκευασιών (packages) των ολοκληρωμένων κυκλωμάτων και των αγωγών μετάδοσης των σημάτων, για να υποστηρίξουν τα σημερινά ψηφιακά συστήματα υψηλών ταχυτήτων.

ΣΗΜΕΙΩΣΕΙΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ

2		
		

**“Ψηφιακά κυκλώματα με τρανζίστορ
διπολικής επαφής”**

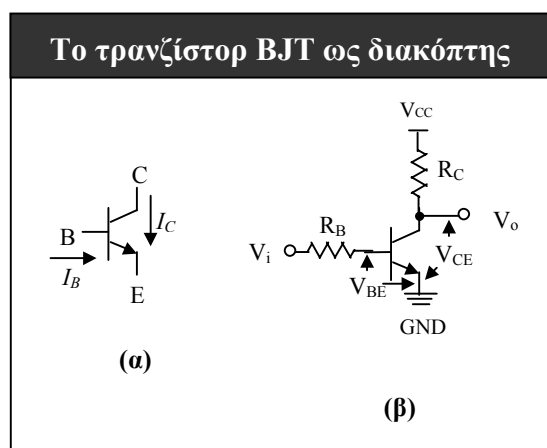
Δ.Λιούπης - Μ.Στεφανιδάκης

Πίνακας Περιεχομένων.

2.1	Το τρανζίστορ διπολικής επαφής.	1
2.2	Πρώιμα ψηφιακά λογικά κυκλώματα.....	2
2.2.1	Λογική διόδου-τρανζίστορ (DTL).....	2
2.3	Λογική τρανζίστορ-τρανζίστορ (TTL).	5
2.3.1	Λειτουργία πύλης TTL NAND.....	8
2.3.2	Βασικά χαρακτηριστικά λειτουργίας standard TTL.	9
2.3.2.1	Λογικές στάθμες και περιθώρια θορύβου.	9
2.3.2.2	Οδηγητική ικανότητα.	10
2.3.2.3	Καθυστέρηση διάδοσης.	13
2.3.2.4	Κατανάλωση ισχύος.	13
2.3.2.5	Αχρησιμοποίητες είσοδοι/πύλες.....	14
2.3.3	Διάφορες λογικές πύλες TTL.....	15
2.3.4	Λογικές οικογένειες TTL.	17
2.3.4.1	Λογικές πύλες Schottky TTL.	17
2.3.4.2	Λογικές πύλες LS TTL.	19
2.3.4.3	Προηγμένες πύλες TTL.....	20
2.4	Λογική συζευγμένου εκπομπού (ECL).	21
2.4.1	Η βασική πύλη ECL (OR/NOR).	22
2.4.2	Λειτουργικά χαρακτηριστικά βασικής πύλης ECL.....	24
2.4.2.1	Χαρακτηριστική καμπύλη μεταφοράς.	24
2.4.2.2	Οδηγητική ικανότητα.	25
2.4.2.3	Καθυστέρηση διάδοσης.	26
2.4.2.4	Κατανάλωση ισχύος.	27
2.4.3	Διαφορική μετάδοση σήματος με πύλες ECL.	27
2.4.4	Χρήση θετικής τροφοδοσίας (PECL).....	28
2.4.5	Λογικές οικογένειες ECL.....	29
2.5	Βιβλιογραφία και πληροφοριακό υλικό.	30

2.1 Το τρανζίστορ διπολικής επαφής.

Τα πρώτα ψηφιακά κυκλώματα χρησιμοποίησαν το *τρανζίστορ διπολικής επαφής* (bipolar junction transistor – BJT) για την υλοποίηση των διαφόρων λογικών συναρτήσεων. Στα ψηφιακά κυκλώματα το τρανζίστορ χρησιμοποιείται κατά κύριο λόγο ως διακόπτης, τα χαρακτηριστικά λειτουργίας του οποίου περιγράφονται στη συνέχεια. Η ανάλυση βασίζεται σε τρανζίστορ τύπου NPN, ισχύουν όμως τα αντίστοιχα για τρανζίστορ PNP.



Σχήμα 2-1

Στο σχήμα 2-1α απεικονίζεται ένα τυπικό τρανζίστορ διπολικής επαφής τύπου NPN. Το ρεύμα που ρέει μέσω της βάσης του τρανζίστορ συμβολίζεται ως I_B ενώ εκείνο μέσω του συλλέκτη ως I_C . Οι περιοχές λειτουργίας του τρανζίστορ αυτού παρατίθενται στον πίνακα 2-1 που ακολουθεί:

Πίνακας 2-1

περιοχή	επαφή BE	επαφή BC	ρεύματα I_B, I_C	παρατηρήσεις
ενεργή (active)	ορθά πολωμένη	ανάστροφα πολωμένη	$I_C = \beta I_B$	β = συντελεστής κέρδους ρεύματος του τρανζίστορ
αποκοπή (cutoff)	ανάστροφα πολωμένη	ανάστροφα πολωμένη	$I_B = 0, I_C = I_{CEO}$	I_{CEO} = ανάστροφο ρεύμα κορεσμού συλλέκτη, πρακτικά 0
κορεσμός (saturation)	ορθά πολωμένη	ορθά πολωμένη	$I_C < \beta I_B$	τάση μεταξύ συλλέκτη και εκπομπού $V_{CE} \approx 0.2V$ ή και χαμηλότερη
αντίστροφη λειτουργία (reversed mode)	ανάστροφα πολωμένη	ορθά πολωμένη	$I_E = \beta_R I_B$	β_R = συντελεστής κέρδους αντίστροφης λειτουργίας

Ως διακόπτης το τρανζίστορ διπολικής επαφής σε γενικές γραμμές βρίσκεται είτε σε αποκοπή (ανοικτό κύκλωμα) είτε σε κορεσμό (κλειστός διακόπτης). Στην ενεργή περιοχή περνάει για σύντομο χρονικό διάστημα, κατά τις μεταβάσεις από κορεσμό σε αποκοπή ή αντίστροφα. Η αντίστροφη λειτουργία είναι μία ειδική περίπτωση που θα εξεταστεί αργότερα.

Στο σχήμα 2-1β απεικονίζεται ένα θεωρητικό κύκλωμα αντιστροφής, το οποίο θα χρησιμοποιηθεί για να περιγραφεί η διακοπτική λειτουργία του τρανζίστορ.

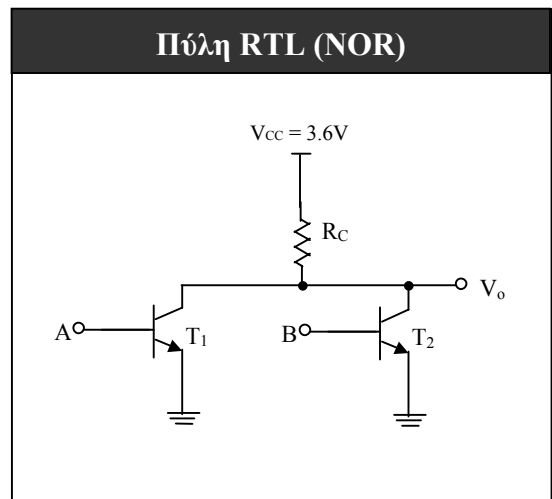
1. Αρχικά, έστω ότι η είσοδος $V_i = 0V$ (χαμηλή λογική στάθμη). Με βάση τα δεδομένα του πίνακα 2-1, το τρανζίστορ βρίσκεται σε αποκοπή και είναι $I_B = 0$, $I_C = 0$, $V_{BE} = 0V$ ενώ $V_o = V_{CE} = V_{CC}$ (υψηλή λογική στάθμη).
2. Εάν το V_i αυξηθεί έως τα $0.6V$ περίπου, η επαφή βάσης-εκπομπού πολώνεται ορθά και το τρανζίστορ βρίσκεται στα όρια της αγωγής. Τότε είναι $V_{BE} = 0.6V$ ενώ τα I_B και I_C μόλις αρχίζουν να γίνονται μεγαλύτερα από το 0.
3. Με περαιτέρω αύξηση του V_i , το τρανζίστορ εισέρχεται στην ενεργή περιοχή λειτουργίας. Τότε ισχύουν: $V_{BE} = 0.7V$ και $I_C = \beta I_B$.
4. Με μεγαλύτερη αύξηση του V_i , το τρανζίστορ βρίσκεται στην περιοχή κορεσμού, όπου ισχύουν: $V_{BE} \approx 0.75V$, $I_C < \beta I_B$ και $V_{CE} = V_o \approx 0.2V$ (χαμηλή λογική στάθμη).

Η έξοδος V_o αλλάζει κατάσταση σε σχέση με το V_i με ορισμένη καθυστέρηση, η οποία προκαλείται από τη συσσώρευση φορτίου στην παρασιτική χωρητικότητα της επαφής βάσης-εκπομπού. Η σημαντικότερη καθυστέρηση οφείλεται στην εκφόρτιση της χωρητικότητας αυτής κατά τη μετάβαση του τρανζίστορ στην αποκοπή και ονομάζεται *χρόνος αποθήκευσης* (storage time).

2.2 Πρώιμα ψηφιακά λογικά κυκλώματα.

Η πρώτη μορφή ολοκληρωμένων λογικών κυκλωμάτων (πυλών) χρησιμοποιούσε το κύκλωμα του σχήματος 2-2 και ονομαζόταν “λογική αντίστασης-τρανζίστορ” (resistor-transistor logic – RTL, αρχές δεκαετίας ’60).

Το κύκλωμα του σχήματος 2-2 υλοποιεί τη λογική συνάρτηση NOR: όταν οι είσοδοι A και B είναι σε χαμηλή στάθμη, τα τρανζίστορ T_1 και T_2 βρίσκονται σε αποκοπή και η έξοδος σε υψηλή στάθμη, ενώ σε κάθε άλλο συνδυασμό εισόδων η έξοδος βρίσκεται σε χαμηλή στάθμη.



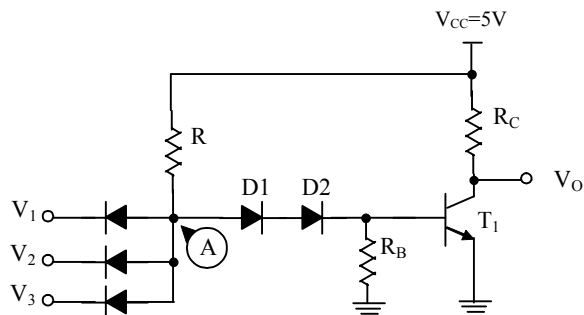
Σχήμα 2-2

Οι λογικές πύλες RTL παρουσίαζαν ικανοποιητική για την εποχή καθυστέρηση διάδοσης και κατανάλωση ισχύος (12ns και 16mW αντίστοιχα) αλλά ταυτόχρονα είχαν πολύ μικρό περιθώριο θορύβου ($\sim 0.4V$) και οδηγητική ικανότητα (μέγιστο fanout = 5). Έτσι σύντομα αντικαταστάθηκαν από τα ολοκληρωμένα κυκλώματα DTL (diode-transistor logic).

2.2.1 Λογική διόδου-τρανζίστορ (DTL).

Το βασικό κύκλωμα μίας πύλης DTL NAND απεικονίζεται στο σχήμα 2-3:

Βασικό κύκλωμα πύλης DTL (NAND)



Σχήμα 2-3

Συνοπτικά, η λειτουργία του κυκλώματος του σχήματος 2-3 είναι η ακόλουθη:

α) Εάν όλες οι εισοδοί V_i βρίσκονται σε υψηλή κατάσταση (5V), τότε οι αντίστοιχες διόδους εισόδου είναι σε αποκοπή. Ρεύμα μέσω της αντίστασης R ρέει προς τη βάση του τρανζίστορ T_1 και το οδηγεί σε κορεσμό. Η τάση εξόδου V_o ισούται με $V_{CE1(sat)} = 0.2V$ (χαμηλή λογική στάθμη).

β) Εάν τουλάχιστον μία είσοδος βρίσκεται σε χαμηλή κατάσταση (0.2V), τότε η τάση στο σημείο A του σχήματος 2-3 ισούται με $V_A = 0.2V + V_D = 0.95V$, υποθέτοντας ότι το ρεύμα που ρέει μέσω της εισόδου είναι αρκετό ώστε η τάση στα άκρα της αντίστοιχης διόδου να ισούται με 0.75V.

Η ελάχιστη απαιτούμενη τάση V_A για να αρχίσει να άγει το T_1 είναι:

$$V_A = V_{D1} + V_{D2} + V_{BE1} = 3 \times 0.6 = 1.8V$$

με τάση ορθής πόλωσης των διόδων ίση με 0.6V, λόγω του ελάχιστου ρεύματος. Άρα με $V_A = 0.95V$, το T_1 βρίσκεται σε αποκοπή, το ρεύμα μέσω των D_1 , D_2 και R_B περνάει στη γείωση, ενώ η έξοδος μέσω της R_C οδηγείται στα 5V (υψηλή στάθμη).

Όταν το T_1 βρίσκεται σε κορεσμό και μία είσοδος μεταβεί στη χαμηλή στάθμη, τότε στιγμιαία οι D_1 και D_2 θα βρεθούν σε αποκοπή ($V_A = 0.95V$, $V_B = 0.75V$). Αν δεν υπήρχε η R_B , το φορτίο στη βάση του T_1 δεν θα μπορούσε να απομακρυνθεί προς τη γείωση και το T_1 θα αργούσε υπερβολικά να περάσει σε αποκοπή. Μέσω της R_B εκφορτίζεται η χωρητικότητα της βάσης του T_1 , επιτυγχάνοντας έναν λογικό χρόνο μετάβασης από τη χαμηλή στην υψηλή στάθμη εξόδου.

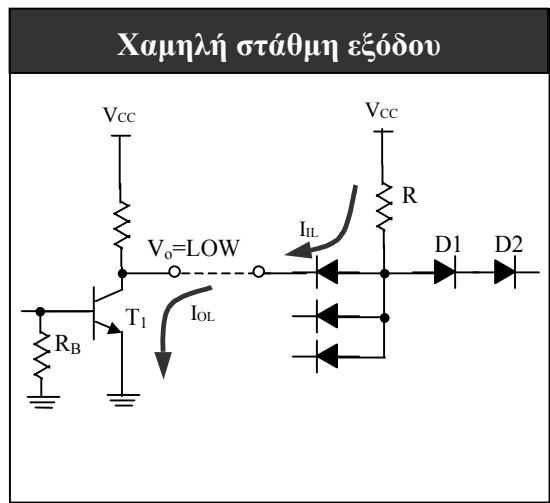
Οδηγητική ικανότητα πύλης DTL.

Υποθέτοντας ότι η πύλη DTL οδηγεί όμοιες πύλες, είναι:

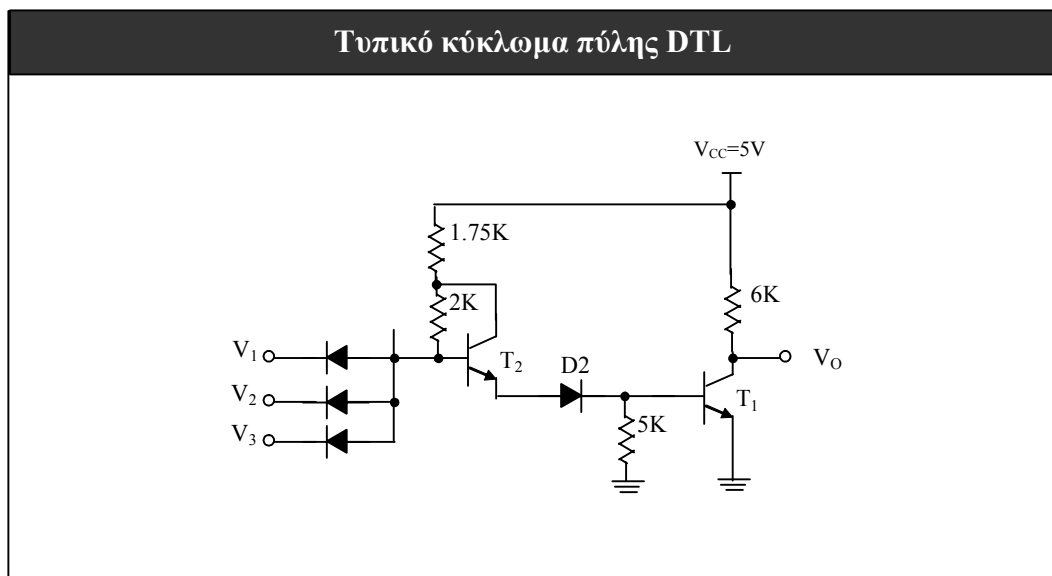
α) Όταν η έξοδος είναι σε υψηλή στάθμη, δεν ρέει ρεύμα προς τις οδηγούμενες πύλες (οι διόδοι εισόδου είναι ανάστροφα πολωμένες) και η επίδραση του αριθμού των οδηγούμενων πυλών είναι αμελητέα.

β) Όταν η έξοδος είναι σε χαμηλή στάθμη, ρεύμα μέσω των εισόδων των οδηγούμενων πυλών ρέει προς τον συλλέκτη του T_1 (σχήμα 2-4). Η πύλη μπορεί να οδηγεί πολλαπλές εισόδους, αρκεί το T_1 να μην βγει από την περιοχή κορεσμού ($I_{C1} < \beta I_{B1}$ και $V_{CE1(sat)} = 0.2V$). Αυτό πρακτικά σημαίνει ότι είτε το I_{C1} πρέπει να διατηρείται μικρό (μεγάλη τιμή R), είτε το I_{B1} πρέπει να είναι μεγάλο (μεγάλη τιμή R_B), είτε ο συντελεστής β του T_1 πρέπει να είναι μεγάλος.

Καθυστέρηση διάδοσης. Στις πύλες DTL ισχύει γενικά ότι $t_{PLH} > t_{PHL}$ (2 έως 3 φορές). Η μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη επιτυγχάνεται γρήγορα μέσω του T_1 , το οποίο βρίσκεται σε κορεσμό. Στην αντίθετη περίπτωση, οι οδηγούμενες χωρητικότητες φορτίζονται αργά μέσω της R_C και στην καθυστέρηση μετάβασης προστίθεται επιπλέον ο χρόνος για την εκφόρτιση της βάσης του T_1 μέσω της R_B .



Σχήμα 2-4



Σχήμα 2-5

Το σχήμα 2-5 απεικονίζει ένα τυπικό εμπορικό κύκλωμα πύλης DTL.

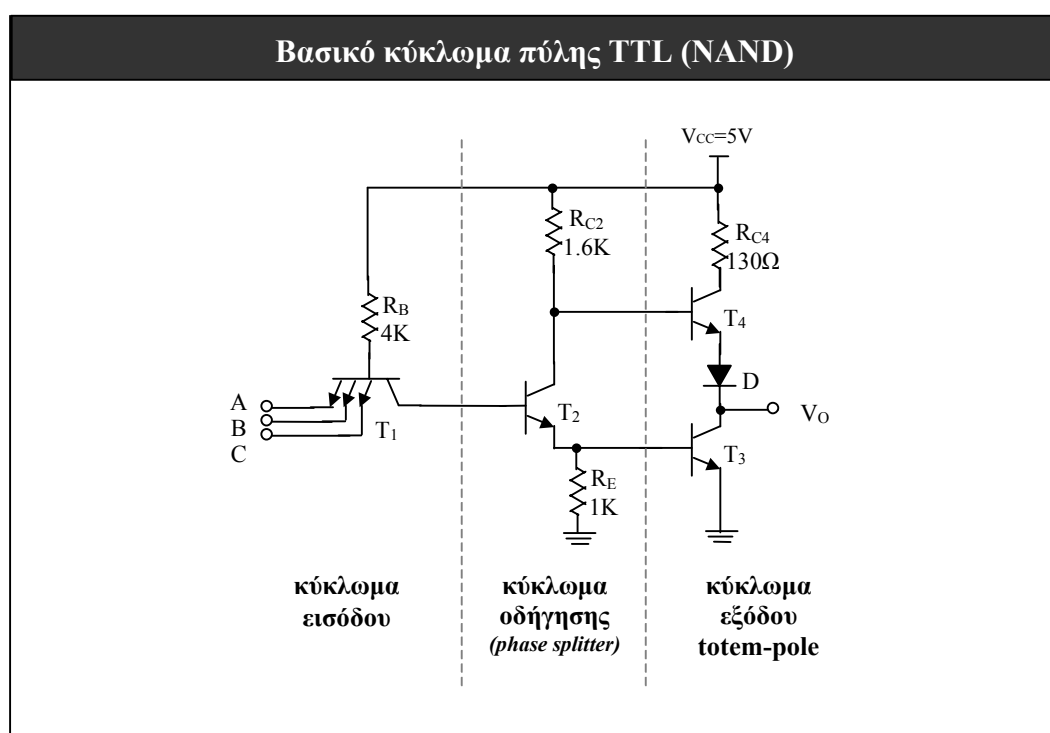
Στο κύκλωμα αυτό η διόδος D_1 έχει αντικατασταθεί από το τρανζίστορ T_2 . Το τρανζίστορ αυτό λειτουργεί στην ενεργό περιοχή και παρέχει αυξημένη ποσότητα ρεύματος στη βάση του T_1 , αυξάνοντας έτσι και την οδηγητική ικανότητα της πύλης.

Τυπικές τιμές των χαρακτηριστικών λειτουργίας της πύλης του σχήματος 2-5 είναι καθυστέρηση διάδοσης: 75ns, κατανάλωση ισχύος: 10mW και fanout: 45. Η χαμηλή ταχύτητα λειτουργίας των κυκλωμάτων DTL οδήγησε τελικά στην αντικατάστασή τους από τα λογικά κυκλώματα TTL (transistor-transistor logic).

2.3 Λογική τρανζίστορ-τρανζίστορ (TTL).

Η λογική τρανζίστορ-τρανζίστορ (transistor-transistor logic – TTL) αποτέλεσε την κύρια τεχνολογία κατασκευής ψηφιακών κυκλωμάτων με τρανζίστορ διπολικής επαφής. Τα κυκλώματα TTL βελτίωσαν το κύριο μειονέκτημα της λογικής DTL, τη μειωμένη δηλαδή ταχύτητα λειτουργίας. Η πύλη TTL μπορεί να θεωρηθεί ως μετεξέλιξη των κυκλωμάτων DTL.

Το βασικό κύκλωμα TTL, μία πύλη NAND, απεικονίζεται στο σχήμα 2-6. Τα τμήματα της πύλης αυτής περιγράφονται στη συνέχεια.



Σχήμα 2-6

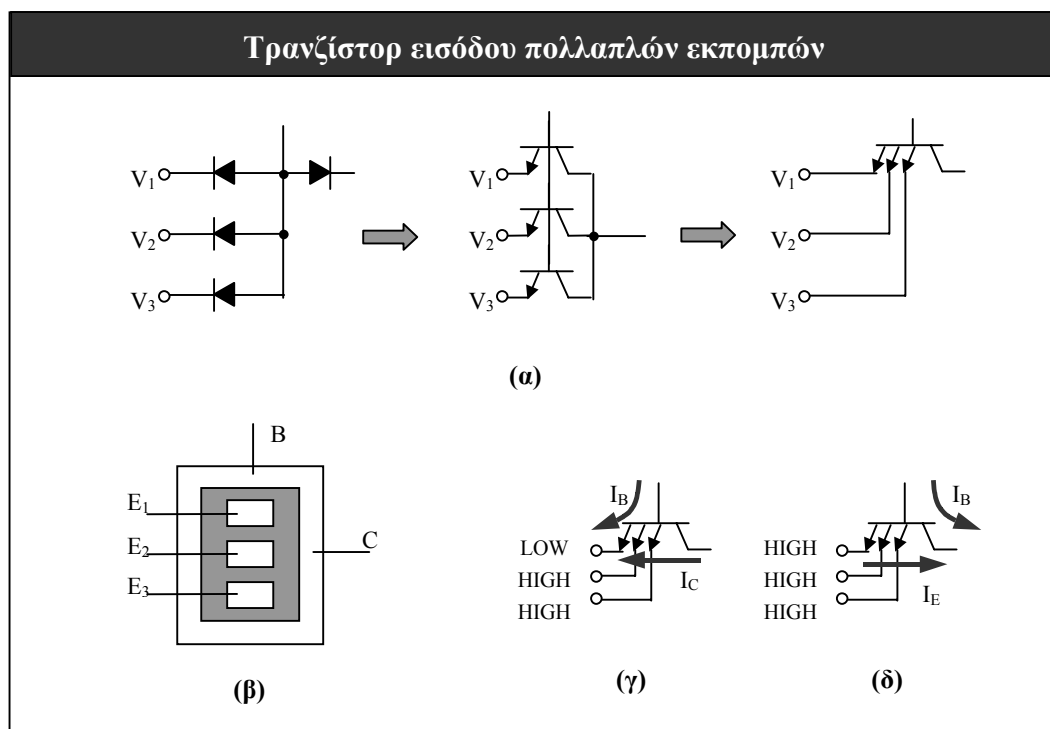
Α. Κύκλωμα εισόδου. Το βασικό κύκλωμα εισόδου αποτελείται από ένα τρανζίστορ T_1 *πολλαπλών εκπομπών* (multiemitter transistor). Όπως φαίνεται στο σχήμα 2-7α, το τρανζίστορ αυτό ισοδυναμεί με τη δομή εισόδων με διόδους μίας πύλης DTL. Μία απλοποιημένη κάτοψη ενός τρανζίστορ πολλαπλών εκπομπών απεικονίζεται στο σχήμα 2-7β. Η επιφάνεια πυριτίου η οποία απαιτείται για την κατασκευή του τρανζίστορ πολλαπλών εκπομπών είναι μικρότερη από την επιφάνεια που απαιτούν οι διακριτές διόδους των εισόδων DTL.

Οι συνθήκες λειτουργίας του τρανζίστορ πολλαπλών εκπομπών είναι οι εξής:

α) Όταν μία τουλάχιστον είσοδος βρίσκεται σε χαμηλή λογική στάθμη, τότε το ρεύμα βάσης του τρανζίστορ πηγαίνει προς τον εκπομπό της εισόδου αυτής (σχήμα 2-7γ). Το τρανζίστορ βρίσκεται σε κορεσμό, εφόσον το ρεύμα I_C είναι πολύ μικρό

(προέρχεται από τη βάση του τρανζίστορ T_2 του σχήματος 2-6). Αν υπάρχουν εισόδοι σε υψηλή στάθμη, μπορούν πρακτικά να θεωρηθούν σε αποκοπή.

α) Όταν όλες οι εισόδοι είναι σε υψηλή λογική στάθμη (σχήμα 2-7δ), τότε το τρανζίστορ βρίσκεται στην περιοχή αντίστροφης λειτουργίας. Το ρεύμα από τη βάση του τρανζίστορ (I_B) και από τις εισόδους (I_E) κατευθύνεται προς τον συλλέκτη του τρανζίστορ. Επειδή ισχύει $I_E = \beta_R I_B$ με τυπική τιμή $\beta_R = 0.02$, ο συλλέκτης δέχεται κυρίως ρεύμα από τη βάση του τρανζίστορ και μόνο 2% από τις εισόδους.



Σχήμα 2-7

Όπως φαίνεται στο σχήμα 2-6, το τρανζίστορ εισόδου T_1 πολλαπλών εκπομπών συνδέεται απευθείας στη βάση του τρανζίστορ T_2 . Η άμεση αυτή σύνδεση επιτρέπει την ταχύτατη εκφόρτιση της βάσης του T_2 μέσω του συλλέκτη του T_1 όταν κάποια είσοδος είναι σε χαμηλή λογική κατάσταση. Η συνδεσμολογία αυτή υπερτερεί έναντι της αντίστοιχης μίας πύλης DTL (βλ. ενότητα 2.2.1), αυξάνοντας την ταχύτητα λειτουργίας της πύλης TTL.

Β. Κύκλωμα οδήγησης. Αποτελείται από το τρανζίστορ T_2 και τις αντιστάσεις R_{C2} και R_E . Είναι ένα τυπικό κύκλωμα phase splitter, το οποίο οδηγεί συμπληρωματικά τα τρανζίστορ T_3 και T_4 (δηλ. όταν το ένα άγει, το άλλο είναι σε αποκοπή και αντίστροφα). Όπως αναφέρθηκε και προηγουμένως, το T_2 οδηγείται από τον συλλέκτη του T_1 .

Γ. Κύκλωμα εξόδου totem-pole. Αποτελείται από δύο ενεργά στοιχεία (τρανζίστορ) ανύψωσης (T_4) και καταβύθισης δυναμικού (T_3). Τα δύο αυτά τρανζίστορ άγουν εναλλάξ οδηγούμενα από το τρανζίστορ T_2 , δηλαδή σε σταθερή κατάσταση εξόδου δεν υπάρχει αγωγιμότητα μονοπάτι μεταξύ V_{CC} και GND:

α) Όταν το T_4 άγει και το T_3 είναι σε αποκοπή, η έξοδος συνδέεται στην υψηλή στάθμη (V_{CC}) μέσω της αντίστασης R_{C4} (130Ω).

β) Όταν το T_3 άγει (στην περιοχή κορεσμού) και το T_4 είναι σε αποκοπή, τότε η τάση εξόδου ισούται με $V_{CE3(sat)} \approx 0.2V$ (χαμηλή λογική στάθμη).

Κατά τη μετάβαση της εξόδου από τη χαμηλή στην υψηλή λογική στάθμη, οι χωρητικότητες των οδηγούμενων φορτίων, τα οποία συνδέονται στην έξοδο της πύλης, φορτίζονται μέσω της μικρής αντίστασης R_{C4} (130Ω). Η μικρή τιμή της αντίστασης μειώνει σημαντικά τον απαιτούμενο χρόνο φόρτισης των χωρητικοτήτων, επιταχύνει την αλλαγή κατάστασης και αυξάνει την οδηγητική ικανότητα της εξόδου.

Επίσης, επειδή σε σταθερή κατάσταση εξόδου δεν υπάρχει ροή ρεύματος μεταξύ V_{CC} και GND μέσω των T_3 και T_4 , η μικρή τιμή της R_{C4} δεν επηρεάζει την κατανάλωση ισχύος του κυκλώματος.

Ο τρόπος μετάβασης από χαμηλή σε υψηλή στάθμη μπορεί να συγκριθεί με τον αντίστοιχο των πυλών DTL, στις οποίες η ανύψωση του δυναμικού επιτυγχάνεται μέσω ενός παθητικού στοιχείου (αντίστασης pullup – σχήμα 2-3). Η αντίσταση αυτή πρέπει να είναι αρκετά μεγάλη (μερικά $K\Omega$) για να περιορίζει το ρεύμα (και την αντίστοιχη κατανάλωση ισχύος) που ρέει συνεχώς μέσω αυτής από το V_{CC} στο GND, όταν η έξοδος βρίσκεται σε χαμηλή στάθμη. Από την άλλη πλευρά, η μεγάλη τιμή της αντίστασης pullup επιμηκύνει τον χρόνο φόρτισης των εξωτερικών χωρητικοτήτων κατά τη μετάβαση της εξόδου από την χαμηλή στην υψηλή λογική στάθμη.

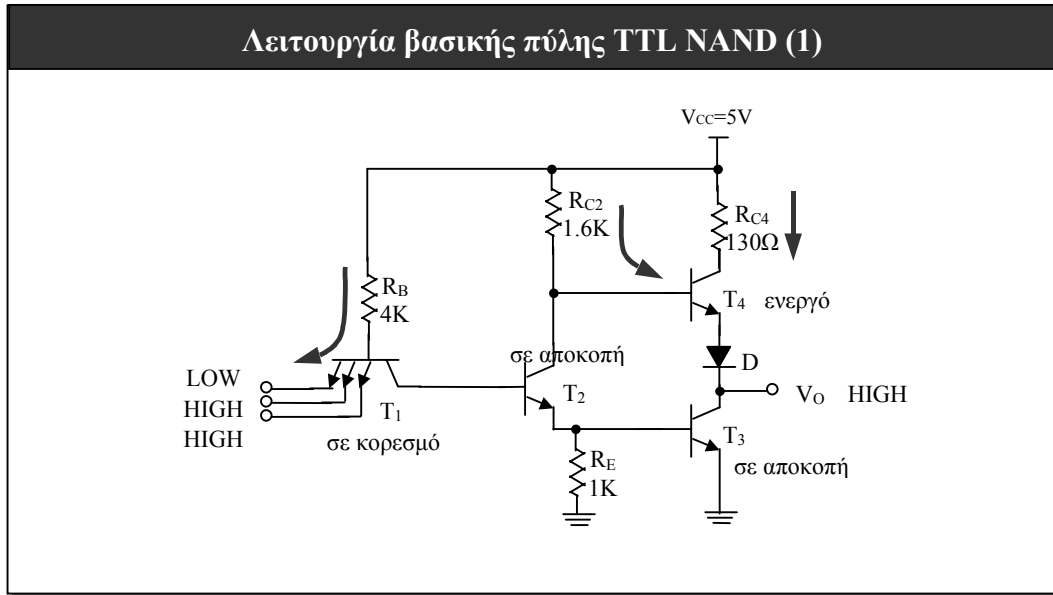
Η σύγκριση της βαθμίδας εξόδου totem-pole μίας πύλης TTL με την αντίστοιχη βαθμίδα παθητικής ανύψωσης DTL καταδεικνύει τα πλεονεκτήματα της πρώτης: η βαθμίδα totem-pole συνδυάζει τα πλεονεκτήματα της ταχύτητας και της μειωμένης κατανάλωσης ισχύος.

Όπως αναφέρθηκε προηγουμένως, στη βαθμίδα εξόδου totem-pole σε σταθερή κατάσταση εξόδου μόνο ένα από τα δύο τρανζίστορ T_3 και T_4 άγει. Κατά την αλλαγή κατάστασης όμως, τα δύο τρανζίστορ άγουν στιγμιαία ταυτοχρόνως, προκαλώντας απότομες αιχμές ρεύματος ανάμεσα στις γραμμές τροφοδοσίας (V_{CC} και GND). Σε κατάσταση ταυτόχρονης αγωγής, μεταξύ V_{CC} και GND βρίσκεται μόνον η αντίσταση R_{C4} , η οποία εξασφαλίζει ότι δεν θα περάσει υπερβολικό ρεύμα βραχυκυκλώματος στο σύντομο αυτό χρονικό διάστημα.

Η χρησιμότητα της διόδου D είναι τελείως διαφορετική και θα εξηγηθεί στην επόμενη παράγραφο.

2.3.1 Λειτουργία πύλης TTL NAND.

Έστω ότι μία είσοδος της βασικής πύλης TTL NAND βρίσκεται σε χαμηλή λογική στάθμη 0.2V (σχήμα 2-8):



Σχήμα 2-8

Όπως αναφέρθηκε στην προηγούμενη παράγραφο, το T_1 βρίσκεται σε κορεσμό και η τάση στο συλλέκτη του ισούται με:

$$V_{C1} = V_i + V_{CE1(sat)} = 0.2V + 0.2V = 0.4V$$

Η τάση στη βάση του T_2 ισούται με το V_{C1} , κάτι που σημαίνει ότι το T_2 βρίσκεται σε αποκοπή (στην καλύτερη περίπτωση θα χρειαζόταν $V_{BE2} = 0.6V$). Άρα δεν υπάρχει ρεύμα στον εκπομπό του T_2 ούτε στη βάση του T_3 . Συνεπώς και το T_3 βρίσκεται σε αποκοπή.

Αντιθέτως το T_4 άγει (στην ενεργή περιοχή) και η πύλη παρέχει ρεύμα στα φορτία που είναι συνδεδεμένα στην έξοδο V_o μέσω της R_{C4} . Εάν η έξοδος είναι ασύνδετη, τότε $I_{B4} \approx 0$, $I_{E4} \approx 0$, η πτώση τάσης στην $R_{C2} \approx 0$, V_{BE4} και $V_D \approx 0.6V$ (λόγω του ελάχιστου ρεύματος) και:

$$V_o = V_{OH} = V_{CC} - V_{BE4} - V_D = 5V - 0.6V - 0.6V \approx 3.8V \text{ (υψηλή στάθμη)}$$

Εάν όλες οι είσοδοι βρίσκονται σε υψηλή λογική στάθμη (3.8V), τότε η κατάσταση της πύλης περιγράφεται από το σχήμα 2-9.

Το T_1 βρίσκεται σε αντίστροφη λειτουργία και το ρεύμα βάσης του T_1 ρέει προς τη βάση του T_2 . Το ρεύμα αυτό είναι αρκετό για να οδηγήσει το T_2 σε κορεσμό. Μέσω της R_{C2} και του T_2 ρέει ποσότητα ρεύματος προς τη βάση του T_3 . Λόγω της αντίστασης R_E , το μεγαλύτερο μέρος του ρεύματος αυτού οδηγείται στη βάση του T_3 , το οποίο βρίσκεται επίσης σε κορεσμό. Έτσι η τάση εξόδου V_o ισούται με:

$$V_o = V_{OL} = V_{CE3(sat)} \approx 0.2V \text{ (χαμηλή στάθμη)}.$$

Η τάση στη βάση του T_4 ισούται με:

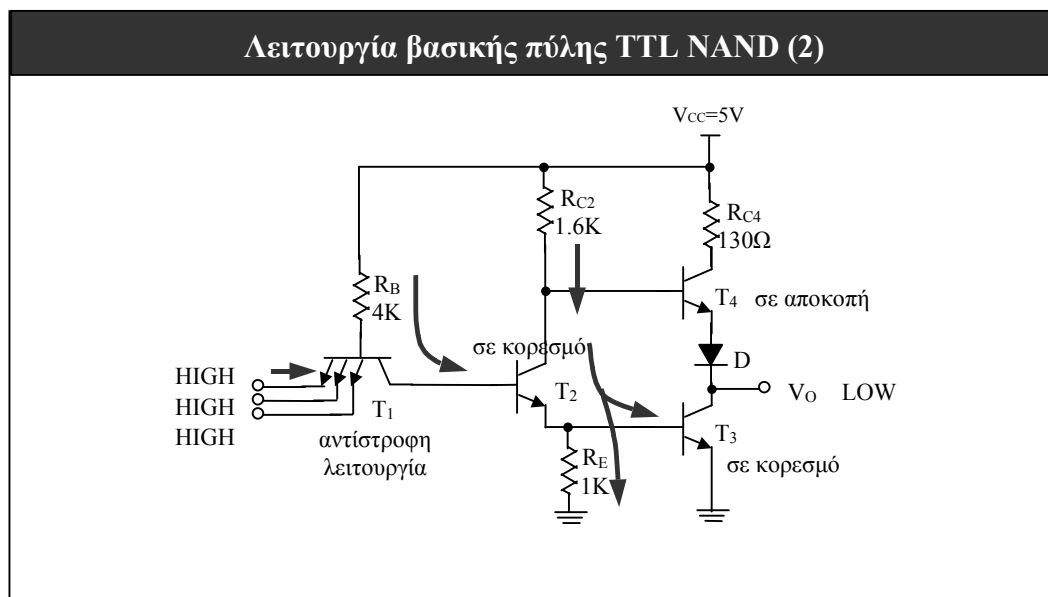
$$V_{B4} = V_{BE3(sat)} + V_{CE2(sat)} = 0.75V + 0.2V = 0.95V$$

Λόγω της διόδου D, για να βρεθεί το T_4 στα όρια της αγωγής θα έπρεπε:

$$V_{B4} > V_{CE3(sat)} + V_{D(\text{στα όρια αγωγής})} + V_{BE4(\text{στα όρια αγωγής})} > 0.2V + 0.6V + 0.6V > 1.4V$$

κάτι που προφανώς δεν ισχύει, άρα το T_4 είναι σε αποκοπή.

Η τελευταία ανισότητα τονίζει τον ρόλο της διόδου D, διότι χωρίς αυτήν θα αρκούσε $V_{B4} > V_{CE3(sat)} + V_{BE4(\text{στα όρια αγωγής})} > 0.8V$ για να αρχίσει να άγει το T_4 , οπότε στην παρούσα κατάσταση δεν θα εξασφαλιζόταν η αποκοπή του T_4 .



Σχήμα 2-9

2.3.2 Βασικά χαρακτηριστικά λειτουργίας standard TTL.

Πύλες TTL όπως η πύλη NAND που περιγράφηκε προηγουμένως, αποτέλεσαν την πρώτη μορφή κυκλωμάτων TTL και ονομάζονται standard TTL. Οι πύλες αυτές είναι επίσης γνωστές με τον κωδικό κατασκευής τους: 74xx, όπου ο αριθμός xx περιγράφει τη λογική λειτουργία της πύλης. Στη συνέχεια περιγράφονται τα βασικά λειτουργικά χαρακτηριστικά των πυλών standard TTL, όπως αυτά δίνονται από τους κατασκευαστές.

2.3.2.1 Λογικές στάθμες και περιθώρια θορύβου.

Οι λογικές στάθμες, οι οποίες έχουν καθοριστεί για τα κυκλώματα standard TTL είναι οι εξής:

Πίνακας 2-2

(V_{CC})	5V
$V_{OH(min)}$	2.4V
$V_{IH(min)}$	2.0V
V_T	1.5V
$V_{IL(max)}$	0.8V
$V_{OL(max)}$	0.4V
(GND)	0V

Τα ελάχιστα περιθώρια θορύβου καθορίζονται αντίστοιχα:

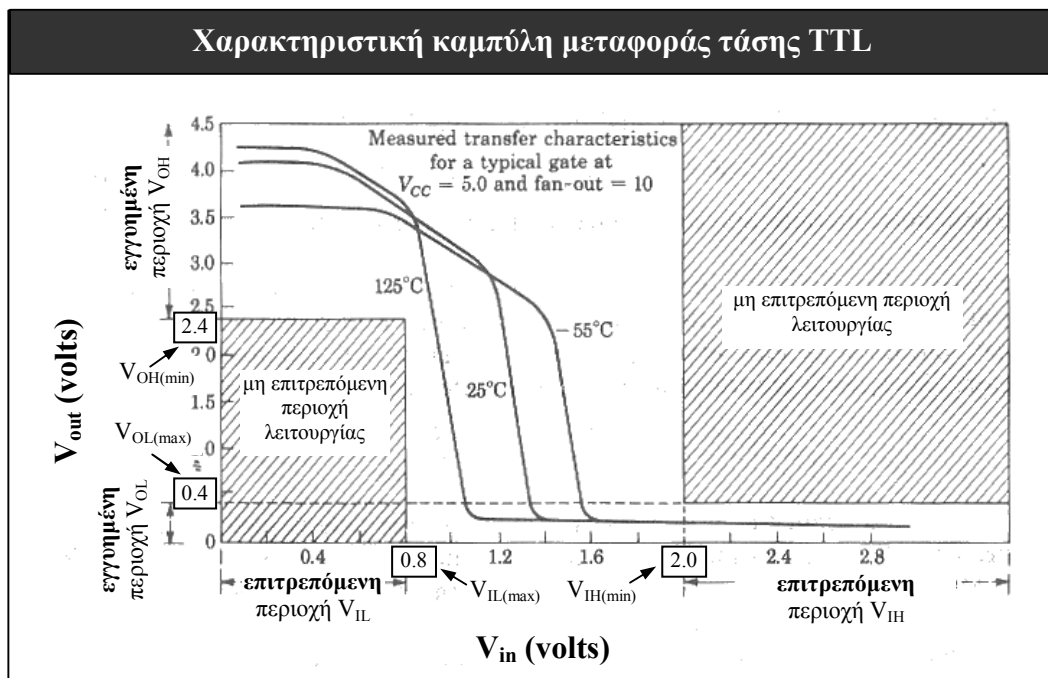
$$NML = V_{IL(max)} - V_{OL(max)} = 0.4V$$

$$NMH = V_{OH(min)} - V_{IH(min)} = 0.4V$$

Οι τιμές V_{OL} , V_{OH} του πίνακα 2-2 αποτελούν τιμές χειρότερης περίπτωσης (worst case). Στην πράξη, τυπικές τιμές σε κανονικές συνθήκες λειτουργίας είναι $V_{OL} = 0.2V$ και $V_{OH} = 3.4V$ και τα αντίστοιχα περιθώρια θορύβου αρκετά μεγαλύτερα από τα προσδιοριζόμενα, με πιο κρίσιμο πάντοτε το περιθώριο χαμηλής στάθμης (NML).

Η τάση κατωφλίου V_T του πίνακα 2-2 είναι προσεγγιστική και δεν δίνεται επίσημα από τους κατασκευαστές, παρουσιάζει δε μικρές αποκλίσεις ανάλογα με τις κατασκευαστικές παραμέτρους της κάθε πύλης.

Στο σχήμα 2-10 απεικονίζεται η χαρακτηριστική καμπύλη μεταφοράς V_{in}/V_{out} για μία τυπική πύλη standard TTL. Η καμπύλη μεταφοράς εξαρτάται από τη θερμοκρασία περιβάλλοντος.

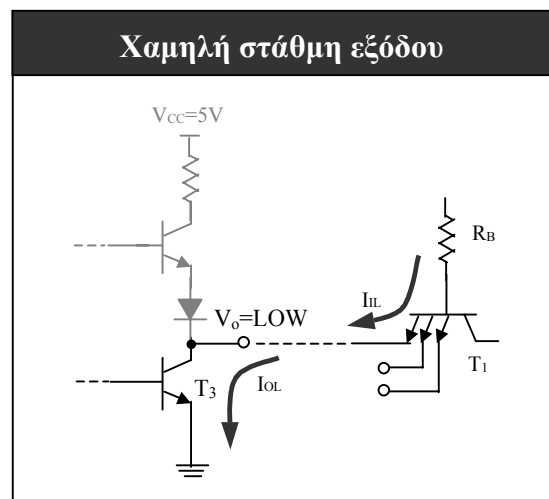


Σχήμα 2-10

2.3.2.2 Οδηγητική ικανότητα.

Μία πύλη TTL παρέχει (source) ή καταβυθίζει (sink) ρεύμα προς/από τις εισόδους των πυλών που οδηγεί, ανάλογα με τη λογική κατάσταση της εξόδου.

Α. Όταν η έξοδος βρίσκεται σε χαμηλή λογική στάθμη (σχήμα 2-11), η πύλη καταβυθίζει ρεύμα μέσω του T_3 , το οποίο είναι σε κορεσμό.



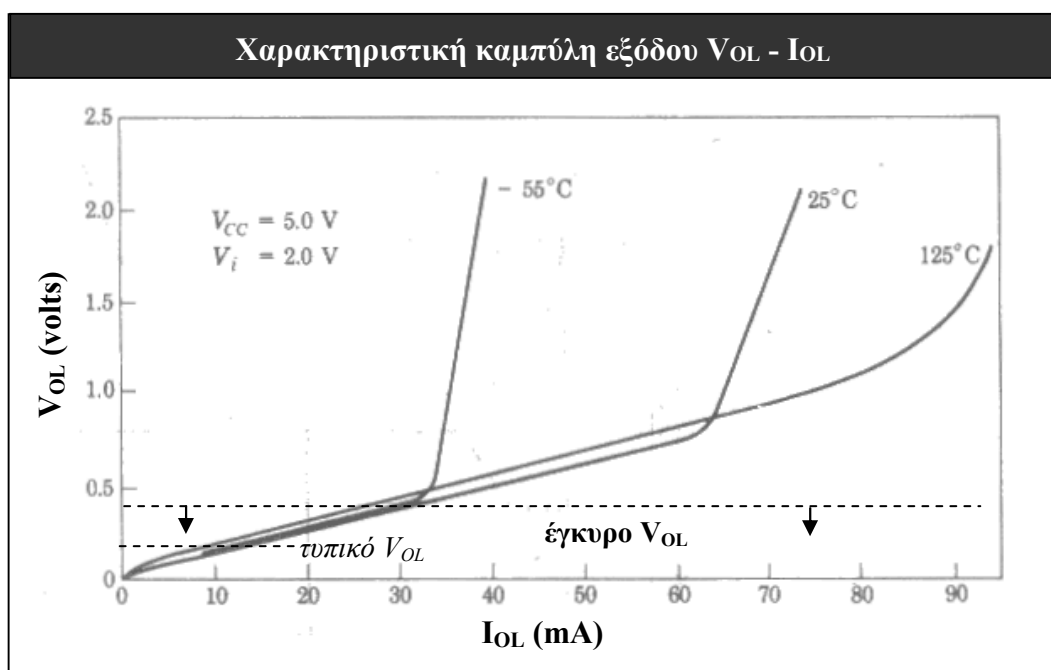
Σχήμα 2-11

Σύμφωνα με τη σύμβαση των προσήμων, για την οδηγούσα πύλη το I_{OL} είναι θετικό, ενώ για την οδηγούμενη το I_{IL} είναι αρνητικό.

Το ρεύμα I_{IL} προέρχεται από τη βάση του T_1 και ρυθμίζεται από την αντίσταση R_B . Η εγγυημένη μέγιστη τιμή του είναι $I_{IL(max)} = -1.6mA$ με $V_{in} = 0.4V$. Οι πύλες standard TTL έχουν σχεδιαστεί για να οδηγούν 10 όμοιες πύλες, οπότε το μέγιστο ρεύμα $I_{OL(max)}$ που καταβυθίζει μία έξοδος παραμένοντας σε έγκυρη χαμηλή στάθμη ορίζεται στα 16mA.

Επειδή το τρανζίστορ T_3 βρίσκεται σε κορεσμό, η σύνθετη αντίσταση (εμπέδηση) της εξόδου σε χαμηλή κατάσταση R_{OL} είναι πολύ μικρή (τυπική τιμή 10Ω). Η χαμηλή R_{OL} αποτελεί πλεονέκτημα τόσο για τη γρήγορη και ισχυρή οδήγηση των εξωτερικών φορτίων, όσο και για τη διατήρηση σε χαμηλά επίπεδα του θορύβου που δημιουργείται από τη απότομη ροή ρεύματος κατά την εναλλαγή καταστάσεων.

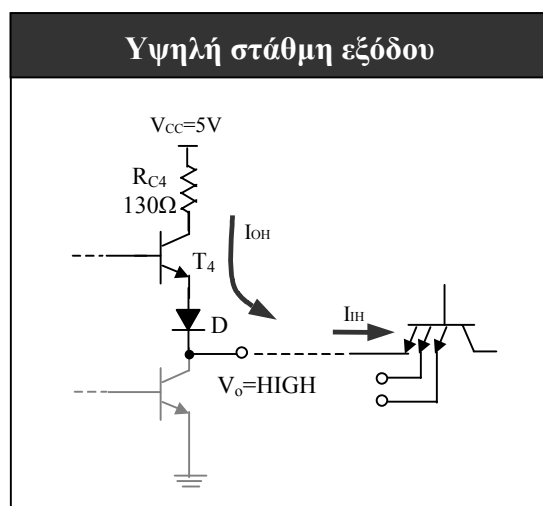
Στο σχήμα 2-12 απεικονίζεται η καμπύλη $V_{OL}-I_{OL}$ μίας πύλης standard TTL.



Σχήμα 2-12

Β. Όταν η έξοδος είναι σε υψηλή λογική στάθμη (σχήμα 2-13), τότε η οδηγούσα πύλη παρέχει ρεύμα μέσω των R_{C4} , T_4 και D . Κατά σύμβαση το I_{IH} είναι θετικό ενώ το I_{OH} είναι αρνητικό.

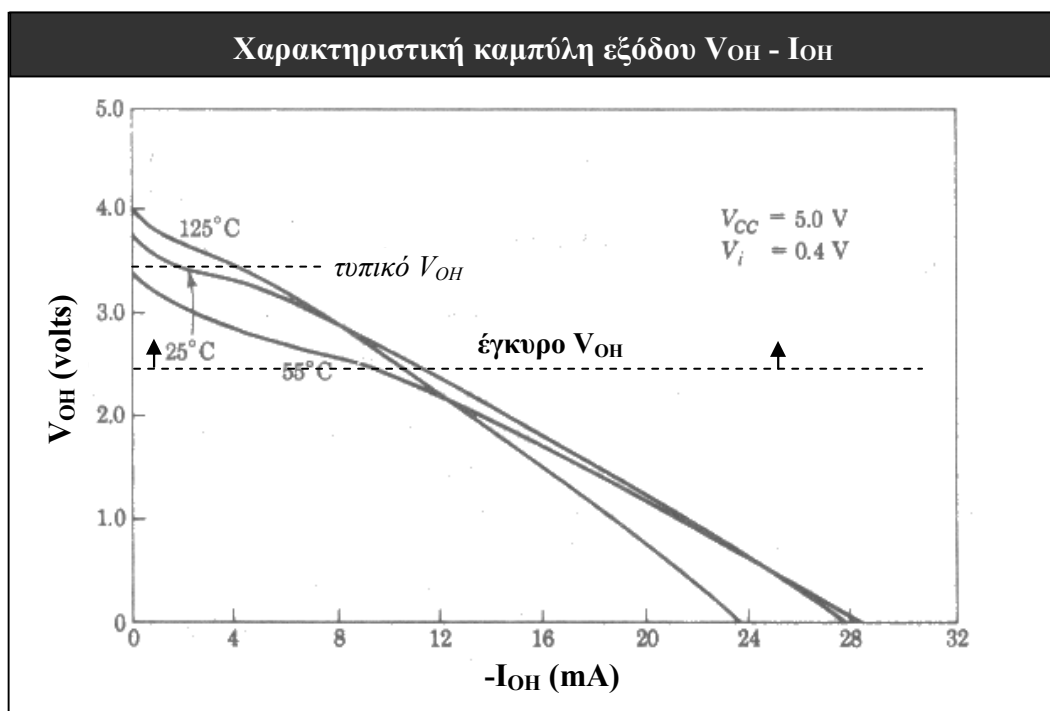
Το τρανζίστορ εισόδου βρίσκεται σε αντίστροφη λειτουργία και το ρεύμα εισόδου I_{IH} σχετικά μικρό. Ως μέγιστη τιμή χειρότερης περίπτωσης προσδιορίζεται $I_{IH(max)} = 40\mu A$ με $V_{in} = 2.4V$. Συνεπώς, για να μπορέσει μία πύλη standard TTL να οδηγήσει 10 παρόμοιες εισόδους θα πρέπει να



Σχήμα 2-13

παρέχει $I_{OH} = -0.4\text{mA}$ διατηρώντας έγκυρη υψηλή στάθμη εξόδου ($>2.4\text{V}$).

Στο σχήμα 2-14 που ακολουθεί, απεικονίζεται η καμπύλη $V_{OH}-I_{OH}$ για μία πύλη standard TTL.



Σχήμα 2-14

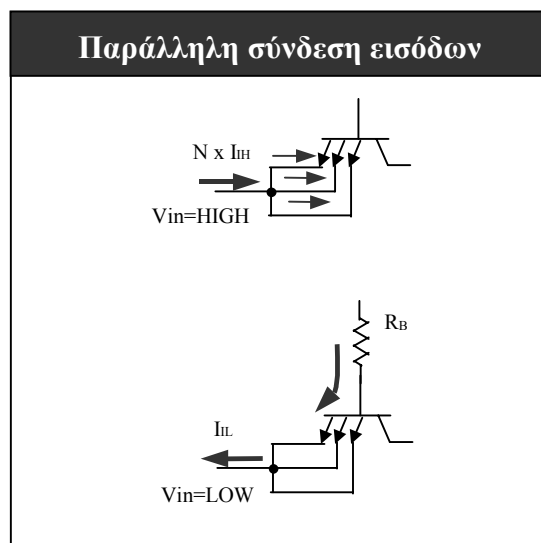
Εκτός από το μέγιστο ρεύμα I_{OH} , στα φυλλάδια των κατασκευαστών δίνεται η τιμή του ρεύματος βραχυκυκλώματος I_{OS} , το οποίο είναι σε θέση να παρέχει η πύλη για σύντομο χρονικό διάστημα, όταν η έξοδός της σε υψηλή λογική κατάσταση βραχυκυκλωθεί με τη γείωση. Οι τιμές που δίνονται είναι -18mA (min) και -55mA (max).

Η εμπέδηση εξόδου σε υψηλή κατάσταση (R_{OH}) είναι επίσης χαμηλή και κυμαίνεται για κυκλώματα standard TTL μεταξύ 50Ω και 70Ω .

Παρατήρηση: Όταν δύο ή περισσότερες εισοδοί του τρανζίστορ πολλαπλού εκπομπού μίας πύλης TTL συνδέονται μαζί (οδηγούνται από το ίδιο σήμα, σχήμα 2-15), τότε:

α) Εάν είναι σε υψηλή στάθμη, το συνολικό ρεύμα I_{IH} είναι ανάλογο του αριθμού των εισόδων που είναι συνδεδεμένες μαζί ($n \times I_{IH}$).

β) Εάν είναι σε χαμηλή στάθμη, τότε το συνολικό ρεύμα I_{IL} ρυθμίζεται από την αντίσταση R_B και δεν εξαρτάται από τον αριθμό των εισόδων.



Σχήμα 2-15

2.3.2.3 Καθυστέρηση διάδοσης.

Η καθυστέρηση διάδοσης ενός σήματος από την είσοδο έως την έξοδο μίας πύλης TTL προσδιορίζει την ταχύτητα λειτουργίας της. Για τα κυκλώματα standard TTL η καθυστέρηση διάδοσης μετράται όταν το σήμα εισόδου και εξόδου έχει τιμή 1.5V.

Στα κυκλώματα standard TTL, η καθυστέρηση διάδοσης για αλλαγή της εξόδου από τη χαμηλή στην υψηλή λογική κατάσταση (t_{PLH}) είναι μεγαλύτερη από την καθυστέρηση για αλλαγή της εξόδου από την υψηλή στη χαμηλή κατάσταση (t_{PHL}). Αυτό οφείλεται στο ότι το τρανζίστορ T_3 εισέρχεται βαθιά στην περιοχή κορεσμού όταν η έξοδος είναι σε χαμηλή κατάσταση, με αποτέλεσμα να αργεί περισσότερο να επιστρέψει στην αποκοπή κατά τη μετάβαση της εξόδου στην υψηλή κατάσταση.

Παράδειγμα: Για μία πύλη standard TTL NAND (7400) τυπικές τιμές καθυστέρησης διάδοσης του σήματος είναι $t_{PHL} = 7\text{ns}$ και $t_{PLH} = 11\text{ns}$, με τάση τροφοδοσίας $V_{CC} = 5\text{V}$, θερμοκρασία περιβάλλοντος $T_A = 25^\circ\text{C}$ και χωρητικότητα φορτίου εξόδου $C_L = 15\text{pF}$.

Για τον υπολογισμό μίας μέσης τιμής καθυστέρησης διάδοσης (t_{PD}) χρησιμοποιείται η σχέση:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} \quad (t_{PD} = [7+11]/2 = 9\text{ns για το προηγούμενο παράδειγμα})$$

και αντίστοιχα η μέγιστη συχνότητα λειτουργίας της πύλης για έναν πλήρη κύκλο L-H-L δίνεται από τη σχέση:

$$f_{MAX} = \frac{1}{t_{PHL} + t_{PLH}} \quad (f_{MAX} = 1/[7+11] \approx 55\text{MHz για την πύλη 7400})$$

Η καθυστέρηση διάδοσης *μειώνεται* με την αύξηση της τάσης τροφοδοσίας και *αυξάνεται* με την αύξηση της χωρητικότητας του φορτίου εξόδου. Επίσης, η αύξηση της θερμοκρασίας προκαλεί μικρές αποκλίσεις στην τιμή του t_{PD} , οι οποίες μπορούν να είναι είτε θετικές είτε αρνητικές, ανάλογα με τις κατασκευαστικές παραμέτρους της πύλης.

2.3.2.4 Κατανάλωση ισχύος.

Η στατική κατανάλωση ισχύος P (όσο οι εξοδοί διατηρούνται σταθερές) ενός κυκλώματος TTL προσδιορίζεται από το ρεύμα τροφοδοσίας I_{CC} , το οποίο καταναλώνεται στο κύκλωμα:

$$P = V_{CC} \times I_{CC}$$

Για κάθε ολοκληρωμένο κύκλωμα TTL δίνονται δύο τιμές ρεύματος τροφοδοσίας, I_{CCH} και I_{CCL} , ανάλογα με το αν η έξοδος των πυλών του κυκλώματος είναι σε υψηλή ή χαμηλή λογική στάθμη αντίστοιχα. Το ρεύμα I_{CCH} είναι 2 έως 3 φορές μικρότερο από το I_{CCL} , π.χ. για μία πύλη NAND 7400 δίνονται οι εξής τιμές: $I_{CCH(\text{max})} = 8\text{mA}$ και $I_{CCL(\text{max})} = 22\text{mA}$.

Στην περίπτωση που οι έξοδοι των πυλών εναλλάσσουν λογικές στάθμες, υπολογίζεται η μέση κατανάλωση ισχύος χρησιμοποιώντας την μέση τιμή του I_{CC} . Για τον υπολογισμό της μέσης τιμής $I_{CC(av)}$ από τα I_{CCH} και I_{CCL} , λαμβάνεται υπόψη ο λόγος του χρόνου κατά τον οποίο οι έξοδοι είναι σε υψηλή κατάσταση προς τον χρόνο κατά τον οποίο είναι σε χαμηλή κατάσταση (duty cycle). Εάν ο λόγος αυτός είναι 50% (ίσοι χρόνοι σε υψηλή και χαμηλή στάθμη εξόδου) τότε είναι:

$$I_{CC(av)} = \frac{I_{CCH} + I_{CCL}}{2}$$

ενώ για τυχαίο λόγο r ισχύει:

$$I_{CC(av)} = (r)I_{CCH} + (1-r)I_{CCL}$$

Εκτός από τη στατική κατανάλωση, στα κυκλώματα TTL εμφανίζεται και δυναμική κατανάλωση ισχύος, η οποία οφείλεται στις αιχμές ρεύματος που δημιουργούνται κατά την αλλαγή κατάστασης των εξόδων. Οι αιχμές αυτές ρεύματος προσεγγίζουν το μέγιστο δυνατό ρεύμα I_{OS} και οφείλονται:

α) στο ρεύμα που ρέει στιγμιαία μεταξύ τροφοδοσίας και γείωσης στη βαθμίδα εξόδου totem-pole κατά την αλλαγή της στάθμης εξόδου και

β) στο ρεύμα, το οποίο απαιτείται για τη φόρτιση/εκφόρτιση των χωρητικοτήτων των οδηγούμενων φορτίων στην έξοδο της πύλης.

Η δυναμική κατανάλωση ισχύος είναι ανάλογη της συχνότητας λειτουργίας. Με τυπικό φορτίο $C_L = 50\text{pF}$, η στατική κατανάλωση ισχύος ενός κυκλώματος TTL υπερσχύει μέχρι το 1MHz. Σε μεγαλύτερη συχνότητα λειτουργίας εμφανίζεται η επίδραση της δυναμικής κατανάλωσης ισχύος, η οποία υπερσχύει της στατικής σε συχνότητες λειτουργίας μεγαλύτερες από 10MHz, με αποτέλεσμα η συνολική κατανάλωση ισχύος να διπλασιάζεται ή τριπλασιάζεται.

2.3.2.5 Αχρησιμοποίητες εισοδοί/πύλες.

Όταν οι εισοδοί ενός κυκλώματος TTL αφεθούν χωρίς οδήγηση, συμπεριφέρονται ως να ήταν σε υψηλή λογική στάθμη. Όμως η πρακτική αυτή δεν συνιστάται, διότι μέσω των μη οδηγούμενων εισόδων είναι δυνατή η σύζευξη θορύβου στο κύκλωμα. Όλες οι εισοδοί θα πρέπει να οδηγούνται από μία έγκυρη λογική στάθμη:

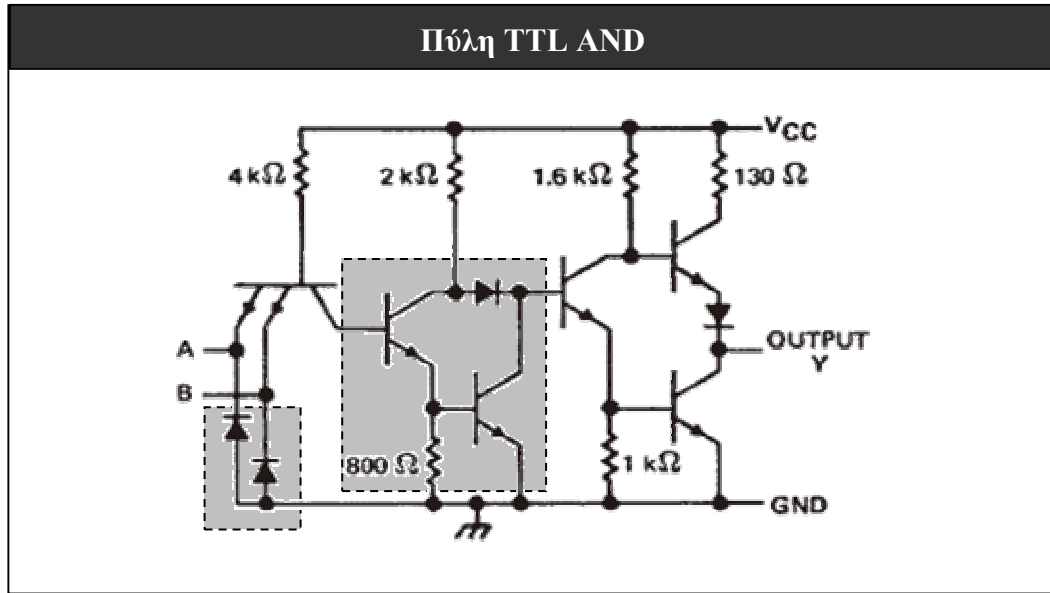
α) Οι αχρησιμοποίητες εισοδοί μίας χρησιμοποιούμενης πύλης μπορούν να συνδεθούν παράλληλα με χρησιμοποιούμενες εισόδους της ίδιας πύλης, ανάλογα με τη λογική συνάρτηση.

β) Οι αχρησιμοποίητες εισοδοί μπορούν να συνδεθούν σε κάποια πηγή τάσης: απευθείας στη γείωση GND ή μέσω αντίστασης R_S 1KΩ στο V_{CC} (η αντίσταση R_S προστατεύει την είσοδο από υπερτάσεις).

γ) Στα αχρησιμοποιήτα τμήματα (πύλες) ενός ολοκληρωμένου κυκλώματος TTL, οι εισοδοί συνδέονται κατά τέτοιον τρόπο ώστε οι έξοδοι των τμημάτων αυτών να βρίσκονται σταθερά σε υψηλή κατάσταση. Η σύνδεση αυτή μειώνει την κατανάλωση ισχύος, εφόσον είναι $I_{CCH} < I_{CCL}$.

2.3.3 Διάφορες λογικές πύλες TTL.

Η οικογένεια των ψηφιακών κυκλωμάτων standard TTL 74xx περιλαμβάνει μία πληθώρα λογικών συναρτήσεων εκτός από τη βασική πύλη NAND, διευκολύνοντας έτσι τη σχεδίαση συστημάτων με μικρότερο αριθμό ολοκληρωμένων κυκλωμάτων, λιγότερες γραμμές διασύνδεσης και καλύτερα ηλεκτρικά χαρακτηριστικά. Στην παρούσα ενότητα παρατίθενται τα κυκλώματα ορισμένων από τις λογικές αυτές συναρτήσεις.



Σχήμα 2-16

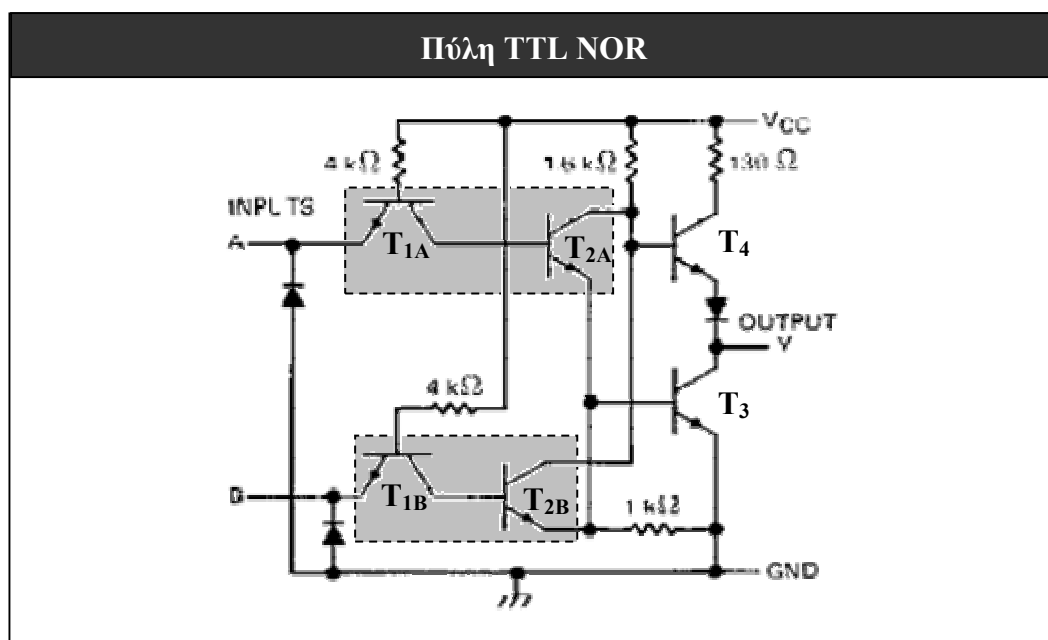
Το σχήμα 2-16 απεικονίζει το κύκλωμα μίας πύλης TTL AND (7408). Το κύκλωμα της πύλης AND είναι παρόμοιο με της NAND, με μόνη διαφορά την προσθήκη μίας επιπλέον βαθμίδας αντιστροφής (σκιασμένη περιοχή στο σχήμα).

Οι δίοδοι, οι οποίες συνδέονται στις εισόδους A και B της πύλης δεν σχετίζονται με τη λογική συνάρτηση της πύλης. Ο σκοπός τους είναι η προστασία των εισόδων από αρνητικές αιχμές τάσης, οι οποίες προκαλούνται κατά την αλλαγή της στάθμης του σήματος από υψηλό σε χαμηλό επίπεδο. Οι δίοδοι προστασίας περιορίζουν τις αιχμές αυτές στα -0.75V περίπου και απορροφούν μέρος από την ενέργεια του σήματος προς αποφυγή πιθανών ταλαντώσεων κατά την αλλαγή της στάθμης εισόδου. Όλα τα κυκλώματα TTL περιλαμβάνουν διόδους προστασίας στις εισόδους τους.

Στο σχήμα 2-17 απεικονίζεται το κύκλωμα μίας πύλης standard TTL NOR (7402). Η πύλη αυτή αποτελείται από δύο παράλληλα τμήματα (σκιασμένα τμήματα στο σχήμα 2-17), κάθε ένα από τα οποία περιλαμβάνει το βασικό κύκλωμα εισόδου και οδήγησης. Αντιθέτως, το κύκλωμα εξόδου totem-pole είναι κοινό.

Όταν μία τουλάχιστον είσοδος είναι σε υψηλή λογική κατάσταση, το αντίστοιχο τρανζίστορ εισόδου (T_{1A} ή T_{1B}) βρίσκεται σε αντίστροφη λειτουργία και το αντίστοιχο τρανζίστορ οδήγησης (T_{2A} ή T_{2B}) σε κορεσμό. Συνεπώς το T_4 είναι σε αποκοπή, το T_3 σε κορεσμό και η έξοδος σε χαμηλή κατάσταση.

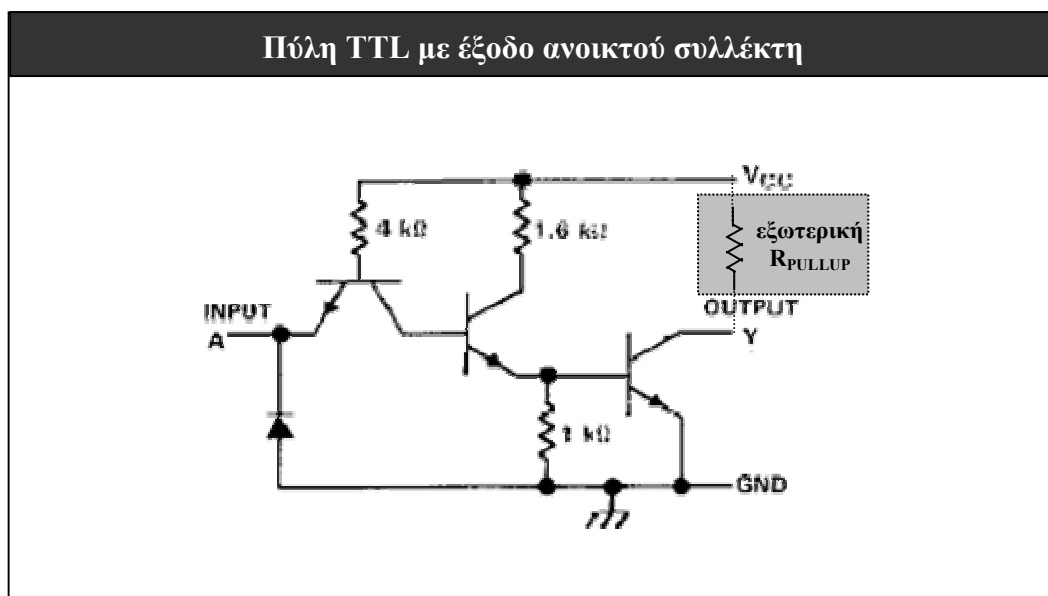
Όταν όλες οι εισόδους είναι σε χαμηλή στάθμη, τα T_{1A} και T_{1B} είναι σε κορεσμό και τα T_{2A} και T_{2B} σε αποκοπή. Έτσι το T_3 είναι σε αποκοπή, το T_4 άγει και η έξοδος είναι σε υψηλή κατάσταση.



Σχήμα 2-17

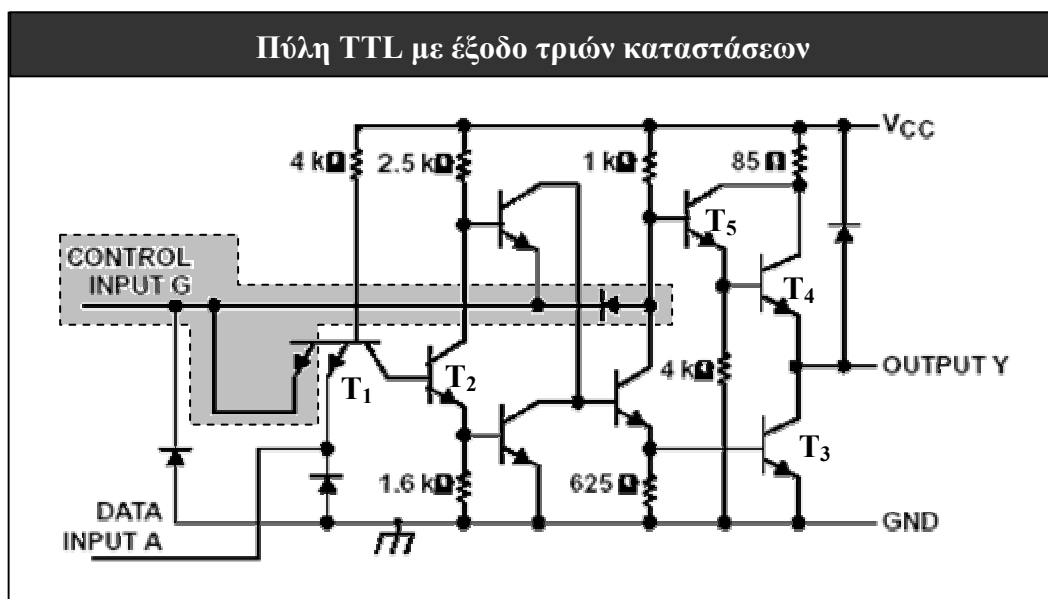
Εάν τα τρανζίστορ εισόδου T_{1A} και T_{1B} αντικατασταθούν από τρανζίστορ πολλαπλών εκπομπών προκύπτει η λογική συνάρτηση “AND-OR-INVERT”.

Εκτός από τις διάφορες λογικές συναρτήσεις, είναι διαθέσιμες πύλες TTL με εξόδους διαφορετικές από την κλασσική totem-pole βαθμίδα. Στο σχήμα 2-18 απεικονίζεται μία πύλη αντιστροφής με έξοδο ανοικτού συλλέκτη (7405), η οποία επιτρέπει τη σύνδεσή της σε σχήματα καλωδιωμένης λογικής (wired-AND).



Σχήμα 2-18

Αντί του κλασσικού σχήματος totem-pole, στην πύλη του σχήματος 2-18 έχει αφαιρεθεί το τρανζίστορ ανύψωσης δυναμικού (T_4). Για την παραγωγή την υψηλής λογικής στάθμης απαιτείται μία εξωτερική αντίσταση R_{PULLUP} (παθητικό στοιχείο ανύψωσης δυναμικού) προς το V_{CC} .



Σχήμα 2-19

Χρησιμοποιώντας πύλες με εξόδους τριών-καταστάσεων είναι δυνατή η σύνδεση πολλαπλών εξόδων σε έναν κοινό διάυλο διασύνδεσης (bus). Στο σχήμα 2-19 απεικονίζεται μία πύλη TTL με εξόδο τριών-καταστάσεων. Όταν η είσοδος ελέγχου (G) είναι σε υψηλή στάθμη, η πύλη εμφανίζει στην έξοδο Y το σήμα εισόδου A. Με το G σε χαμηλή στάθμη, το τρανζίστορ T_1 οδηγείται σε κορεσμό, αποκόπτοντας έτσι την σειρά τρανζίστορ από το T_2 έως και το T_3 . Επίσης, η χαμηλή στάθμη του G οδηγεί σε αποκοπή και τα T_5, T_4 . Συνεπώς η έξοδος Y δεν οδηγείται ούτε από το V_{CC} ούτε από το GND.

2.3.4 Λογικές οικογένειες TTL.

Τα ψηφιακά κυκλώματα standard TTL (74xx, έτος εισαγωγής 1968) αποτέλεσαν τη βάση για μία σειρά νεώτερων υπο-οικογενειών TTL, τα βασικά χαρακτηριστικά των οποίων περιγράφονται στη συνέχεια.

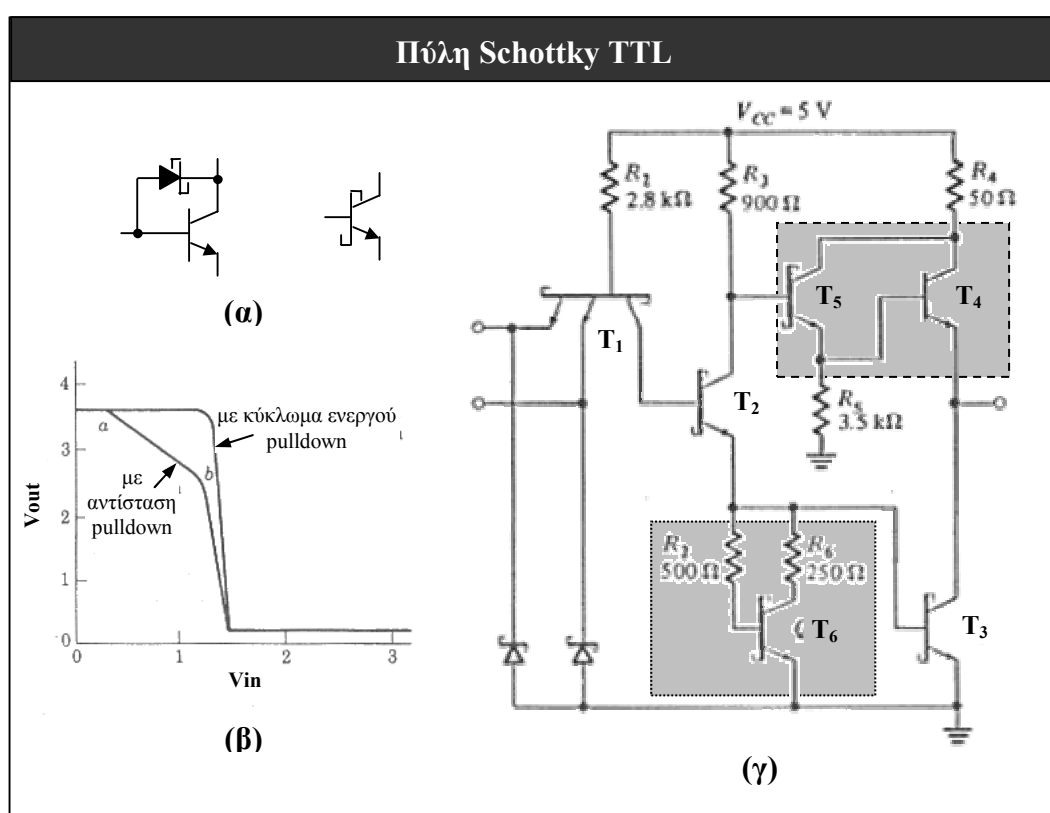
Οι πρώτες παραλλαγές των κυκλωμάτων standard TTL παρουσιάστηκαν σε δύο μορφές: α) η σειρά 74H με σχεδόν διπλάσια ταχύτητα από τα standard TTL αλλά και διπλάσια κατανάλωση ισχύος και β) η σειρά 74L με κατανάλωση ισχύος μόλις 10% αλλά μόνο με το 25% της ταχύτητας των standard TTL. Η διαφορά στην κατανάλωση ισχύος και την ταχύτητα σε σχέση με τα κυκλώματα standard TTL οφειλόταν στην επιλογή μεγαλύτερων ή μικρότερων τιμών αντιστάσεων (για μειωμένη κατανάλωση ισχύος ή μεγαλύτερη ταχύτητα, αντίστοιχα). Οι σειρές 74H και 74L σύντομα αντικαταστάθηκαν από πιο προηγμένα κυκλώματα TTL.

2.3.4.1 Λογικές πύλες Schottky TTL.

Η πρώτη υπο-οικογένεια TTL, η οποία ενσωμάτωσε μία σειρά τεχνολογικών εξελίξεων στα κυκλώματά της ήταν η σειρά Schottky TTL (74S, έτος εισαγωγής

1970). Τα κυκλώματα της σειράς αυτής χρησιμοποιούν τρανζίστορ και διόδους Schottky.

Μία διόδος Schottky σχηματίζεται στην επαφή μετάλλου και ημιαγωγού. Τα στατικά χαρακτηριστικά της διόδου Schottky είναι παρόμοια με εκείνα της διόδου p-n, όμως η τάση ορθής πόλωσης της διόδου Schottky βρίσκεται στα 0.4-0.5V. Επίσης η διόδος Schottky έχει πιο γρήγορη απόκριση διότι δεν διαθέτει χρόνο αποθήκευσης φορτίου (storage time). Χρησιμοποιώντας μία διόδο Schottky μεταξύ βάσης και συλλέκτη ενός τρανζίστορ (σχήμα 2-20α), αποτρέπουμε την είσοδο του τρανζίστορ στην περιοχή κορεσμού, μην αφήνοντας να πολωθεί επαρκώς ορθά η επαφή βάσης-συλλέκτη: στο σχήμα 2-20α εάν $V_{BE} = 0.75V$ και $V_{D(Schottky)} = 0.5V$, τότε $V_{CE} = V_{BE} - V_{D(Schottky)} = 0.25V$ και το τρανζίστορ είναι εκτός κορεσμού. Ο συνδυασμός τρανζίστορ-διόδου Schottky αναφέρεται ως “Schottky τρανζίστορ” και παρουσιάζει πολύ γρήγορες μεταβάσεις λόγω της μη εισόδου σε κορεσμό.



Σχήμα 2-20

Η βασική μορφή μίας πύλης Schottky TTL (74S) απεικονίζεται στο σχήμα 2-20γ. Τα τρανζίστορ της πύλης (εκτός του T_4) είναι τύπου Schottky, κάτι που αυξάνει την ταχύτητα λειτουργίας της πύλης. Οι διόδους προστασίας είναι επίσης τύπου Schottky, αντιδρώντας έτσι πιο γρήγορα στις αιχμές τάσης απ' ό,τι οι κανονικές διόδους.

Η πύλη TTL του σχήματος 2-20γ περιλαμβάνει ορισμένες πρόσθετες διατάξεις:

α) Στη βαθμίδα εξόδου, η ανύψωση του δυναμικού επιτυγχάνεται μέσω ενός ζεύγους τρανζίστορ Darlington (T_4 και T_5). Το ζεύγος Darlington αυξάνει το μέσο ρεύμα που παρέχει η έξοδος της πύλης κατά τη μετάβαση σε υψηλή κατάσταση. Η

αντίσταση R_4 περιορίζει όπως και στις πύλες standard TTL το παρεχόμενο ρεύμα, όμως στην περίπτωση της πύλης Schottky TTL, το ζεύγος Darlington διατηρεί τη μέγιστη παροχή ρεύματος σε ευρύτερη περιοχή τιμών της τάσης εξόδου. Η εμπέδηση εξόδου του ζεύγους Darlington είναι πολύ χαμηλή (τυπική τιμή 10Ω).

Λόγω του συνδυασμού των T_4 και T_5 , δεν χρειάζεται πλέον η προσθήκη της διόδου D στη διάταξη totem-pole. Η αντίσταση R_5 χρησιμοποιείται για την εκφόρτιση της βάσης του T_4 . Μία πρόσθετη ιδιότητα του ζεύγους Darlington είναι ότι το T_4 δεν εισέρχεται ποτέ στην περιοχή κορεσμού: ισχύει πάντοτε $V_{CE5} > 0$ και εφόσον $V_{CB4} = V_{CE5}$, η επαφή βάσης-συλλέκτη του T_4 δεν πολώνεται ποτέ ορθά για να λειτουργήσει σε κορεσμό. Για τον λόγο αυτόν, το T_4 του σχήματος 2-20γ είναι απλού τύπου κι όχι Schottky.

β) Το τρανζίστορ T_6 μαζί με τις αντιστάσεις R_2 και R_6 αποτελούν το λεγόμενο κύκλωμα τετραγωνισμού (squaring circuit ή ενεργό pulldown) της τάσης εξόδου (σχήμα 2-20β). Το κύκλωμα αυτό αντικαθιστά την αντίσταση της βάσης του T_3 των standard TTL. Στα τελευταία (βλ. σχήμα 2-6), το T_2 αρχίζει να άγει πριν το T_3 με αποτέλεσμα την σταδιακή πτώση της τάσης στη βάση του T_4 και αντίστοιχα της εξόδου. Με το κύκλωμα τετραγωνισμού, όταν το T_2 αρχίσει να άγει, δεν υπάρχει μονοπάτι για το ρεύμα του συλλέκτη I_{E2} προς τη γείωση παρά μόνον όταν τα T_6 και T_3 αρχίσουν να άγουν. Έτσι αποφεύγεται η σταδιακή πτώση της τάσης εξόδου και εξασφαλίζεται η απότομη μετάβαση στη χαμηλή στάθμη.

Το κύκλωμα τετραγωνισμού επιτυγχάνει στενότερη ζώνη μετάβασης από την μία στάθμη στην άλλη και βελτιώνει τα περιθώρια θορύβου για τη χαμηλή κατάσταση εξόδου. Επίσης, όταν το T_2 περνά σε αποκοπή, το φορτίο στη βάση του T_3 τροφοδοτεί τη βάση του T_6 και έτσι απομακρύνεται μέσω του συλλέκτη του T_6 οδηγώντας γρηγορότερα το T_3 σε αποκοπή.

Χρησιμοποιώντας μικρές τιμές αντιστάσεων και βελτιωμένη κατασκευαστική τεχνολογία οι πύλες 74S ήταν τρεις φορές γρηγορότερες από τις standard TTL πύλες καταναλώνοντας όμως τη διπλάσια ισχύ.

2.3.4.2 Λογικές πύλες LS TTL.

Η σειρά Schottky χαμηλής ισχύος 74LS (low-power Schottky, έτος εισαγωγής 1975) καθιερώθηκε ως το πρότυπο για τα συστήματα TTL χαμηλής ισχύος γενικού σκοπού. Στο σχήμα 2-21 απεικονίζεται η βασική δομή μίας πύλης LS TTL.

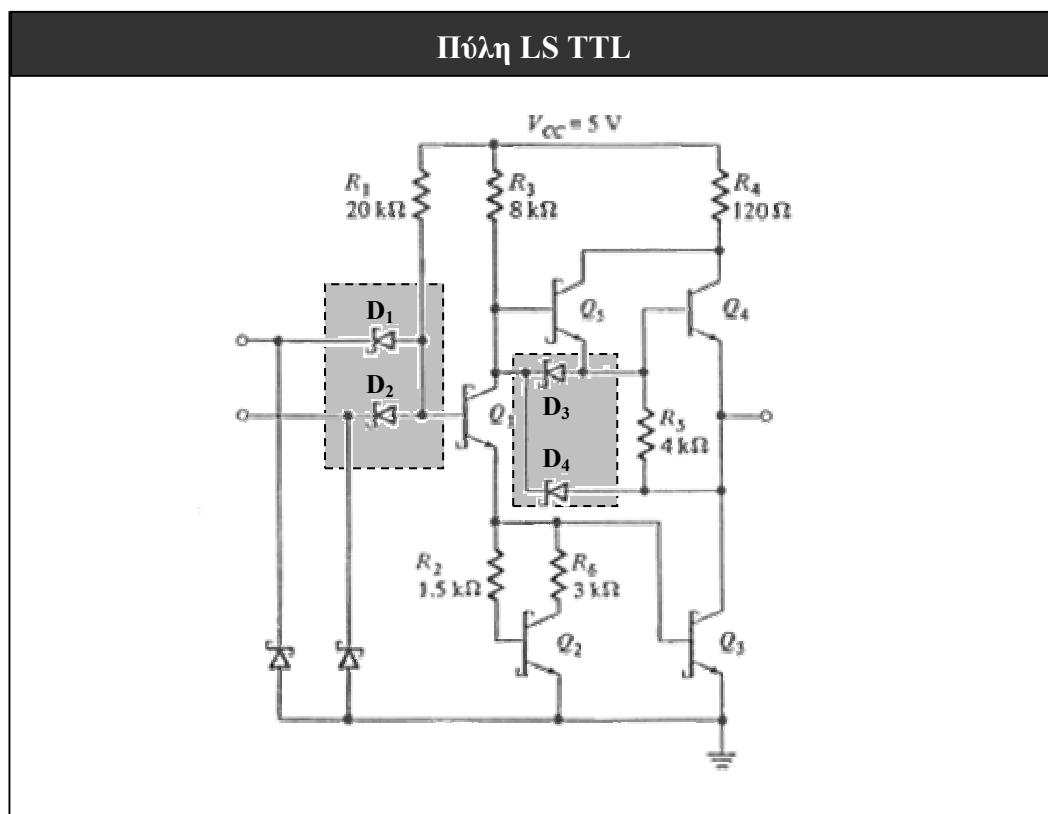
Όπως φαίνεται στο σχήμα 2-21, οι πύλες LS TTL επέστρεψαν στη δομή εισόδου τύπου DTL με διακριτές διόδους (D_1 και D_2 στο σχήμα 2-21), καταργώντας το τρανζίστορ πολλαπλών εκπομπών. Οι λόγοι που ώθησαν στην αλλαγή αυτή είναι οι ακόλουθοι:

α) Η βελτιωμένη τεχνολογία κατασκευής (χαρακτηριστικό μέγεθος $6\mu m$) επέτρεψε την κατασκευή διόδων με διαστάσεις σημαντικά μικρότερες απ'ότι το τρανζίστορ πολλαπλών εκπομπών. Οι μικρότερες διαστάσεις είχαν ως συνέπεια τη μείωση των παρασιτικών χωρητικοτήτων και την αύξηση της ταχύτητας λειτουργίας.

β) Το τρανζίστορ οδήγησης τύπου Schottky (Q_1 στο σχήμα 2-21) δεν εισέρχεται ποτέ στην περιοχή κορεσμού, άρα δεν απαιτείται γρήγορη απομάκρυνση του φορτίου βάσης του μέσω ενός τρανζίστορ πολλαπλών εκπομπών.

Στο σχήμα 2-21, οι διόδοι D_3 και D_4 επιταχύνουν τη μετάβαση της εξόδου από την υψηλή στη χαμηλή λογική στάθμη. Η D_3 επιταχύνει τη μετάβαση του T_4 σε

αποκοπή, ενώ η D_4 καταβυθίζει ρεύμα από το εξωτερικό φορτίο κατά τη στιγμή της μετάβασης.



Σχήμα 2-21

Οι πύλες LS TTL παρουσίαζαν την ίδια ταχύτητα λειτουργίας με τις standard TTL αλλά με κατανάλωση ισχύος μόλις το 1/5 των standard TTL, γεγονός που τις καθιστούσε ιδανικές για σχεδιάσεις συστημάτων γενικού σκοπού.

2.3.4.3 Προηγμένες πύλες TTL.

Οι τελευταίες οικογένειες ολοκληρωμένων κυκλωμάτων TTL εμφανίστηκαν στην αγορά κατά τη δεκαετία του '80. Οι οικογένειες αυτές βελτίωναν περαιτέρω τη σχεδίαση των πυλών LS TTL με πρόσθετα κυκλώματα και χρησιμοποιούσαν προηγμένες για την εποχή μεθόδους κατασκευής (3μm). Οι οικογένειες αυτές ήταν:

α) Η σειρά 74AS (advanced Schottky, της εταιρίας Texas Instruments). Η ταχύτερη αυτή σειρά αναπτύχθηκε ως εξέλιξη της σειράς 74S.

β) Η σειρά 74ALS (advanced low-power Schottky, της ίδιας εταιρίας), ως βελτίωση της σειράς 74LS. Η σειρά αυτή διαθέτει το χαμηλότερο γινόμενο καθυστέρησης-ισχύος από όλες τις οικογένειες TTL και βελτιωμένη ικανότητα οδήγησης.

γ) Η σειρά 74F (FAST TTL της εταιρίας Fairchild Semiconductor) με επιδόσεις αλλά και κατανάλωση ισχύος μεταξύ των 74AS και 74ALS.

Στον πίνακα 2-3 που ακολουθεί παρατίθενται τυπικά χαρακτηριστικά μεγέθη των διαφόρων οικογενειών TTL:

Πίνακας 2-3

οικογένεια TTL	74	L	H	LS	S	ALS	AS	F
καθυστερήση διάδοσης (ns) $C_L=15pF$	9	33	6	9.5	3	4	1.7	2.5
κατανάλωση ισχύος (mW) ανά πύλη	10	1	23	2	20	1.2	8	4
fanout	10	20	10	20	20	20	40	10

Ολοκληρώνοντας την παρουσίαση των ψηφιακών κυκλωμάτων TTL θα πρέπει να σημειωθεί ότι στις σύγχρονα συστήματα δεν χρησιμοποιούνται πλέον κυκλώματα αυτού του τύπου, καθώς η τεχνολογία CMOS (κεφάλαιο 3) υπερτερεί σημαντικά σε θέματα ολοκλήρωσης, χαμηλού κόστους και μειωμένης κατανάλωσης ισχύος. Τα κυκλώματα με τρανζίστορ διπολικής επαφής χρησιμοποιούνται κυρίως στις βαθμίδες εξόδου (τεχνολογία BiCMOS) λόγω της αυξημένης οδηγητικής ικανότητας που διαθέτουν έναντι των κυκλωμάτων CMOS.

Τα τρανζίστορ διπολικής επαφής χρησιμοποιούνται επίσης σε λογικά κυκλώματα πολύ υψηλών ταχυτήτων λειτουργίας (της τάξης των GHz), σε διαφορετικές όμως διατάξεις απ'ότι στα κυκλώματα TTL. Τα κυκλώματα αυτά περιγράφονται στην επόμενη ενότητα.

2.4 Λογική συζευγμένου εκπομπού (ECL).

Στα κυκλώματα, τα οποία εξετάστηκαν έως τώρα, τα τρανζίστορ διπολικής επαφής χρησιμοποιούνται ως διακόπτες, λειτουργώντας είτε στην περιοχή κορεσμού είτε σε αποκοπή. Επιπλέον, στις διπολικές επαφές εμφανίζονται σχετικά μεγάλες αλλαγές δυναμικού (voltage swings).

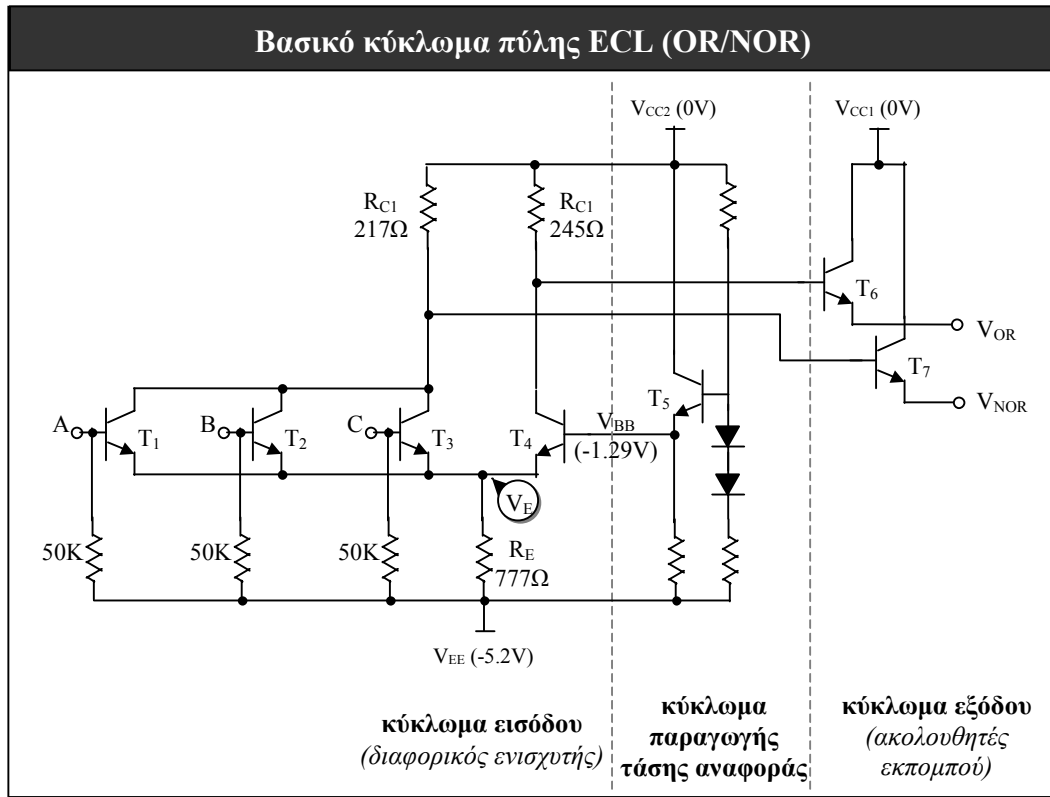
Μία διαφορετική οικογένεια λογικών κυκλωμάτων με τρανζίστορ διπολικής επαφής, ονομαζόμενη “*λογική συζευγμένου εκπομπού*” (*emitter coupled logic – ECL*), χρησιμοποιεί τα τρανζίστορ στην ενεργή μόνο περιοχή (χωρίς να εισέρχονται στην περιοχή κορεσμού), καθώς και μικρότερες αλλαγές δυναμικού μεταξύ των δύο λογικών καταστάσεων.

Τα τρανζίστορ των κυκλωμάτων ECL έχουν μικρότερες διαστάσεις από τα αντίστοιχα των TTL και συνεπώς μικρότερες παρασιτικές χωρητικότητες. Επιπλέον, τα λειτουργικά χαρακτηριστικά των τρανζίστορ είναι διαφορετικά από εκείνα που έχουν παρουσιαστεί σε προηγούμενες ενότητες: στην ενεργή περιοχή η τάση της επαφής BE είναι περίπου 0.8V ή και ελαφρώς υψηλότερη.

Τα κυκλώματα ECL είναι τα ταχύτερα εμπορικά κυκλώματα λογικής με καθυστέρηση διάδοσης μικρότερη από 1ns και συχνότητα λειτουργίας μεγαλύτερη από 1GHz.

2.4.1 Η βασική πύλη ECL (OR/NOR).

Το κύκλωμα της βασικής πύλης ECL (OR/NOR) απεικονίζεται στο σχήμα 2-22:



Σχήμα 2-22

Η θετικότερη τάση τροφοδοσίας (V_{CC}) συνδέεται στη γείωση (0V) του συστήματος, ενώ η αρνητικότερη γραμμή τροφοδοσίας (V_{EE}) συνδέεται στα $-5.2V$. Η τάση V_{CC} χρησιμοποιείται ως τάση αναφοράς για τις λογικές στάθμες εισόδου και εξόδου, τυπικές τιμές των οποίων είναι:

χαμηλή στάθμη: $-1.75V$

υψηλή στάθμη: $-0.89V$

A. Κύκλωμα εισόδου. Αποτελείται από έναν διαφορικό ενισχυτή (differential amplifier), ο οποίος σχηματίζεται από τα τρανζίστορ των εισόδων (T_1 , T_2 και T_3) από τη μία πλευρά και το τρανζίστορ T_4 της τάσης αναφοράς (V_{BB}) από την άλλη. Τα τρανζίστορ διαθέτουν κοινή σύνδεση εκπομπών (συζευγμένους εκπομπούς, απ'όπου και το όνομα των κυκλωμάτων ECL). Το κύκλωμα εισόδου οδηγεί τις βάσεις των τρανζίστορ εξόδου (T_6 και T_7), ανάλογα με τη διαφορά της τάσης των εισόδων και του V_{BB} , είναι δε αυτό που υλοποιεί τη λογική συνάρτηση της πύλης.

Η λειτουργία του διαφορικού ενισχυτή είναι η ακόλουθη:

α) Εάν όλες οι εισοδοί βρίσκονται σε χαμηλή λογική κατάσταση ($-1.75V$), τα τρανζίστορ T_1 , T_2 και T_3 βρίσκονται σε αποκοπή. Αυτό συμβαίνει διότι, με $V_{BB} = V_{B4} = -1.29V$ και $V_{BE4} = 0.8V$, είναι $V_E = V_{BB} - V_{BE4} = -2.09V$ και $V_{BE1,2,3} = -1.75V - (-2.09V) = 0.34V$. Η τιμή αυτή του $V_{BE1,2,3}$ είναι μικρότερη από την απαιτούμενη τάση αγωγής, συνεπώς τα T_1 , T_2 και T_3 είναι όντως σε αποκοπή και το T_4 άγει.

β) Όταν μία είσοδος (έστω η είσοδος Α) μεταβεί σε υψηλή λογική στάθμη (-0.89V), τότε $V_{BE1} = -0.89V - (-2.09V) = 1.2V$ και το τρανζίστορ T_1 αρχίζει να άγει. Τότε η τάση V_E ανέρχεται στα $-0.89V - 0.8V \approx -1.7V$, οδηγώντας το T_4 σε αποκοπή. Οι αντιστάσεις R_{C1} , R_{C2} και η τάση V_{BB} έχουν επιλεγεί με τέτοιον τρόπο, ώστε τα τρανζίστορ T_1 , T_2 , T_3 και T_4 να μην εισέρχονται ποτέ στην περιοχή κορεσμού.

Η διαφορική αυτή λειτουργία (η μία πλευρά άγει ενώ η άλλη είναι σε αποκοπή και αντίστροφα) οδηγεί με συμπληρωματικό τρόπο τις βάσεις των τρανζίστορ εξόδου (T_6 και T_7). Η διαφορική λειτουργία έχει ως αποτέλεσμα τη σχεδόν σταθερή ροή ρεύματος από το V_{CC} στο V_{EE} μέσω της R_E σε κάθε λογική κατάσταση εξόδου, ακόμα και κατά τη μετάβαση από τη μία κατάσταση στην άλλη.

Ένα πρόσθετο πλεονέκτημα του κυκλώματος εισόδου είναι ότι λειτουργεί με βάση τη διαφορά των εισόδων και του V_{BB} και όχι με την απόλυτη τιμή των τάσεων εισόδου. Εάν εμφανίζεται κοινός θόρυβος στο σύστημα, επηρεάζοντας εξίσου και τις δύο πλευρές (εισόδους και V_{BB}), τότε ο θόρυβος αυτός δεν αλλάζει τη διαφορά τους και συνεπώς απορρίπτεται (common mode rejection).

Β. Κύκλωμα συμπληρωματικών εξόδων. Πρόκειται για κύκλωμα δύο ακολουθητών εκπομπού (emitter follower), όπου οι εξόδοι V_{OR} και V_{NOR} ακολουθούν την τάση στη βάση του T_6 και T_7 αντίστοιχα, μειωμένη κατά V_{BE} . Μέσω των τρανζίστορ εξόδου η πύλη παρέχει ρεύμα και στις δύο λογικές καταστάσεις, εμφανίζοντας χαμηλή σύνθετη αντίσταση εξόδου (εμπέδηση) ίση με 6-7Ω.

α) Εάν όλες οι εισόδοι βρίσκονται σε χαμηλή λογική κατάσταση, τα τρανζίστορ εισόδου είναι σε αποκοπή και το T_4 άγει. Ρεύμα ρέει από το V_{CC} στο V_{EE} μέσω των R_{C2} , T_4 και R_E . Θεωρώντας τα ρεύματα βάσης όλων των τρανζίστορ αμελητέα είναι:

$$I_{RC2} = I_E = \frac{V_E - V_{EE}}{R_E} = \frac{3.11}{777} \approx 4mA$$

$$V_{RC2} = -(I_{RC2} \times R_{C2}) = -(4mA \times 245\Omega) = -0.98V$$

$$V_{OR} = V_{B6} - V_{BE6} = V_{RC2} - V_{BE6} = -0.98V - 0.77V \approx -1.75V \text{ (χαμηλή στάθμη)}$$

με τυπική τιμή $V_{BE6} = 0.77V$ για ρεύμα εξόδου 6mA.

Η τάση στη βάση του T_7 είναι ελαφρώς χαμηλότερη από το V_{CC} ($\approx -0.05V$) λόγω του ελάχιστου ρεύματος που τη διαρρέει. Για ρεύμα εξόδου 22.5mA η τυπική τιμή του V_{BE7} είναι 0.84V περίπου και η έξοδος V_{NOR} είναι:

$$V_{NOR} = V_{B7} - V_{BE7} = -0.05V - 0.84V \approx -0.89V \text{ (υψηλή στάθμη)}$$

β) Εάν μία τουλάχιστον είσοδος βρίσκεται σε υψηλή στάθμη, το αντίστοιχο τρανζίστορ άγει και το T_4 βρίσκεται σε αποκοπή. Όπως και προηγουμένως,

$$I_E = \frac{V_E - V_{EE}}{R_E} = \frac{-1.7+5.2}{777} \approx 4.51mA$$

$$V_{RC1} = -(I_{RC1} \times R_{C1}) = -(4.51mA \times 217\Omega) \approx -0.98V$$

οπότε $V_{OR} = -1.75V$ και $V_{NOR} = -0.89V$.

Όπως φαίνεται και στο σχήμα 2-22, το κύκλωμα εξόδου οδηγείται με διαφορετικό ακροδέκτη V_{CC} απ'ότι το υπόλοιπο κύκλωμα. Η σύνδεση αυτή μειώνει

την επίδραση των μεγάλων ρευμάτων οδήγησης επάνω στα κυκλώματα εσωτερικής λογικής.

Γ. Κύκλωμα παραγωγής τάσης αναφοράς. Το κύκλωμα αυτό παράγει την τάση αναφοράς V_{BB} (-1.29V), η οποία χρησιμοποιείται στον διαφορικό ενισχυτή για τη σύγκριση των τάσεων των εισόδων. Για την ορθή λειτουργία της πύλης ECL και τη μεγιστοποίηση των περιθωρίων θορύβου, η τάση V_{BB} πρέπει να βρίσκεται συνεχώς μεταξύ των δύο λογικών σταθμών.

Η τάση ορθής πόλωσης των διπολικών επαφών p-n όταν διαρρέονται από σταθερό ρεύμα εξαρτάται από τη θερμοκρασία, με ρυθμό μείωσης $-2\text{mV}/^\circ\text{C}$. Συνεπώς, όσο αυξάνεται η θερμοκρασία, οι λογικές στάθμες της πύλης ECL μετατοπίζονται προς τη γείωση. Το περιθώριο θορύβου μειώνεται και μετά από ορισμένη θερμοκρασία (περίπου 60°C) η πύλη δυσλειτουργεί.

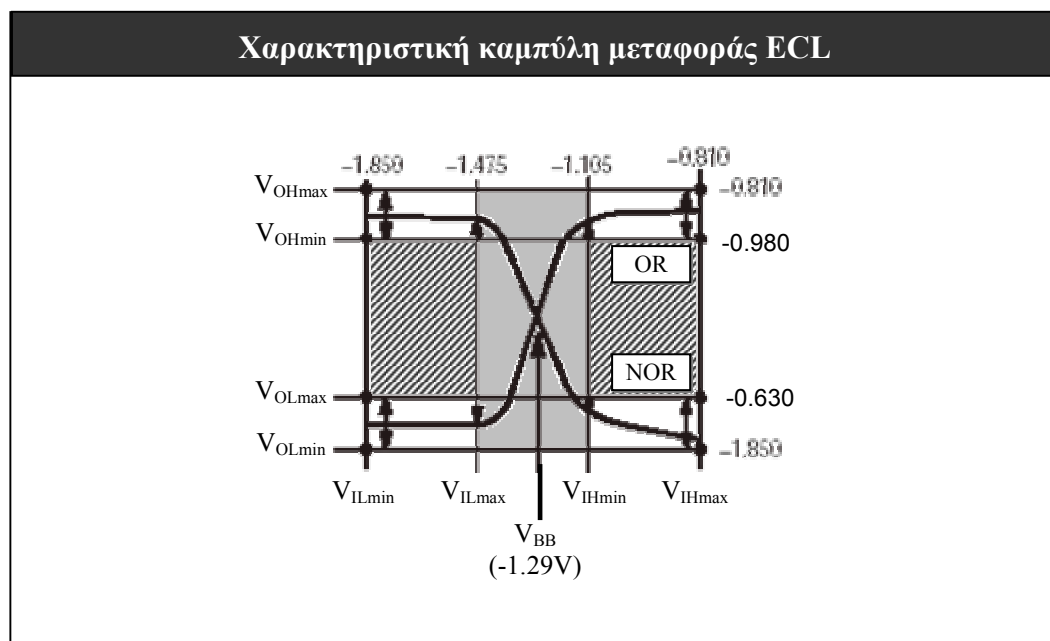
Το κύκλωμα παραγωγής της τάσης αναφοράς εξασφαλίζει ότι η V_{BB} ακολουθεί τις αλλαγές των λογικών σταθμών ανάλογα με τη θερμοκρασία, διατηρούμενη πάντοτε στο μέσο τους.

2.4.2 Λειτουργικά χαρακτηριστικά βασικής πύλης ECL.

Στις επόμενες παραγράφους περιγράφονται τα χαρακτηριστικά λειτουργίας μίας βασικής πύλης ECL (σειρά 10K).

2.4.2.1 Χαρακτηριστική καμπύλη μεταφοράς.

Το σχήμα 2-23 απεικονίζει τις δύο χαρακτηριστικές καμπύλες μεταφοράς (OR και NOR) της βασικής πύλης ECL:



Σχήμα 2-23

Για τα κυκλώματα ECL, εκτός από τις λογικές στάθμες χειρότερης περίπτωσης ($V_{IL(max)}$, $V_{IH(min)}$, $V_{OL(max)}$, $V_{OL(min)}$), οι οποίες προσδιορίζουν την ορθή μετάδοση των σημάτων, προσδιορίζονται επίσης και οι ακραίες επιτρεπόμενες/παραγόμενες στάθμες εισόδου/εξόδου ($V_{IL(min)}$, $V_{IH(max)}$ και $V_{OL(min)}$, $V_{OL(max)}$).

Οι στάθμες που απεικονίζονται στο σχήμα 2-23 ισχύουν για θερμοκρασία περιβάλλοντος 25°C. Στα φύλλα δεδομένων των ολοκληρωμένων κυκλωμάτων ECL δίνονται οι λογικές στάθμες σε διάφορες θερμοκρασίες (π.χ. -30, +25 και +85°C). Επίσης δίνεται η μεταβολή των σταθμών εξόδου σε σχέση με την αύξηση του V_{EE} :

$$\Delta V_{OH}/\Delta V_{EE} = 0.016 \text{ και } \Delta V_{OL}/\Delta V_{EE} = 0.250$$

Από τις τιμές του σχήματος 2-23 προσδιορίζονται τα περιθώρια θορύβου της πύλης ECL:

$$NMH = V_{OH(min)} - V_{IH(min)} = -0.98 - (-1.105) = 125mV$$

$$NML = V_{IL(max)} - V_{OL(max)} = -1.475 - (-1.63) = 155mV$$

με μικρότερο το περιθώριο υψηλής κατάστασης.

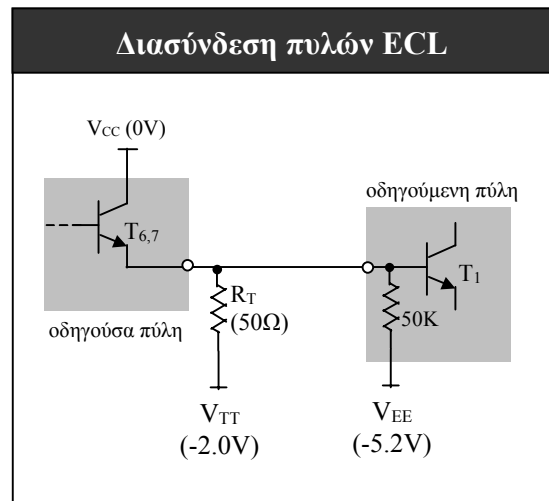
Σε κανονική λειτουργία το εύρος αλλαγής στάθμης (voltage swing) είναι σχετικά μικρό και ισούται περίπου με 800mV. Το μικρό εύρος αλλαγής στάθμης, μαζί με τη χαμηλή εμπέδηση εξόδου των πυλών ECL, συμβάλει στη μείωση του θορύβου και των αλληλοεπιδράσεων γειτονικών σημάτων (crosstalk).

Όταν οι λογικές στάθμες εξόδου βρίσκονται εκτός της περιοχής μετάβασης (γκρίζα περιοχή στο σχήμα 2-23), οι τιμές τους είναι ανεξάρτητες από το V_{in} εκτός από την V_{NOR} , η οποία συνεχίζει να μειώνεται όσο αυξάνεται το V_{in} . Αυτό οφείλεται στο ότι το αντίστοιχο τρανζίστορ εισόδου άγει περισσότερο ρεύμα όσο αυξάνεται το V_{in} , με αποτέλεσμα τη μείωση της τάσης V_{B7} (σχήμα 2-22). Σε νεώτερες πύλες ECL, το φαινόμενο αυτό έχει εξαλειφθεί.

2.4.2.2 Οδηγητική ικανότητα.

Μία έξοδος πύλης ECL παράγει το υψηλό δυναμικό μέσω του τρανζίστορ T_6 ή T_7 (για έξοδο OR και NOR αντίστοιχα). Η εμπέδηση εξόδου είναι πολύ χαμηλή (6-7Ω), κάτι που σημαίνει ότι η πύλη είναι σε θέση να παρέχει μεγάλη ποσότητα ρεύματος στην κατάσταση αυτή.

Η οδηγούμενη πύλη έχει στην είσοδό της μία αντίσταση 50K, η οποία χρησιμοποιείται για να διατηρεί την είσοδο σε χαμηλή λογική στάθμη, όταν αυτή είναι ασύνδετη. Όταν η είσοδος βρίσκεται σε υψηλή λογική κατάσταση, το ρεύμα που διαρρέει την αντίσταση αυτή είναι αμελητέο, ενώ μαζί με το ρεύμα βάσης του τρανζίστορ εισόδου δεν ξεπερνά τα 450μΑ.



Σχήμα 2-24

Όταν η έξοδος της πύλης βρίσκεται σε χαμηλή στάθμη, δεν υπάρχει αγωγίμο μονοπάτι μεταξύ της γραμμής και του V_{EE} . Για τον λόγο αυτόν απαιτείται μία εξωτερική αντίσταση R_T για την απομάκρυνση του φορτίου από την οδηγούμενη είσοδο και την παραγωγή της χαμηλής στάθμης (η αντίσταση των 50K της εισόδου έχει πολύ μεγάλη τιμή και δεν μπορεί να χρησιμοποιηθεί για τον σκοπό αυτόν). Μία συνηθισμένη τακτική είναι η χρήση $R_T = 50\Omega$ για σύνδεση με ενδιάμεση τάση

τερματισμού $V_{TT} = -2V$ (σχήμα 2-24). Η επιλογή των 50Ω δεν είναι τυχαία, όπως θα φανεί στη συνέχεια.

Με $R_T = 50\Omega$ και $V_{TT} = -2V$ απαιτείται από την έξοδο της πύλης ECL συνεχής παροχή ρεύματος

$$\text{σε χαμηλή κατάσταση: } (V_{OL(\text{typ})} - V_{TT})/R_T = (-1.75 - (-2.0))/50 = 5\text{mA}$$

$$\text{σε υψηλή κατάσταση: } (V_{OH(\text{typ})} - V_{TT})/R_T = (-0.9 - (-2.0))/50 = 22\text{mA}$$

Όλες οι πύλες ECL μπορούν να παρέχουν συνεχώς τουλάχιστον 22,5mA για την οδήγηση ισοδύναμου ωμικού φορτίου 50Ω σε κάθε έξοδο.

Οι ταχύτητες των πυλών ECL είναι τόσο μεγάλες, ώστε ο αγωγός διασύνδεσης μεταξύ δύο πυλών συμπεριφέρεται ως γραμμή μετάδοσης (βλ. κεφάλαιο 5). Αυτό πρακτικά σημαίνει ότι σε κάθε χρονική στιγμή η τάση δεν είναι η ίδια σε όλα τα σημεία του αγωγού. Οι παλμοί τάσης μεταδίδονται με συγκεκριμένη ταχύτητα κατά μήκος του αγωγού και ανακλώνται στα άκρα του. Οι ανακλάσεις αυτές μειώνουν την ποιότητα του σήματος και μπορούν να προκαλέσουν λογικά σφάλματα. Για τη μείωση των ανακλάσεων απαιτείται ο “τερματισμός” της γραμμής, η σύνδεση δηλαδή μίας αντίστασης στο άκρο του αγωγού σε μία σταθερή τάση τροφοδοσίας. Η αντίσταση αυτή πρέπει να έχει τιμή όσο το δυνατόν πλησιέστερα στη χαρακτηριστική αντίσταση του αγωγού, η οποία για τυπωμένα κυκλώματα είναι περίπου 50Ω . Έτσι η τιμή της R_T του σχήματος 2-24, η οποία τερματίζει τον αγωγό διασύνδεσης, επιλέγεται συνήθως στα 50Ω .

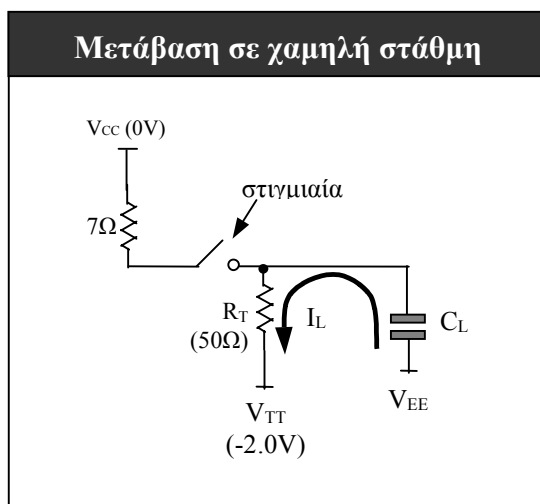
2.4.2.3 Καθυστέρηση διάδοσης.

Οι πύλες ECL της βασικής σειράς 10K παρουσιάζουν τυπική καθυστέρηση διάδοσης ίση με 2ns. Η καθυστέρηση διάδοσης αυξάνεται ανάλογα με το χωρητικό φορτίο της εξόδου, κατά κύριο λόγο στην κατερχόμενη ακμή του σήματος εξόδου.

Όταν η έξοδος μεταβαίνει σε υψηλή κατάσταση, η πύλη παρέχει ρεύμα προς το οδηγούμενο φορτίο μέσω της σύνθετης αντίστασης 7Ω του τρανζίστορ εξόδου. Η φόρτιση των οδηγούμενων χωρητικότητας είναι πολύ γρήγορη, πρακτικά ανεξάρτητη από το μέγεθός τους.

Σε περίπτωση όμως αλλαγής της εξόδου σε χαμηλή κατάσταση, η τάση στη βάση του τρανζίστορ εξόδου βρίσκεται στιγμιαία χαμηλότερα από την τάση στον εκπομπό και το τρανζίστορ οδηγείται σε αποκοπή. Το σχήμα 2-25 απεικονίζει το θεωρητικό ηλεκτρικό ισοδύναμο κατά τη χρονική αυτή στιγμή: οι οδηγούμενες χωρητικότητες εκφορτίζονται μόνον μέσω της αντίστασης R_T , έως ότου η τάση στον εκπομπό του τρανζίστορ εξόδου να προσεγγίσει το V_{OL} . Τότε το τρανζίστορ αρχίζει πάλι να άγει, διατηρώντας την έξοδο στη χαμηλή λογική στάθμη.

Η ταχύτητα εκφόρτισης του C_L μέσω της R_T είναι μικρότερη από την



Σχήμα 2-25

ταχύτητα φόρτισης μέσω του τρανζίστορ εξόδου, άρα είναι η R_T , η οποία καθορίζει τη συνολική καθυστέρηση διάδοσης της πύλης. Στην πράξη, κάθε οδηγούμενη είσοδος προσθέτει 0.1ns στην καθυστέρηση διάδοσης με $R_T = 50\Omega$, $V_{TT} = -2.0V$. Εάν χρησιμοποιηθεί $R_T = 100\Omega$, η αύξηση της καθυστέρησης διάδοσης ανά οδηγούμενη είσοδο είναι 0.2ns.

Λόγω της έλλειψης βαθμίδας totem-pole στην έξοδο των πυλών ECL, είναι δυνατή η συνδεσμολογία λογικού-Η (wired-OR) πολλών εξόδων διαφορετικών πυλών μαζί. Σε μία τέτοια σύνδεση αρκεί μία έξοδος πύλης να είναι σε υψηλή λογική κατάσταση για να οδηγηθεί η συνολική έξοδος σε υψηλή στάθμη. Η διασύνδεση όμως πολλαπλών εξόδων υποβαθμίζει την ταχύτητα λειτουργίας των πυλών (προσθήκη περίπου 50ps ανά προστιθέμενη έξοδο στην καθυστέρηση διάδοσης) και πρακτικά δεν πρέπει να ξεπερνά τις έξι διασυνδεμένες εξόδους.

2.4.2.4 Κατανάλωση ισχύος.

Η κατανάλωση ισχύος μία πύλης ECL υπολογίζεται χωρίς οδηγούμενο φορτίο (ασύνδετες εξοδοί). Ένα μεγάλο μέρος της ισχύος καταναλώνεται στο κύκλωμα εισόδου (διαφορικός ενισχυτής). Όπως υπολογίστηκε στην παράγραφο 2.4.1, το ρεύμα που διαρρέει την R_E του σχήματος 2-22 είναι 4.0mA και 4.51mA για τις δύο καταστάσεις του διαφορικού ενισχυτή με μέση τιμή 4.26mA. Συνεπώς, η κατανάλωση ισχύος στο κύκλωμα εισόδου είναι $(-5.2V \times 4.26mA \approx 22mW)$. Πρόσθετη κατανάλωση ισχύος εμφανίζεται στο κύκλωμα παροχής τάσης αναφοράς, με αποτέλεσμα η τυπική κατανάλωση ανά πύλη της βασικής σειράς ECL 10K να ισούται με 25mW.

Όμως, όπως και στην περίπτωση της καθυστέρησης διάδοσης, η συνολική κατανάλωση του κυκλώματος είναι μεγαλύτερη, λόγω της πρόσθετης καταναλισκόμενης ισχύος στα τρανζίστορ εξόδου. Η κατανάλωση αυτή εξαρτάται σε μεγάλο βαθμό από τις τιμές της R_T και του V_{TT} . Μέσες τιμές κατανάλωσης ισχύος στο κύκλωμα εξόδου δίνονται στον πίνακα 2-4 που ακολουθεί:

Πίνακας 2-4

R_T	V_{TT}	κατανάλωση ισχύος
100 Ω	-2.0V	7.5mW
50 Ω	-2.0V	15mW
510 Ω	-5.2V	9.7mW
270 Ω	-5.2V	18.3mW

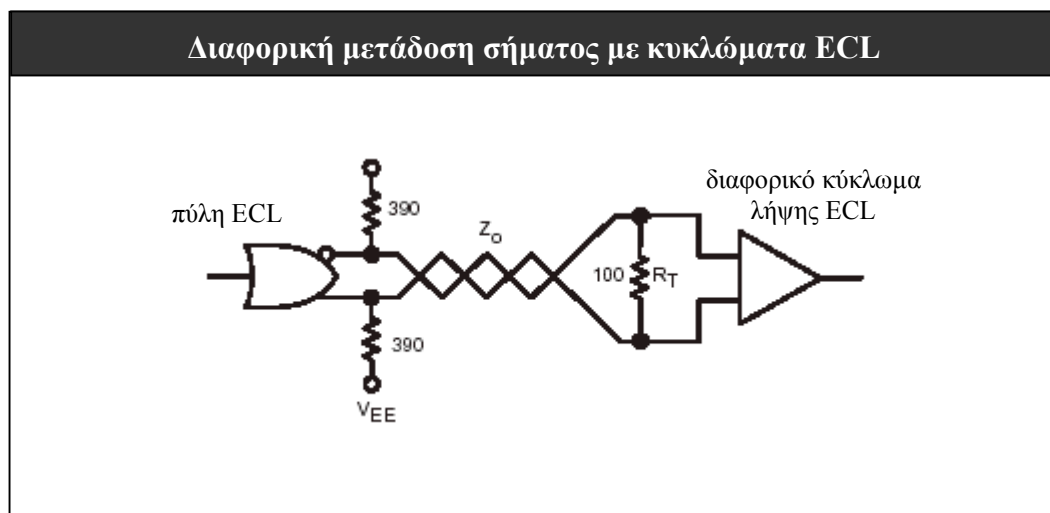
Η κατανάλωση ισχύος, η οποία περιγράφηκε έως τώρα είναι στατική, όταν δηλαδή η έξοδος της πύλης βρίσκεται σε σταθερή κατάσταση. Για τα κυκλώματα ECL της βασικής σειράς 10K η δυναμική κατανάλωση είναι πολύ μικρή σε σχέση με τη στατική κατανάλωση ισχύος, λόγω του τρόπου λειτουργίας της πύλης, των μικρών χωρητικοτήτων των τρανζίστορ και της απουσίας βαθμίδας totem-pole στην έξοδο της πύλης.

2.4.3 Διαφορική μετάδοση σήματος με πύλες ECL.

Ένα από τα βασικότερα πλεονεκτήματα της χρήσης κυκλωμάτων ECL είναι η δυνατότητα διαφορικής μετάδοσης των σημάτων (differential transmission). Με την

τεχνική αυτή κάθε σήμα μεταδίδεται στην επόμενη πύλη χρησιμοποιώντας δύο γραμμές. Κάθε γραμμή μεταφέρει το συμμετρικό σήμα της άλλης και το τελικό αποτέλεσμα προκύπτει ως η διαφορά των δύο αυτών σημάτων. Το κύριο χαρακτηριστικό της διαφορικής μετάδοσης είναι η ικανότητα απόρριψης του κοινού θορύβου (common mode rejection), των αλλοιώσεων δηλαδή που θα εμφανιστούν ταυτόχρονα στις δύο γραμμές, εφόσον δεν επηρεάζεται η διαφορά των δύο σημάτων.

Οι πύλες ECL είναι ιδανικές για τη διαφορική μετάδοση σημάτων, διότι παρέχουν ταυτόχρονα την κανονική και αντεστραμμένη μορφή του σήματος εξόδου (σχήμα 2-26):



Σχήμα 2-26

Στο σχήμα 2-26 το εικονιζόμενο διαφορικό κύκλωμα λήψης, το οποίο υπολογίζει τη διαφορά των δύο σημάτων εισόδου, υλοποιείται όπως μία κανονική πύλη ECL, με μόνη διαφορά τη χρήση του V_{in} και V_{in}' στον διαφορικό ενισχυτή της εισόδου, αντί του V_{in} και V_{BB} του αρχικού σχήματος 2-22.

2.4.4 Χρήση θετικής τροφοδοσίας (PECL).

Σε κανονική λειτουργία τα κυκλώματα ECL χρησιμοποιούν αρνητική τάση τροφοδοσίας V_{EE} (-5.2V), ενώ η τάση V_{CC} (0V) χρησιμοποιείται ως στάθμη αναφοράς. Υπάρχουν όμως περιπτώσεις όπου είναι επιθυμητός ο συνδυασμός κυκλωμάτων ECL με τεχνολογίες +5V, όπως TTL και CMOS. Παραδείγματα τέτοιων περιπτώσεων είναι:

α) Σε ένα τυπικό σύστημα επεξεργασίας δεδομένων υψηλής ταχύτητας, τα δεδομένα εισέρχονται/εξέρχονται σειριακά με υψηλό ρυθμό (>200MHz). Τα συμβατικά κυκλώματα TTL/CMOS δεν μπορούν να λειτουργήσουν στη συχνότητα αυτή. Κυκλώματα ECL μετατρέπουν τη σειριακή είσοδο σε παράλληλα δεδομένα χαμηλότερης συχνότητας (<50MHz), τα οποία στη συνέχεια οδηγούνται στην κύρια μονάδα επεξεργασίας TTL/CMOS.

β) Η χρήση κυκλωμάτων ECL κατά τη διασύνδεση υποσυστημάτων, τα οποία αποτελούνται από λογικά κυκλώματα TTL/CMOS, επιτυγχάνει μείωση του παραγόμενου θορύβου και αύξηση της αξιοπιστίας της μετάδοσης (ιδίως όταν η τελευταία συντελείται με διαφορικό τρόπο).

γ) Η διανομή σημάτων χρονισμού (clock) σε ένα σύστημα υψηλών ταχυτήτων είναι ασφαλέστερη και εμφανίζει την ελάχιστη διαφορά μεταξύ ταυτόχρονων μεταβάσεων (clock skew) στα διάφορα σημεία του συστήματος, όταν χρησιμοποιούνται κυκλώματα οδήγησης ECL.

Ο συνδυασμός κυκλωμάτων ECL και κυκλωμάτων θετικής τάσης τροφοδοσίας θα απαιτούσε την ταυτόχρονη χρήση δύο διαφορετικών τάσεων τροφοδοσίας (π.χ. +5V και -5.2V) και ενδεχομένως μίας ακόμα τάσης τερματισμού V_{TT} . Τα κυκλώματα ECL όμως μπορούν να λειτουργήσουν και με θετική τάση τροφοδοσίας, αρκεί η διαφορά δυναμικού μεταξύ V_{CC} και V_{EE} να είναι εντός των προκαθορισμένων ορίων.

Στη “θετική” αυτή λειτουργία (PECL – positive ECL), το V_{CC} συνδέεται στα 5V και το V_{EE} στη γείωση. Όλες οι πύλες ECL μπορούν να λειτουργήσουν με τον τρόπο αυτόν, παράγουν δε στάθμες εξόδου προσαυξημένες κατά V_{CC} . Για παράδειγμα, ενώ το κανονικό $V_{OH(max)} = -0.81V$, σε λειτουργία PECL με $V_{CC} = 5V$ είναι $V_{OH(max)} = 5 - 0.81 = 4.19V$.

Επειδή οι λογικές στάθμες των κυκλωμάτων ECL χρησιμοποιούν ως τάση αναφοράς το V_{CC} , επιβάλλεται η ελαχιστοποίηση του θορύβου στη γραμμή αυτή τροφοδοσίας. Οποιοσδήποτε θόρυβος στο V_{CC} θα εμφανιστεί αυτούσιος στις λογικές στάθμες της πύλης. Εκτός από τη χρήση πυκνωτών αποσύζευξης μεταξύ V_{CC} και γείωσης, η τροφοδοσία των κυκλωμάτων ECL θα πρέπει να απομονώνεται όσο το δυνατόν καλύτερα από την τροφοδοσία των κυκλωμάτων TTL/CMOS, τα οποία δημιουργούν περισσότερο θόρυβο κατά τις λογικές μεταβάσεις.

2.4.5 Λογικές οικογένειες ECL.

Τα πρώτα λογικά ολοκληρωμένα κυκλώματα τεχνολογίας ECL (MECL I) εμφανίστηκαν το 1962. Τα κυκλώματα αυτά παρουσίαζαν καθυστέρηση διάδοσης 8ns, πολύ μεγαλύτερη από τα συμβατικά λογικά κυκλώματα της εποχής εκείνης. Με την εξέλιξη της τεχνολογίας εμφανίστηκαν στη συνέχεια νέες οικογένειες ECL, τα χαρακτηριστικά των οποίων παρατίθενται στον πίνακα 2-5:

Πίνακας 2-5

λογική οικογένεια	MECL II	MECL III	10K	10KH	100K
έτος εισαγωγής	1966	1968	1971	1981	1985
τυπική καθυστέρηση διάδοσης (ns)	4	1	2	1	0.75
χρόνος ανόδου/καθόδου (ns)		1	3.5	1.8	0.7
κατανάλωση ισχύος ανά πύλη (mW)	20	60	25	25	50
συχνότητα λειτουργίας (MHz)	70	500	125	250	400

Η οικογένεια MECL III παραμένει έως και σήμερα μία από τις ταχύτερες στην αγορά. Η μεγάλη ταχύτητα λειτουργίας αλλά κυρίως ο πολύ μικρός χρόνος ανόδου-καθόδου των πυλών MECL III απαιτούσε προηγμένη σχεδίαση συστημάτων και σύνθετες τεχνικές για τη διατήρηση της ακεραιότητας του ψηφιακού σήματος (signal integrity). Η δυσκολία στη χρήση των πυλών αυτών οδήγησε στην ανάπτυξη οικογενειών με ελεγχόμενο ρυθμό ανόδου-καθόδου του σήματος, όπως η σειρά 10K, η οποία αποτελεί τη βάση σύγκρισης για τα νεώτερα κυκλώματα ECL.

Η σειρά ECL 100K περιλαμβάνει προηγμένα κυκλώματα δημιουργίας της τάσης αναφοράς, τα οποία καθιστούν τις λογικές στάθμες ανεξάρτητες από τις διαφορές στη θερμοκρασία και τις αποκλίσεις του V_{EE} , βελτιώνοντας έτσι τα λειτουργικά χαρακτηριστικά των πυλών ECL και αυξάνοντας το περιθώριο θορύβου. Οι πιο

πρόσφατες λογικές οικογένειες ECL, ECLinPS (1988) και ECLinPS Plus (1999) επιτυγχάνουν μέγιστη καθυστέρηση διάδοσης 500ps και 350ps αντίστοιχα. Οι πύλες αυτές μπορούν να λειτουργήσουν σε συχνότητα μεγαλύτερη των 3GHz.

2.5 Βιβλιογραφία και πληροφοριακό υλικό.

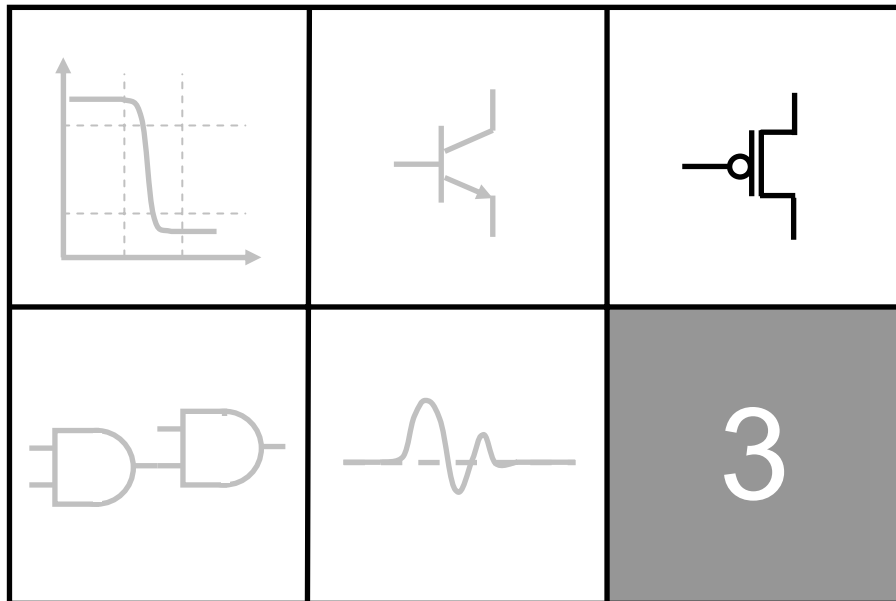
Βιβλιογραφία

1. P.Horowitz, W.Hill, “The Art of Electronics” 2nd ed., Cambridge University Press, 1990.
2. H.Taub, D.Schilling, “Digital Integrated Electronics”, McGraw-Hill, 1987.
3. H.Johnson, M.Graham, “High-Speed Digital Design, A Handbook of Black Magic”, Prentice-Hall, 1993.

Πληροφοριακό υλικό (επιλογή).

4. Texas Instruments, “Designing with logic”, SDYA009C, Jun 1997.
5. ON Semiconductor, “FAST AND LS TTL Data”, DL121/D, 1992.
6. ON Semiconductor, “MECL System Design Handbook”, HB205/D, May 1988.
7. ON Semiconductor, “Designing with PECL”, AN1406/D, Sept 1999.
8. Fairchild Semiconductor, “Operating ECL from a Single Positive Supply”, AN-780, May 1991.
9. ON Semiconductor, “Interfacing with ECLinPS”, AND8066/D, May 2002.
10. ON Semiconductor, “Termination of ECL logic Devices”, AND8020/D, Aug 2002.
11. Semtech, “Designing with 10K and 100K ECL/PECL Devices”, AN1006, Nov 2001.

ΣΗΜΕΙΩΣΕΙΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ



“Ψηφιακά Κυκλώματα CMOS”

Δ.Λιούπης – Μ.Στεφανιδάκης

Πίνακας Περιεχομένων.

3.1	Εισαγωγή.	2
3.2	Το τρανζίστορ MOSFET.	2
3.2.1	Λειτουργία τρανζίστορ MOSFET.	4
3.2.2	Το τρανζίστορ MOSFET ως διακόπτης.	7
3.2.3	Βασικές δομές με το τρανζίστορ MOSFET.	8
3.2.3.1	Πύλη διάδοσης.	8
3.2.3.2	Στοιχείο ανύψωσης-καταβύθισης δυναμικού.	9
3.3	Ο αντιστροφέας CMOS.	10
3.4	Λογικές πύλες CMOS.	13
3.4.1	Στατικές λογικές δομές CMOS.	13
3.4.2	Δυναμικές λογικές δομές CMOS.	15
3.4.3	Εναλλακτικές λογικές δομές.	17
3.5	Διατάξεις εισόδου-εξόδου κυκλωμάτων CMOS.	18
3.5.1	Βαθμίδες εισόδου CMOS.	19
3.5.1.1	Μη οδηγούμενες εισοδοί και εισοδοί αργής μετάβασης.	20
3.5.1.2	Κύκλωμα CMOS Schmitt trigger.	21
3.5.1.3	Είσοδοι συμβατές με λογικές στάθμες TTL.	22
3.5.2	Βαθμίδες εξόδου CMOS.	22
3.5.2.1	Ικανότητα οδήγησης CMOS.	23
3.5.2.2	Άλλες δομές εξόδου CMOS.	23
3.6	Κατανάλωση ισχύος κυκλωμάτων CMOS.	24
3.6.1	Στατική κατανάλωση ισχύος.	25
3.6.2	Δυναμική κατανάλωση ισχύος.	25
3.6.2.1	Φόρτιση εξωτερικών χωρητικοτήτων.	26
3.6.2.2	Φόρτιση εσωτερικών χωρητικοτήτων.	26
3.6.2.3	Ρεύμα βραχυκυκλώματος.	27
3.6.3	Συνολική κατανάλωση ισχύος.	27
3.6.4	Μέγιστη κατανάλωση ισχύος.	28
3.7	Λογικές οικογένειες CMOS.	28
3.7.1	Συμβατικές λογικές οικογένειες CMOS.	29
3.7.2	Λογικές οικογένειες CMOS χαμηλής τάσης τροφοδοσίας.	33
3.7.2.1	Είσοδοι ανεκτικές σε υπερτάσεις.	34
3.7.2.2	Χαρακτηριστικά οικογενειών χαμηλής τάσης τροφοδοσίας.	36
3.8	Εξέλιξη της τεχνολογίας CMOS.	37
3.9	Βιβλιογραφία και πληροφοριακό υλικό.	38

3.1 Εισαγωγή.

Τα μοντέρνα ψηφιακά κυκλώματα (λογικές πύλες, μνήμες, επεξεργαστές και άλλα σύνθετα κυκλώματα) υλοποιούνται σήμερα στην πλειοψηφία τους (>75% του συνόλου των παραγόμενων ψηφιακών κυκλωμάτων) με τεχνολογία CMOS (complementary metal-oxide semiconductor). Η τεχνολογία αυτή συνδυάζει συμπληρωματικά *τρανζίστορ επίδρασης πεδίου* (metal-oxide semiconductor field effect transistors – MOSFETs) *p-τύπου* (pMOS) και *n-τύπου* (nMOS) για την κατασκευή των διάφορων λογικών κυκλωμάτων.

Η τεχνολογία CMOS αναπτύχθηκε αργότερα από εκείνη των τρανζίστορ διπολικής επαφής. Κατά τα πρώτα χρόνια της εμπορικής εφαρμογής της (δεκαετία του '70) αποτέλεσε εναλλακτική λύση για συστήματα χαμηλής ισχύος λόγω της ιδιαίτερα μειωμένης κατανάλωσης ενέργειας έναντι των λογικών κυκλωμάτων με τρανζίστορ διπολικής επαφής. Από την άλλη πλευρά, το βασικό μειονέκτημα των κυκλωμάτων CMOS ήταν η αργή λειτουργία τους.

Στις επόμενες δεκαετίες ('80-'90), τόσο η τεχνολογία CMOS όσο και η διπολική τεχνολογία ακολούθησαν την κατασκευαστική τάση για συρρίκνωση των διαστάσεων των τρανζίστορ και της αύξησης της ταχύτητας λειτουργίας τους. Η διπολική τεχνολογία παρέμεινε γρηγορότερη, χωρίς όμως να επιτύχει σημαντική μείωση της κατανάλωσης ισχύος. Η τεχνολογία CMOS όμως ήταν ιδανική για λογικά κυκλώματα μεγάλης ολοκλήρωσης και χαμηλής κατανάλωσης ισχύος.

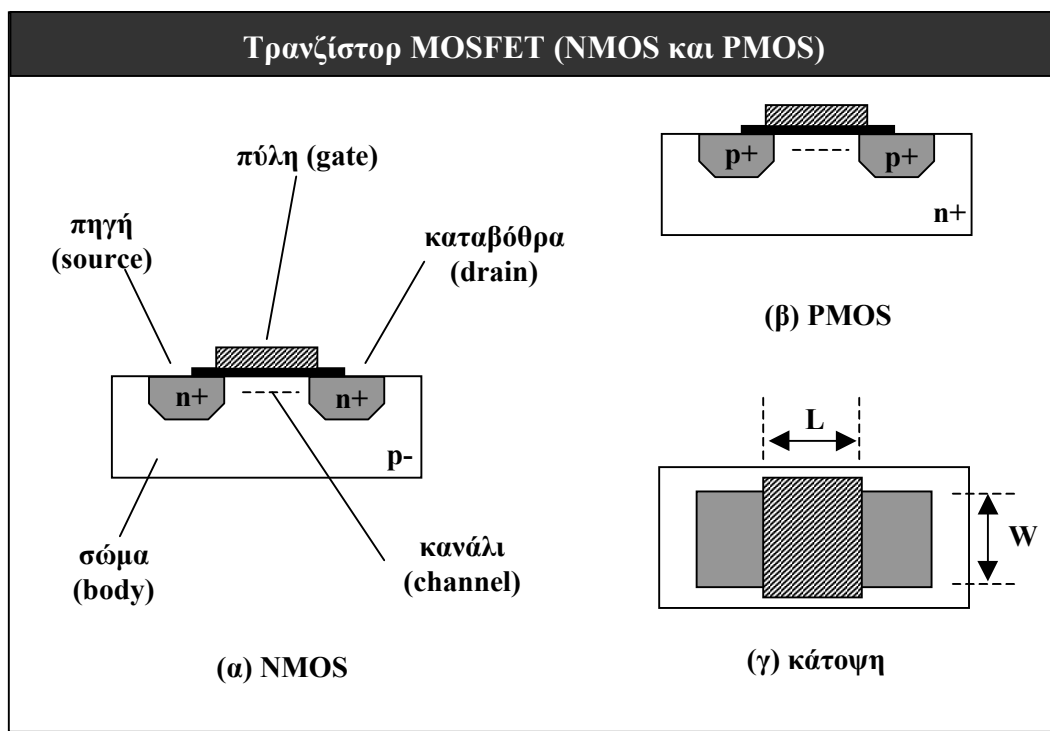
Στις αρχές της δεκαετίας του '90 οι κατασκευαστικές διαστάσεις των ολοκληρωμένων κυκλωμάτων έφτασαν το 0.5μm. Το γεγονός αυτό επέτρεψε την κατασκευή κυκλωμάτων CMOS πολύ μεγάλης ολοκλήρωσης, η απόδοση των οποίων σε *επίπεδο συστήματος* (λειτουργικότητα) ξεπέρασε την *μεμονωμένη απόδοση* (ταχύτητα) των τρανζίστορ διπολικής επαφής. Έκτοτε η τεχνολογία CMOS είναι κυρίαρχη στον χώρο των ψηφιακών κυκλωμάτων.

Στο παρόν κεφάλαιο αρχικά γίνεται μία σύντομη ανασκόπηση της λειτουργίας του τρανζίστορ MOS και περιγράφονται τα χαρακτηριστικά που επιτρέπουν την υλοποίηση ψηφιακών κυκλωμάτων (ενότητα 3.2). Στη συνέχεια περιγράφεται το δομικό στοιχείο της τεχνολογίας CMOS: ο στατικός αντιστροφέας, ο οποίος αποτελείται από ένα συμπληρωματικό ζεύγος τρανζίστορ MOS (pMOS και nMOS) (ενότητα 3.3). Αμέσως μετά παρατίθενται στατικά και δυναμικά κυκλώματα λογικών συναρτήσεων (ενότητα 3.4) και το κεφάλαιο ολοκληρώνεται με την περιγραφή διαφόρων λογικών οικογενειών CMOS (ενότητα 3.5).

3.2 Το τρανζίστορ MOSFET.

Το τρανζίστορ MOSFET είναι η βάση της τεχνολογίας λογικών κυκλωμάτων CMOS. Το τρανζίστορ αυτό είναι *επίδρασης πεδίου* (field effect transistor – FET): η αγωγιμότητα ενός *καναλιού* (channel) μεταξύ δύο ακροδεκτών, *πηγής* (source) και *καταβόθρας* (drain), ελέγχεται από την τάση που εφαρμόζεται σε έναν τρίτο ακροδέκτη, την *πύλη* (gate). Σε αντίθεση με τα τρανζίστορ διπολικής επαφής, η πύλη δεν διαρρέεται από ρεύμα.

Στο σχήμα 3-1(α) απεικονίζεται η απλοποιημένη δομή ενός τρανζίστορ MOSFET (ένα πραγματικό τρανζίστορ μπορεί να είναι δομημένο με διαφορετικό τρόπο). Όπως φαίνεται στο σχήμα, η πύλη είναι απομονωμένη από την περιοχή του καναλιού μέσω ενός επιπέδου οξειδίου του πυριτίου (SiO_2). Στα πρώτα τρανζίστορ αυτού του τύπου η πύλη κατασκευαζόταν από μέταλλο (αλουμίνιο), έτσι τα τρανζίστορ αυτά πήραν το όνομά τους (metal-oxide semiconductor FETs – MOSFETs). Σήμερα η πύλη κατασκευάζεται από πολυκρυσταλλικό πυρίτιο (poly).



Σχήμα 3-1

Τα τρανζίστορ MOSFET κατασκευάζονται σε δύο μορφές, NMOS και PMOS, ανάλογα με το είδος του πυριτίου της πηγής και της καταβόθρας (n-type και p-type αντίστοιχα). Το σχήμα 3-1(α) απεικονίζει ένα τρανζίστορ NMOS και το σχήμα 3-1(β) ένα τρανζίστορ PMOS.

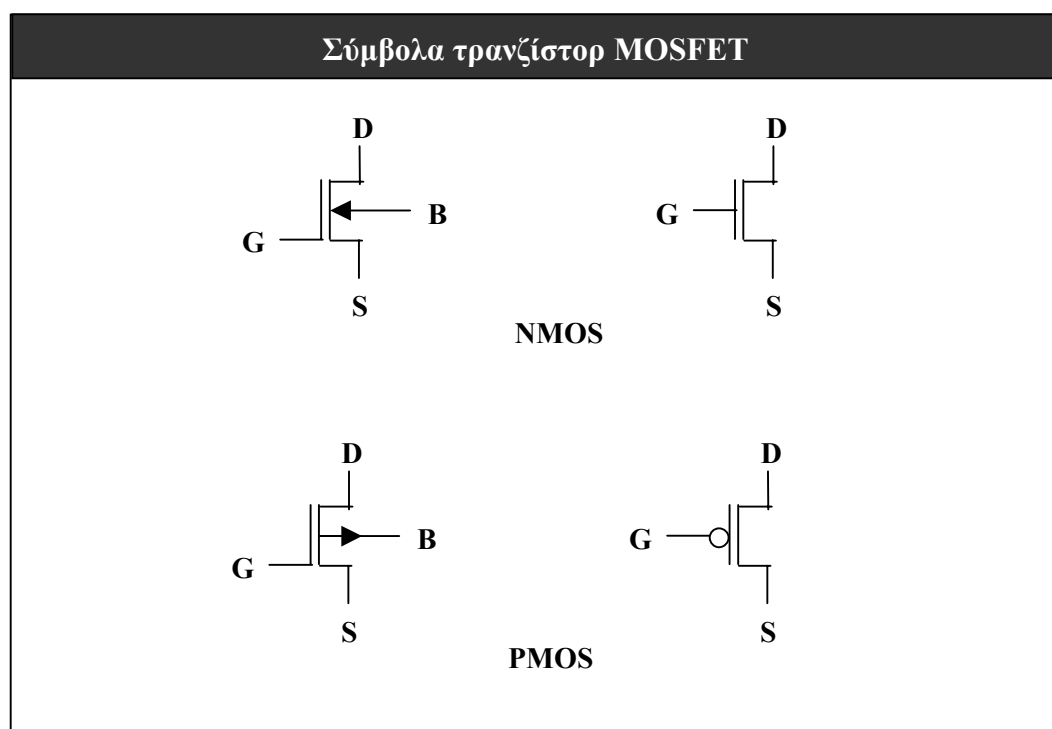
Στο σχήμα 3-1(γ) φαίνεται η κάτοψη ενός MOSFET, όπου σημειώνονται οι διαστάσεις (L και W) του καναλιού κάτω από την πύλη. Οι διαστάσεις αυτές ορίζονται από τον σχεδιαστή και είναι καθοριστικές για τα χαρακτηριστικά λειτουργίας του τρανζίστορ, όπως η αγωγιμότητα και οι χωρητικότητες της πύλης.

Κάθε τρανζίστορ MOSFET έχει και έναν τέταρτο ακροδέκτη, το υπόστρωμα ή σώμα (body), στο οποίο σχηματίζεται το κανάλι ανάμεσα σε πηγή και καταβόθρα κάτω ακριβώς από την πύλη.

Σε κανονικές συνθήκες η διπολική επαφή μεταξύ του υποστρώματος και της πηγής/καταβόθρας (p-n για τα NMOS και n-p για τα PMOS) πρέπει να είναι ανάστροφα πολωμένη. Έτσι στα τρανζίστορ NMOS το υπόστρωμα (σώμα) συνδέεται πάντοτε στην αρνητικότερη τάση τροφοδοσίας (γείωση), ενώ στα PMOS συνδέεται στη θετικότερη (V_{DD}).

Στα τρανζίστορ MOSFET, τα οποία χρησιμοποιούνται για την κατασκευή λογικών κυκλωμάτων, η πηγή και η καταβόθρα δεν έχουν καμμία διαφορά από

φυσική άποψη μεταξύ τους. Κατά σύμβαση, στα NMOS η πηγή είναι αρνητικότερη από την καταβόθρα (σε τάση), ενώ στα PMOS η πηγή είναι θετικότερη.



Σχήμα 3-2

Στο σχήμα 3-2 απεικονίζονται τα σύμβολα των τρανζίστορ NMOS και PMOS, τόσο με όσο και χωρίς τον ακροδέκτη του σώματος. Το τρανζίστορ NMOS απαιτεί θετική τάση στην πύλη του για να άγει, ενώ το PMOS αρνητική, όπως υποδηλώνει και ο κύκλος αντιστροφής στο απλοποιημένο σύμβολο PMOS του σχήματος 3-2.

Τα τρανζίστορ που παρουσιάστηκαν προηγουμένως ανήκουν στον τύπο *πύκνωσης* (enhancement), όπου το αγωγίμο κανάλι *σχηματίζεται* με την επίδραση της τάσης στην πύλη του τρανζίστορ. Υπάρχουν και MOSFET *αραίωσης* (depletion), όπου το αγωγίμο κανάλι *προϋπάρχει* και *διακόπτεται* με την επίδραση της τάσης της πύλης. Τα τρανζίστορ *αραίωσης* δεν χρησιμοποιούνται στα σύγχρονα λογικά κυκλώματα, για τον λόγο αυτόν στη συνέχεια εξετάζονται μόνο τα τρανζίστορ *πύκνωσης*.

3.2.1 Λειτουργία τρανζίστορ MOSFET.

Σε ένα τρανζίστορ NMOS (PMOS), όταν εφαρμοστεί θετική (αρνητική) τάση στην πύλη (ως προς την πηγή), τότε παρατηρείται συσσώρευση θετικού (αρνητικού) φορτίου στην περιοχή του υποστρώματος κάτω από την πύλη. Όταν η τάση της πύλης-πηγής V_{GS} υπερβεί μία κρίσιμη τιμή, η οποία ονομάζεται *τάση κατωφλίου* V_T του τρανζίστορ, η περιοχή κάτω από την πύλη “αντιστρέφεται” από p-type (n-type) σε n-type (p-type). Με την αντιστροφή αυτή σχηματίζεται το αγωγίμο κανάλι μεταξύ πηγής και καταβόθρας.

Η τάση κατωφλίου ενός τρανζίστορ MOSFET εξαρτάται από τα κατασκευαστικά χαρακτηριστικά του τρανζίστορ καθώς και την διαφορά δυναμικού V_{SB} μεταξύ πηγής και υποστρώματος. Η επίδραση του V_{SB} ονομάζεται *body effect* και τείνει να αυξάνει την τάση κατωφλίου όσο μεγαλώνει το V_{SB} . Η τάση κατωφλίου

εξαρτάται επίσης από τη θερμοκρασία: όσο αυτή αυξάνεται, τόσο το V_T μειώνεται (μείωση περίπου $1.5\text{mV}/^\circ\text{C}$).

Σε κανονικές συνθήκες η τάση κατωφλίου ενός τρανζίστορ NMOS, το οποίο χρησιμοποιείται σε ψηφιακά κυκλώματα, έχει τυπικές τιμές από 0.5V έως 0.7V (το ίδιο ισχύει για το PMOS, με τη διαφορά ότι το V_T είναι αρνητικό).

Στον πίνακα 3-1 που ακολουθεί παρατίθενται συνοπτικά οι περιοχές λειτουργίας ενός τρανζίστορ MOSFET. Η περιγραφή περιορίζεται στα βασικά μόνο σημεία, τα οποία θα χρησιμοποιηθούν σε επόμενες ενότητες για την περιγραφή της λειτουργίας των λογικών κυκλωμάτων CMOS. Η περιγραφή συμπληρώνεται με το σχήμα 3-3, όπου απεικονίζονται οι χαρακτηριστικές καμπύλες ρεύματος-τάσης για ένα τρανζίστορ NMOS $0.35\mu\text{m}$.

Τα χρησιμοποιούμενα σύμβολα στον πίνακα 3-1 και στο σχήμα 3-3 είναι τα ακόλουθα:

I_{DS} : ρεύμα καταβόθρας-πηγής που διαρρέει το τρανζίστορ.

V_{GS} : τάση πύλης-πηγής

V_{DS} : τάση καταβόθρας πηγής.

V_T : τάση κατωφλίου για το τρανζίστορ.

Θα πρέπει να σημειωθεί ότι οι παραπάνω τάσεις είναι θετικές για ένα τρανζίστορ NMOS και αρνητικές για ένα PMOS, ενώ το ρεύμα I_{DS} έχει αντίθετη φορά για το PMOS.

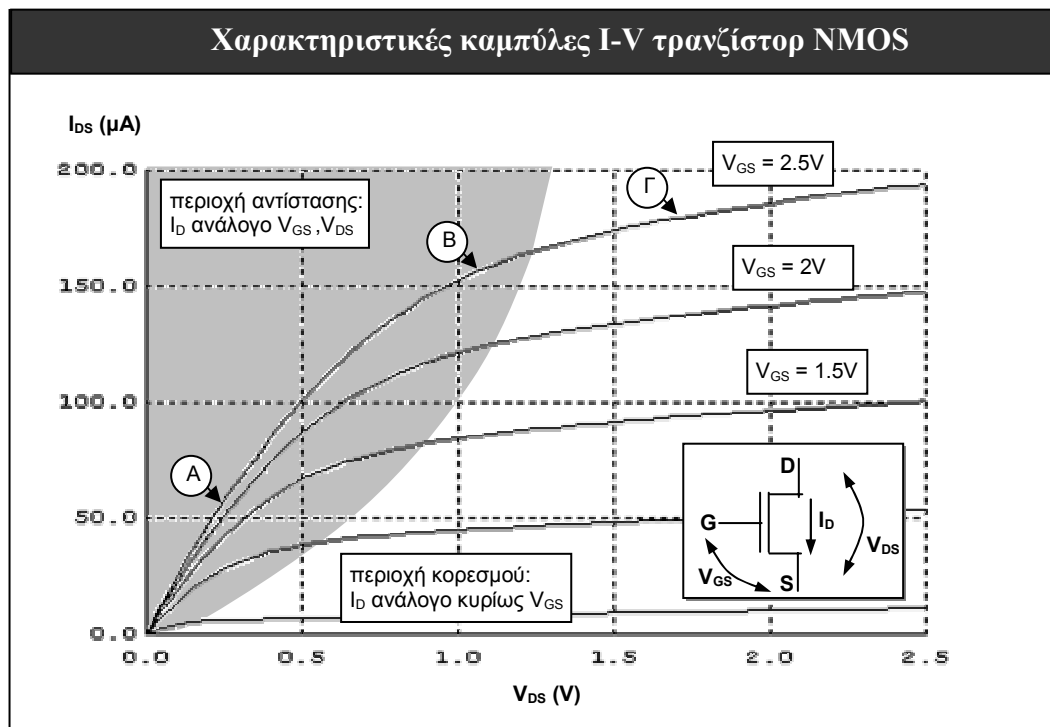
Πίνακας 3-1

Περιοχή λειτουργίας	Συνθήκες	Λειτουργία για το NMOS (σε παρένθεση για το PMOS)	Σχόλια
αποκοπή (cutoff region)	για το NMOS: $V_{GS} < V_T$ για το PMOS: $V_{GS} > V_T$	Όσο η τάση V_{GS} είναι μικρότερη (μεγαλύτερη) από την τάση κατωφλίου V_T το ρεύμα I_{DS} είναι πρακτικά μηδενικό. $I_{DS} = 0$	Το τρανζίστορ μπορεί να θεωρηθεί πρακτικά ως ανοικτό κύκλωμα . Στην πραγματικότητα υπάρχει ένα ελάχιστο ρεύμα I_{DS} , το οποίο όμως είναι αμελητέο (της τάξης των pA).
περιοχή αντίστασης (resistive region)	για το NMOS: $V_{GS} \geq V_T$ και $V_{DS} < (V_{GS} - V_T)$ για το PMOS: $V_{GS} \leq V_T$ και $V_{DS} > (V_{GS} - V_T)$	Όταν η τάση V_{GS} είναι μεγαλύτερη (μικρότερη) από την τάση κατωφλίου V_T και η τάση V_{DS} μικρότερη (μεγαλύτερη) από την τιμή $V_{GS} - V_T$, τότε το ρεύμα I_{DS} ισούται με: $I_{DS} = k[(V_{GS} - V_T)V_{DS} + V_{DS}^2/2]$ Ο παράγοντας k ονομάζεται συντελεστής κέρδους και είναι: $k = \mu C_{ox}(W/L)$, όπου μ η κινητικότητα των φορέων φορτίου (ηλεκτρόνια για το NMOS και οπές για το PMOS), C_{ox} η χωρητικότητα του οξειδίου της πύλης και W/L οι διαστάσεις της πύλης.	Το τρανζίστορ συμπεριφέρεται ως μεταβλητή αντίσταση , ελεγχόμενη από την τάση της πύλης: α) Το ρεύμα I_{DS} είναι ανάλογο του V_{GS} . β) Το ρεύμα I_{DS} είναι επίσης ανάλογο του V_{DS} . Για μικρές τιμές του V_{DS} η αναλογία είναι γραμμική (δείκτης A σχήματος 3-3). Για μεγαλύτερες τιμές V_{DS} υπερσχύει ο όρος V_{DS}^2 και το ρεύμα I_{DS} μεταβάλλεται μη γραμμικά (δείκτης B στο σχήμα 3-3)

περιοχή κορεσμού (saturation region)	για το NMOS: $V_{GS} \geq V_T$ και $V_{DS} \geq (V_{GS} - V_T)$	Όταν η τάση V_{DS} είναι μεγαλύτερη (μικρότερη) από την τιμή $V_{GS} - V_T$, τότε το φορτίο του καναλιού απο- μακρύνεται από την κατα- βόθρα (drain). Το κανάλι μεταξύ πηγής και κατα- βόθρας ελαττώνεται (pinch off) και το ρεύμα I_{DS} ισούται με: $I_{DS} = k(V_{GS} - V_T)^2 / 2$	Το τρανζίστορ συμπεριφέ- ρεται ως πηγή ρεύματος , ελεγχόμενη από την τάση της πύλης: α) Το ρεύμα I_{DS} είναι ανάλογο του V_{GS}^2 . β) Το ρεύμα I_{DS} δεν εξαρτάται σε μεγάλο βαθμό από το V_{DS} . Θεωρητικά το ρεύμα I_{DS} είναι ανεξάρτητο του V_{DS} . Στην πράξη όμως, για τα τρανζίστορ πολύ μικρών διαστάσεων που χρησι- μοποιούνται στα ψηφιακά λογικά κυκλώματα, το ρεύμα I_{DS} στην περιοχή κορεσμού εξαρτάται και από το V_{DS} (δείκτης Γ στο σχήμα 3-3). Επίσης το I_{DS} τείνει να εξαρτάται από το V_{GS} κι όχι από το V_{GS}^2 στην περιοχή αυτή.
	για το PMOS: $V_{GS} \leq V_T$ και $V_{DS} \leq (V_{GS} - V_T)$		

Όπως φαίνεται από τη στήλη “Σχόλια” του πίνακα 3-1, η λειτουργία του τρανζίστορ MOSFET αποκλίνει από το θεωρητικό μοντέλο λόγω φαινομένων όπως η *διαμόρφωση του πλάτους του καναλιού* (channel length modulation) και ο *κορεσμός της ταχύτητας* (velocity saturation) των φορέων φορτίου. Τα φαινόμενα αυτά όμως δεν θα εξετασθούν εδώ.

Σημαντική είναι επίσης η επίδραση της θερμοκρασίας στις παραμέτρους λειτουργίας του τρανζίστορ: με την αύξηση της θερμοκρασίας α) μειώνεται η τάση κατωφλίου, β) αυξάνεται το ρεύμα διαρροής στην περιοχή αποκοπής και γ) μειώνεται η κινητικότητα των φορέων φορτίου, άρα και η ταχύτητα λειτουργίας του τρανζίστορ.

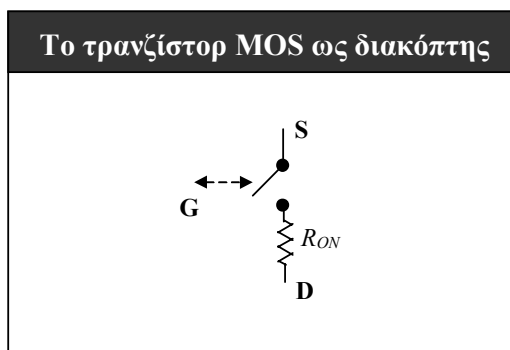


Σχήμα 3-3

Το τρανζίστορ PMOS λειτουργεί με τον ίδιο ακριβώς τρόπο όπως το NMOS και οι χαρακτηριστικές καμπύλες του τάσης-ρεύματος είναι όμοιες με τη διαφορά ότι είναι αρνητικές. Επιπλέον, το ρεύμα I_{DS} που διαρρέει ένα τρανζίστορ PMOS είναι μικρότερο από το ρεύμα ενός NMOS ιδίων διαστάσεων, επειδή οι φορείς φορτίου στο PMOS (οπές) έχουν μειωμένη κινητικότητα σε σχέση με τα ηλεκτρόνια του NMOS κατά 1/3 έως 1/2.

3.2.2 Το τρανζίστορ MOSFET ως διακόπτης.

Κατά την ανάλυση των ψηφιακών κυκλωμάτων CMOS το τρανζίστορ MOSFET μπορεί να θεωρηθεί ως ένας διακόπτης (σχήμα 3-4). Παρόλο που η ανάλυση αυτή φαίνεται υπερ-απλουστευμένη, προσεγγίζει ικανοποιητικά τη συμπεριφορά του τρανζίστορ, διότι οι δύο λογικές στάθμες ("0" και "1") βρίσκονται στα δύο άκρα του εύρους τροφοδοσίας (V_{DD} και GND).

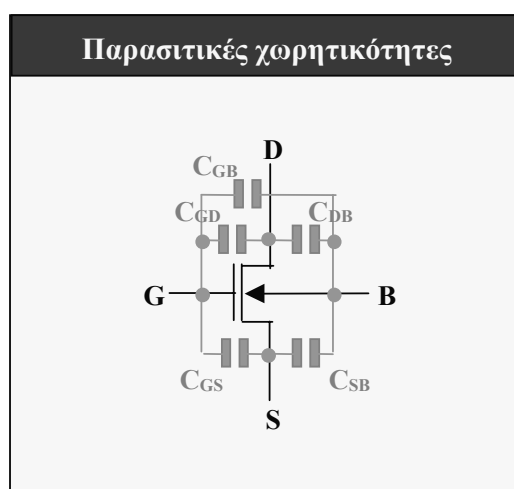


Σχήμα 3-4

Ένα τρανζίστορ NMOS βρίσκεται στην αποκοπή όταν στην πύλη του έχει χαμηλή λογική στάθμη, ενώ βρίσκεται στην περιοχή αντίστασης όταν στην πύλη του εφαρμόζεται υψηλή στάθμη (το αντίστροφο ισχύει για το PMOS). Η ισοδύναμη αντίσταση του τρανζίστορ στην περιοχή αυτή συμβολίζεται με R_{ON} και η τιμή της μεταβάλλεται δυναμικά ανάλογα με την τάση V_{DS} . Η R_{ON} δίνεται συνήθως ως μέση τιμή και για τα τυπικά τρανζίστορ ενός λογικού κυκλώματος (όχι για τρανζίστορ εξόδου με αυξημένη δυνατότητα παροχής ρεύματος) είναι της τάξης του kΩ.

Κατά τη μετάβαση από τη μία λογική κατάσταση στην άλλη, τα τρανζίστορ ενός ψηφιακού κυκλώματος βρίσκονται στιγμιαία στην περιοχή κορεσμού. Στην περιοχή αυτή μία μικρή αλλαγή της τάσης της πύλης V_{GS} προκαλεί μεγάλη αλλαγή στο ρεύμα I_{DS} , βοηθώντας το λογικό κύκλωμα να αλλάξει γρήγορα κατάσταση.

Η ταχύτητα λειτουργίας του τρανζίστορ MOSFET ως "διακόπτη" καθορίζεται από τις παρασιτικές χωρητικότητες, οι οποίες σχηματίζονται μεταξύ των διαφόρων τμημάτων του (σχήμα 3-5). Οι χωρητικότητες αυτές προκαλούν ροή ρεύματος κατά τη φόρτιση και εκφόρτισή τους και καθορίζουν την καθυστέρηση διάδοσης των λογικών σημάτων. Η σημαντικότερη παρασιτική χωρητικότητα είναι αυτή που σχηματίζεται μεταξύ της πύλης και των υπόλοιπων τμημάτων του τρανζίστορ, η οποία καθορίζει το φορτίο που απαιτείται για να μετακινηθεί από/προς την πύλη για να αλλάξει κατάσταση ο "διακόπτης". Η χωρητικότητα της πύλης μεταβάλλεται δυναμικά ανάλογα με την περιοχή λειτουργίας



Σχήμα 3-5

του τρανζίστορ. Οι χωρητικότητες μεταξύ καταβόθρας ή πηγής και του υποστρώματος έχουν μικρότερο μέγεθος και σημασία.

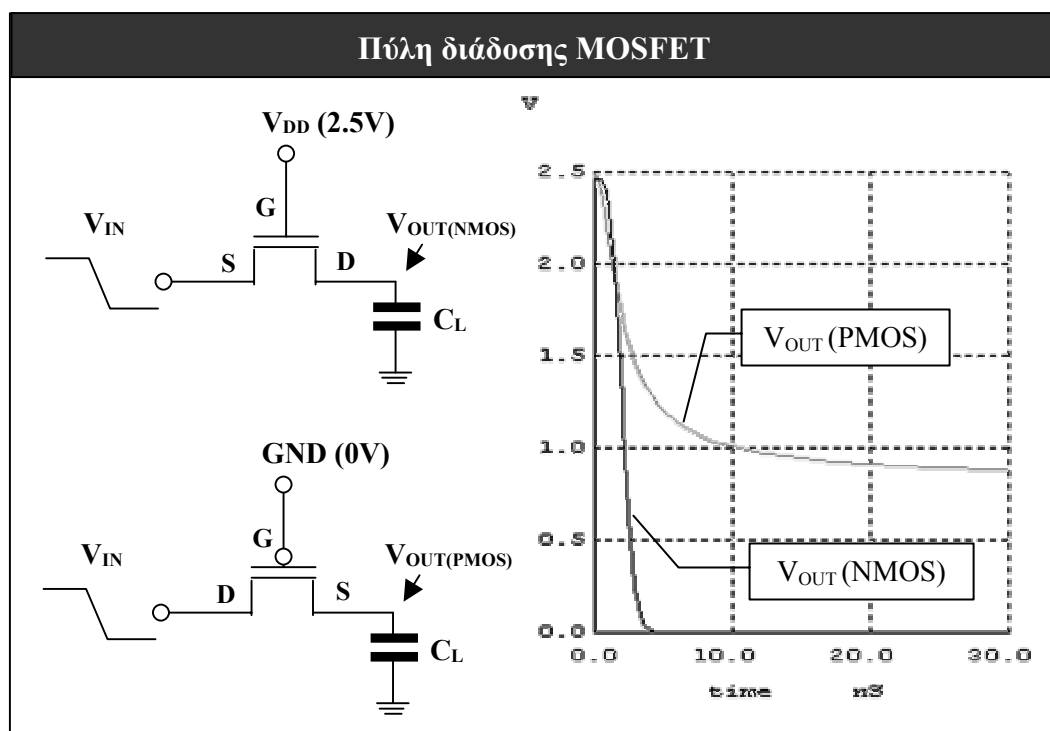
3.2.3 Βασικές δομές με το τρανζίστορ MOSFET.

Τα τρανζίστορ MOSFET (NMOS και PMOS) χρησιμοποιούνται σε ορισμένες βασικές διατάξεις για την υλοποίηση σύνθετων λογικών συναρτήσεων. Δύο από τις διατάξεις αυτές, οι *πύλες διάδοσης* (transmission/pass gates) και τα *στοιχεία ανύψωσης/καταβύθισης δυναμικού* (pullup/pulldown devices) περιγράφονται στη συνέχεια.

3.2.3.1 Πύλη διάδοσης.

Ένα τρανζίστορ MOSFET χρησιμοποιείται ως πύλη διάδοσης για να ελέγξει τη μετάδοση μίας λογικής στάθμης ανάμεσα στους ακροδέκτες της πηγής και της καταβόθρας ανάλογα με την τάση που εφαρμόζεται στην πύλη του τρανζίστορ.

Το τρανζίστορ NMOS επιτρέπει τη διάδοση του σήματος όταν στην πύλη του εφαρμόζεται υψηλή λογική στάθμη (V_{DD}), ενώ βρίσκεται στην αποκοπή όταν η πύλη του συνδέεται στην χαμηλή στάθμη (GND). Το αντίστροφο ισχύει για το τρανζίστορ PMOS. Τα δύο είδη τρανζίστορ δεν μπορούν όμως να μεταφέρουν το ίδιο αποδοτικά (χωρίς υποβάθμιση της λογικής στάθμης) την χαμηλή και την υψηλή στάθμη.

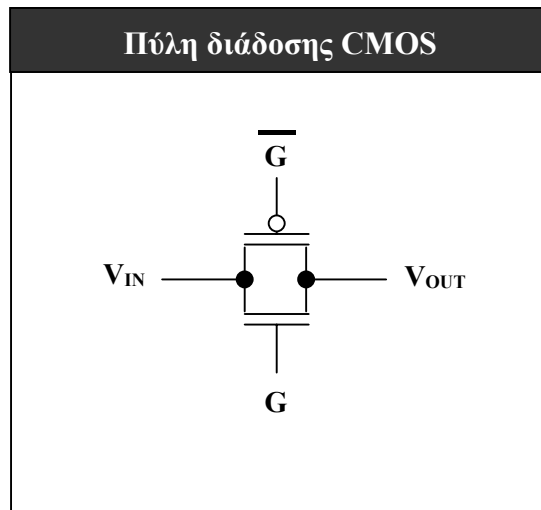


Σχήμα 3-6

Στο σχήμα 3-6 απεικονίζονται δύο τρανζίστορ (NMOS και PMOS) κατά τη διάδοση της χαμηλής λογικής στάθμης από την είσοδό τους προς την έξοδο, η οποία είναι συνδεδεμένη σε ένα χωρητικό φορτίο C_L . Αρχικά η είσοδος και η έξοδος βρίσκονται σε υψηλή λογική στάθμη, ενώ στις πύλες των δύο τρανζίστορ εφαρμόζεται η κατάλληλη τάση, έτσι ώστε αυτά να άγουν. Όταν η στάθμη εισόδου γίνει χαμηλή, τότε ο C_L εκφορτίζεται μέσω των τρανζίστορ και η έξοδος βαθμιαία μειώνεται. Για το NMOS η τάση V_{GS} είναι πάντα μεγαλύτερη από το V_T και έτσι το τρανζίστορ άγει συνεχώς εκφορτίζοντας τον C_L μέχρι η έξοδος να αποκτήσει τη

χαμηλή λογική στάθμη. Δεν ισχύει όμως το ίδιο για το PMOS, όπου η (αρνητική) τάση V_{GS} αυξάνεται και κάποια στιγμή ξεπερνά το (αρνητικό) V_T του PMOS, με αποτέλεσμα το τρανζίστορ να σταματήσει να άγει πριν η έξοδος αποκτήσει την τελική χαμηλή στάθμη. Από το διάγραμμα του σχήματος 3-6 είναι φανερό ότι το PMOS δεν μπορεί να μεταδώσει τη χαμηλή λογική στάθμη.

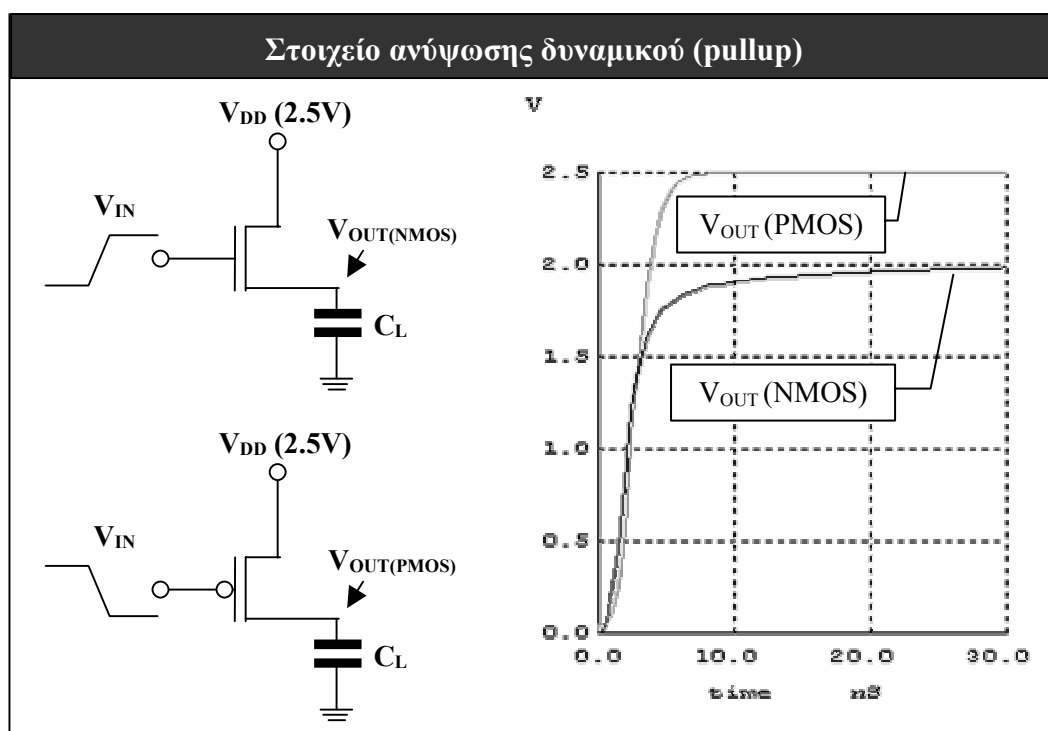
Το αντίστροφο ισχύει για τη διάδοση την υψηλής λογικής στάθμης, όπου το τρανζίστορ NMOS αυτή τη φορά αδυνατεί να μετάδοση την πλήρη υψηλή λογική στάθμη V_{DD} . Για τη πλήρη διάδοση τόσο της υψηλής, όσο και της χαμηλής στάθμης, μπορούν να συνδεθούν μαζί ένα PMOS και ένα NMOS τρανζίστορ, με τις πύλες τους να οδηγούνται από το συμπληρωματικό σήμα ελέγχου (σχήμα 3-7). Ο συνδυασμός αυτός των συμπληρωματικών ιδιοτήτων των τρανζίστορ NMOS και PMOS είναι η βάση της τεχνολογίας CMOS (συμπληρωματικό-complementary MOS), όπως θα φανεί και στη συνέχεια.



Σχήμα 3-7

3.2.3.2 Στοιχείο ανύψωσης-καταβύθισης δυναμικού.

Το τρανζίστορ MOSFET μπορεί να χρησιμοποιηθεί ως ενεργό στοιχείο για την ανύψωση (pullup) ή καταβύθιση (pulldown) της τάσης ενός κόμβου, συνδέοντας τον κόμβο με το V_{DD} ή το GND αντίστοιχα, υπό τον έλεγχο της τάσης που εφαρμόζεται στην πύλη του τρανζίστορ.



Σχήμα 3-8

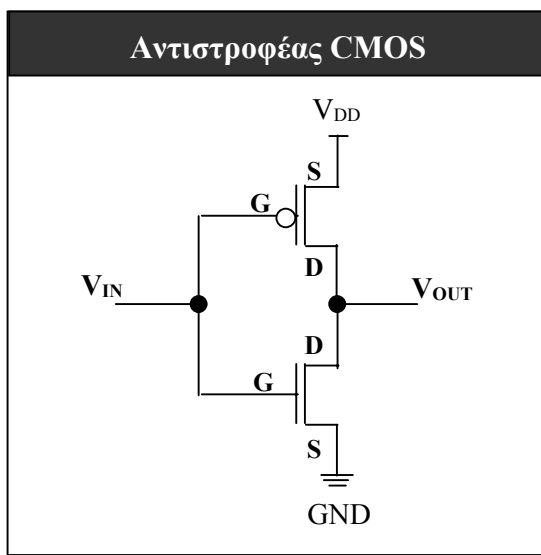
Σε αναλογία με την πύλη διάδοσης, η οποία παρουσιάστηκε προηγουμένως, το τρανζίστορ NMOS μπορεί να οδηγήσει έναν κόμβο σε ισχυρή χαμηλή στάθμη (GND) αλλά παράγει ασθενή υψηλή στάθμη (μικρότερη από $V_{DD}-V_T$). Αντιστρόφως, το τρανζίστορ PMOS παράγει ισχυρή υψηλή λογική στάθμη (V_{DD}) αλλά ασθενή χαμηλή στάθμη (μεγαλύτερη από $|V_T|$). Στο σχήμα 3-8 απεικονίζεται η τελική στάθμη ενός φορτίου C_L όταν οδηγείται στο V_{DD} (2.5V) από ένα NMOS και ένα PMOS τρανζίστορ.

Χρησιμοποιώντας ένα τρανζίστορ NMOS για καταβύθιση (pulldown) της τάσης και ένα PMOS για την ανύψωση (pullup) αυτής, υλοποιείται ένας αντιστροφέας CMOS, ο οποίος είναι το δομικό στοιχείο της τεχνολογίας CMOS. Ο αντιστροφέας αυτός εξετάζεται στη συνέχεια.

3.3 Ο αντιστροφέας CMOS.

Στο σχήμα 3-9 απεικονίζεται ο αντιστροφέας CMOS, ο οποίος αποτελεί τη βάση υλοποίησης των λογικών κυκλωμάτων τεχνολογίας CMOS. Τα χαρακτηριστικά λειτουργίας του αντιστροφέα μπορούν να προσδιορίσουν τη λειτουργία όλων των σύνθετων λογικών κυκλωμάτων CMOS.

Ο αντιστροφέας αποτελείται από δύο τρανζίστορ MOSFET: ένα PMOS και ένα NMOS. Η είσοδος V_{IN} συνδέεται στις πύλες των δύο τρανζίστορ, ενώ η έξοδος V_{OUT} είναι συνδεδεμένη στις καταβόθρες (drain) τους. Η πηγή του NMOS συνδέεται στη γείωση (GND) και του PMOS στο V_{DD} . Υπενθυμίζεται ότι το υπόστρωμα (body) του PMOS συνδέεται στο V_{DD} , ενώ του NMOS στη γείωση.



Σχήμα 3-9

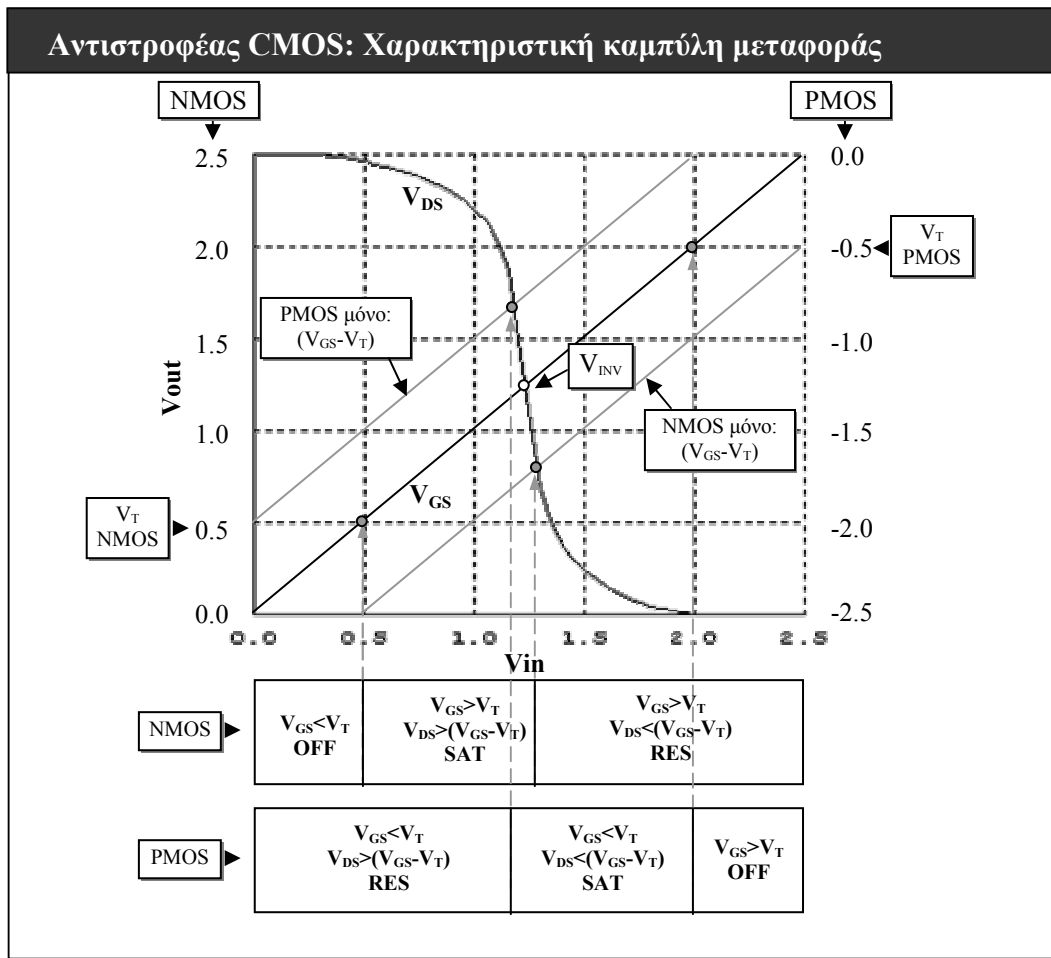
Η λειτουργία του αντιστροφέα σε γενικές γραμμές είναι η ακόλουθη: όταν η είσοδος V_{IN} είναι σε χαμηλή λογική στάθμη (GND), το NMOS είναι σε αποκοπή, ενώ το PMOS άγει, συνδέοντας την έξοδο V_{OUT} στην υψηλή στάθμη (V_{DD}). Αντίστροφα, όταν η είσοδος είναι σε υψηλή στάθμη, το PMOS είναι σε αποκοπή και το NMOS άγει, συνδέοντας έτσι την έξοδο στη γείωση.

Από το σχήμα 3-9 φαίνεται ότι:

α) $V_{GS(NMOS)} = V_{IN}$ και $V_{DS(NMOS)} = V_{OUT}$.

β) $V_{GS(PMOS)} = V_{IN} - V_{DD}$ και $V_{DS(PMOS)} = V_{OUT} - V_{DD}$ (αρνητικές τιμές).

Στο σχήμα 3-10 που ακολουθεί, απεικονίζεται η χαρακτηριστική καμπύλη μεταφοράς (η τάση εξόδου V_{OUT} ως προς την τάση εισόδου V_{IN}) ενός αντιστροφέα CMOS με $V_{DD}=2.5V$, $V_{T(NMOS)}=0.5V$ και $V_{T(PMOS)}=-0.5V$. Στο ίδιο σχήμα σημειώνονται οι τάσεις V_{GS} και V_{DS} για τα δύο τρανζίστορ (ίδιες καμπύλες σε διαφορετικές κλίμακες για το NMOS και το PMOS).



Σχήμα 3-10

Αρχικά η τάση V_{IN} είναι μηδέν και το τρανζίστορ NMOS είναι σε αποκοπή, ενώ το PMOS βρίσκεται στην περιοχή αντίστασης. Η έξοδος V_{OUT} είναι συνδεδεμένη με το V_{DD} μέσω της αντίστασης R_{ON} του PMOS. Καθώς η τάση εισόδου υπερβαίνει την τάση κατωφλίου του NMOS, αυτό περνά στην περιοχή κορεσμού και η τάση εξόδου ως συνδυασμός των ρευμάτων των δύο τρανζίστορ αρχίζει να πέφτει.

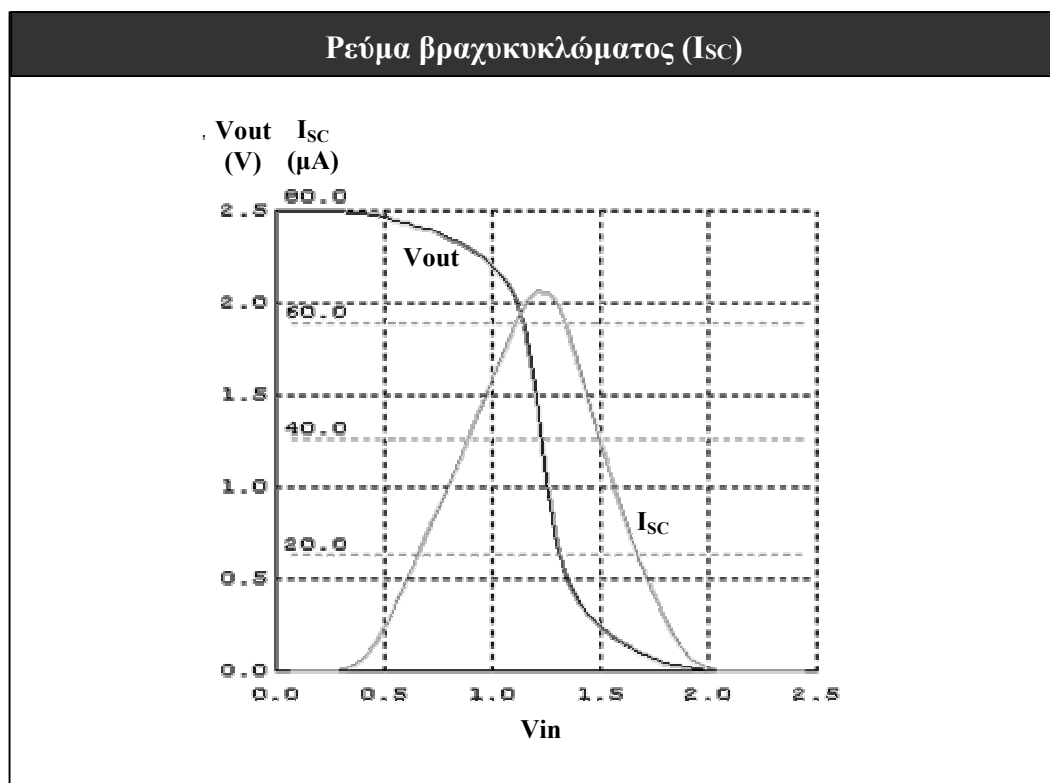
Στη συνέχεια, και για ένα πολύ μικρό διάστημα, τα δύο τρανζίστορ βρίσκονται στον κορεσμό. Η τάση εξόδου μεταβάλλεται απότομα προσεγγίζοντας τη χαμηλή λογική στάθμη. Το σημείο όπου $V_{IN} = V_{OUT}$ ονομάζεται *τάση κατωφλίου του αντιστροφέα* (V_{INV}). Η τάση κατωφλίου V_{INV} εξαρτάται από την οδηγητική ικανότητα (παροχή ρεύματος) των δύο τρανζίστορ και δίνεται από τη σχέση:

$$V_{INV} = \frac{V_{T(NMOS)} + \sqrt{\frac{k_{PMOS}}{k_{NMOS}}} (V_{DD} + V_{T(PMOS)})}{1 + \sqrt{\frac{k_{PMOS}}{k_{NMOS}}}}$$

Με ισχυρότερο PMOS το V_{INV} αυξάνεται, ενώ με ισχυρότερο NMOS το V_{INV} μειώνεται. Ο λόγος της οδηγητικής ικανότητας των τρανζίστορ καθορίζεται κατασκευαστικά από τις διαστάσεις τους (L και W). Για να επιτευχθεί συμμετρική ικανότητα οδήγησης και V_{INV} ίσο με $V_{DD}/2$, το PMOS κατασκευάζεται 2 έως 3 φορές

μεγαλύτερο από το NMOS. Ένας αντιστροφέας με συμμετρικά χαρακτηριστικά μετάβασης επιτυγχάνει όμοιους χρόνους μετάβασης ανάμεσα στις δύο λογικές στάθμες και διαθέτει τα μέγιστα περιθώρια θορύβου.

Όπως φαίνεται και στο σχήμα 3-10, η περιοχή όπου και τα δύο τρανζίστορ βρίσκονται στον κορεσμό είναι πολύ στενή. Η περαιτέρω αύξηση της τάσης εισόδου οδηγεί σύντομα το NMOS στην περιοχή αντίστασης. Ολοκληρώνοντας τη μετάβαση της εξόδου από την υψηλή στη χαμηλή λογική στάθμη, το PMOS περνά στην περιοχή αποκοπής, αφήνοντας την έξοδο συνδεδεμένη μέσω του NMOS στη χαμηλή λογική στάθμη.



Σχήμα 3-11

Ένα σημαντικό χαρακτηριστικό του αντιστροφέα CMOS είναι το *ρεύμα βραχυκυκλώματος* I_{sc} (short-circuit ή cross-over current), το οποίο ρέει από το V_{DD} στη γείωση κατά τη στιγμή της μετάβασης από τη μία λογική κατάσταση στην άλλη (σχήμα 3-11). Το ρεύμα I_{sc} οφείλεται στο ότι τα δύο τρανζίστορ άγουν ταυτοχρόνως για ένα μικρό χρονικό διάστημα.

Η αιχμή του ρεύματος I_{sc} βρίσκεται στο μέσο της μετάβασης και καθορίζεται από το ρεύμα κορεσμού των δύο τρανζίστορ, συνεπώς είναι ανάλογο του μεγέθους τους. Το ρεύμα I_{sc} είναι επίσης ανάλογο της τάσης τροφοδοσίας V_{DD} , ενώ εξαρτάται και από την ταχύτητα αλλαγής του V_{IN} σε σχέση με την ταχύτητα αλλαγής του V_{OUT} (εάν η είσοδος αλλάζει πιο γρήγορα από την έξοδο – π.χ. αν στην έξοδο είναι συνδεδεμένο ένα μεγάλο χωρητικό φορτίο – τότε ο χρόνος κατά τον οποίο τα τρανζίστορ άγουν ταυτοχρόνως είναι συντομότερος).

3.4 Λογικές πύλες CMOS.

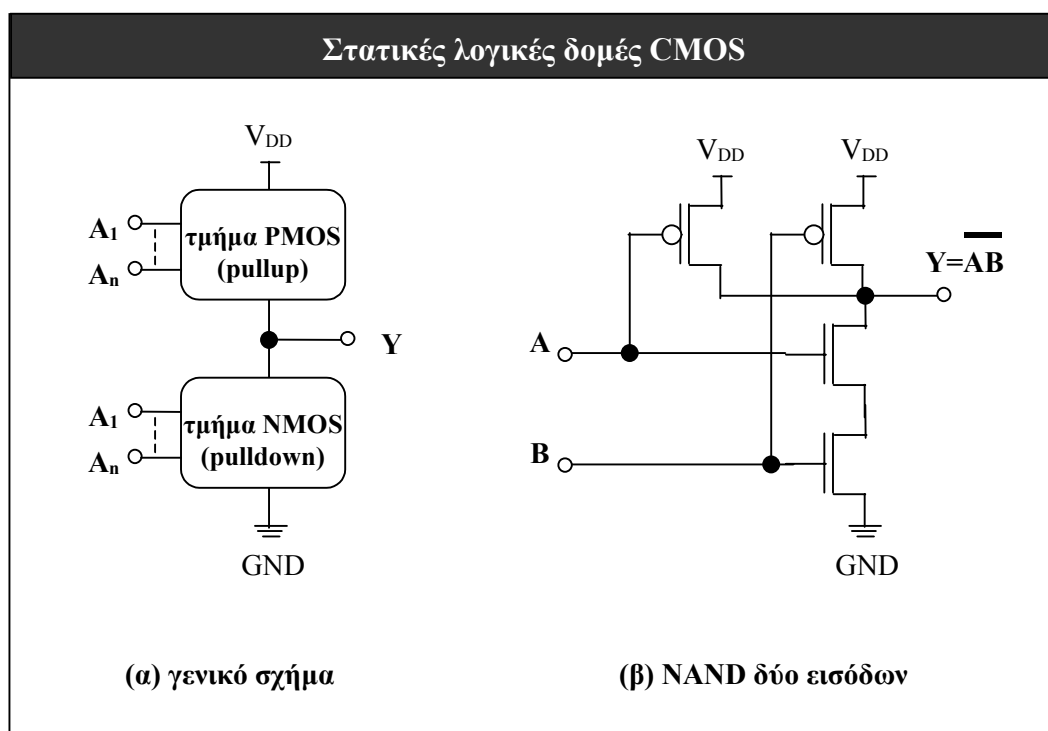
Στην παρούσα ενότητα παρουσιάζονται διάφορες τεχνικές σχεδιασμού ψηφιακών κυκλωμάτων με την τεχνολογία CMOS. Η συνηθέστερη μέθοδος υλοποίησης λογικών συναρτήσεων αποτελεί επέκταση του βασικού κυκλώματος του αντιστροφέα, ο οποίος παρουσιάστηκε στην προηγούμενη ενότητα. Η λειτουργία των κυκλωμάτων αυτών είναι *στατική*, παράγουν δηλαδή σταθερές στάθμες εξόδου όσο οι είσοδοί τους παραμένουν σταθερές.

Τα στατικά λογικά κυκλώματα CMOS είναι εύρωστα σε λειτουργία, παρουσιάζουν ελάχιστη κατανάλωση ισχύος, είναι εύκολα σε σχεδίαση και κατασκευή και αποτελούν τον συνηθέστερο τύπο ψηφιακών κυκλωμάτων CMOS.

Εκτός από τα στατικά κυκλώματα CMOS, υπάρχουν και εναλλακτικές μέθοδοι σχεδίασης λογικών κυκλωμάτων, οι οποίες όμως προτιμώνται μόνον όταν υπάρχουν ειδικές απαιτήσεις σε χώρο ή σε απόδοση.

3.4.1 Στατικές λογικές δομές CMOS.

Η υλοποίηση λογικών συναρτήσεων μέσω στατικών κυκλωμάτων CMOS είναι μία επέκταση του κυκλώματος του αντιστροφέα, όπως αυτός παρουσιάστηκε στην ενότητα 3.3. Κάθε λογική συνάρτηση υλοποιείται μέσω δύο συμπληρωματικών τμημάτων ανύψωσης (pullup) και καταβύθισης (pulldown) δυναμικού, όπως φαίνεται στο σχήμα 3-12(α).



Σχήμα 3-12

Το τμήμα καταβύθισης δυναμικού (pulldown), αποτελούμενο από NMOS τρανζίστορ, συνδέει την λογική έξοδο Y με την χαμηλή στάθμη (GND). Η συνάρτηση εξόδου υλοποιείται συνδέοντας NMOS τρανζίστορ σε σειρά, παράλληλα ή με συνδυασμό των δύο τρόπων:

α) Όταν δύο NMOS είναι συνδεδεμένα σε σειρά, σχηματίζουν ένα αγωγίμο μονοπάτι μόνον όταν και οι δύο πύλες τους βρίσκονται στην υψηλή λογική στάθμη. Η συνάρτηση αγωγιμότητας (κι όχι τάσης) αντιπροσωπεύει το λογικό-ΚΑΙ (AND).

β) Όταν δύο NMOS συνδέονται παράλληλα, υπάρχει αγωγίμο μονοπάτι όταν έστω και μία πύλη ενός τρανζίστορ βρίσκεται σε υψηλή λογική στάθμη. Η συνάρτηση αγωγιμότητας αντιπροσωπεύει το λογικό-Η (OR).

Συνδυάζοντας τρανζίστορ NMOS σε σειρά και παράλληλα υλοποιείται η επιθυμητή συνάρτηση αγωγιμότητας F . Όταν υπάρχει ένα αγωγίμο μονοπάτι μεταξύ Y και GND, τότε η έξοδος βρίσκεται στη χαμηλή λογική κατάσταση.

Το αντίθετο συμβαίνει με το τμήμα ανύψωσης δυναμικού: αποτελούμενο από τρανζίστορ PMOS, συνδέει την έξοδο στην υψηλή λογική στάθμη (V_{DD}), όταν υπάρχει ένα αγωγίμο μονοπάτι μεταξύ Y και V_{DD} . Τα τρανζίστορ PMOS συνδέονται συμπληρωματικά ως προς τα NMOS (δηλ. η σύνδεση σε σειρά γίνεται παράλληλη και το αντίστροφο) και υλοποιούν τη συνάρτηση αγωγιμότητας F' .

Οι λογικές δομές CMOS υλοποιούν μόνο αντεστραμμένες συναρτήσεις (NAND, NOR, XNOR) και χρησιμοποιούν $2N$ τρανζίστορ για N εισόδους. Για τη λήψη των μη-αντεστραμμένων συναρτήσεων πρέπει να συνδεθεί στην έξοδο ένας πρόσθετος αντιστροφέας. Στο σχήμα 3-12(β) απεικονίζεται η υλοποίηση μίας λογικής πύλης NAND δύο εισόδων.

Όπως και στην περίπτωση του αντιστροφέα CMOS, τα λογικά κυκλώματα που παρουσιάζονται στην παράγραφο αυτή διαθέτουν *στατικά* χαρακτηριστικά: σε σταθερή κατάσταση (όταν οι εισοδοί είναι σταθερές) η έξοδος Y συνδέεται είτε στο V_{DD} , είτε στο GND και αποδίδει *συνεχώς* τη συνάρτηση F που υλοποιεί. Η λειτουργία του λογικού κυκλώματος είναι *ανεξάρτητη* από τα μεγέθη των τρανζίστορ NMOS και PMOS και δεν επηρεάζεται από μικρές κατασκευαστικές αποκλίσεις.

Τα στατικά λογικά κυκλώματα CMOS παρουσιάζουν πρακτικά μηδενική κατανάλωση ισχύος σε σταθερή κατάσταση, διότι όταν οι εισοδοί και έξοδοι είναι σταθερές, δεν υπάρχει αγωγίμο μονοπάτι μεταξύ τροφοδοσίας και γείωσης, άρα ούτε και ρεύμα, το οποίο να διαρρέει το κύκλωμα (με την εξαίρεση ενός ελάχιστου ρεύματος διαρροής των τρανζίστορ σε αποκοπή, το οποίο όμως έχει τόσο μικρό μέγεθος που μπορεί να αγνοηθεί). Η κατανάλωση ισχύος είναι δυναμική και οφείλεται στο ρεύμα φόρτισης-εκφόρτισης χωρητικοτήτων και στο ρεύμα βραχυκυκλώματος, τα οποία εμφανίζονται κατά την αλλαγή κατάστασης των εξόδων.

Τα στατικά κυκλώματα CMOS εμφανίζουν ορισμένα μειονεκτήματα, ιδίως όταν ο αριθμός εισόδων του λογικού κυκλώματος (fan-in) είναι μεγάλος: τα $2N$ τρανζίστορ, τα οποία χρειάζονται για λογικά κυκλώματα N εισόδων, απαιτούν μεγάλη επιφάνεια για να κατασκευαστούν.

Επίσης μεγάλη είναι και η συνολική χωρητικότητα εξόδου του λογικού κυκλώματος, η οποία απαρτίζεται από τις χωρητικότητες της καταβόθρας (drain) όλων των τρανζίστορ που συνδέονται στην έξοδο Y . Η αυξημένη χωρητικότητα εξόδου απαιτεί ικανό φορτίο ρεύματος για τη φόρτιση-εκφόρτισή της κατά την αλλαγή κατάστασης και συνεπάγεται μειωμένη ταχύτητα του λογικού κυκλώματος.

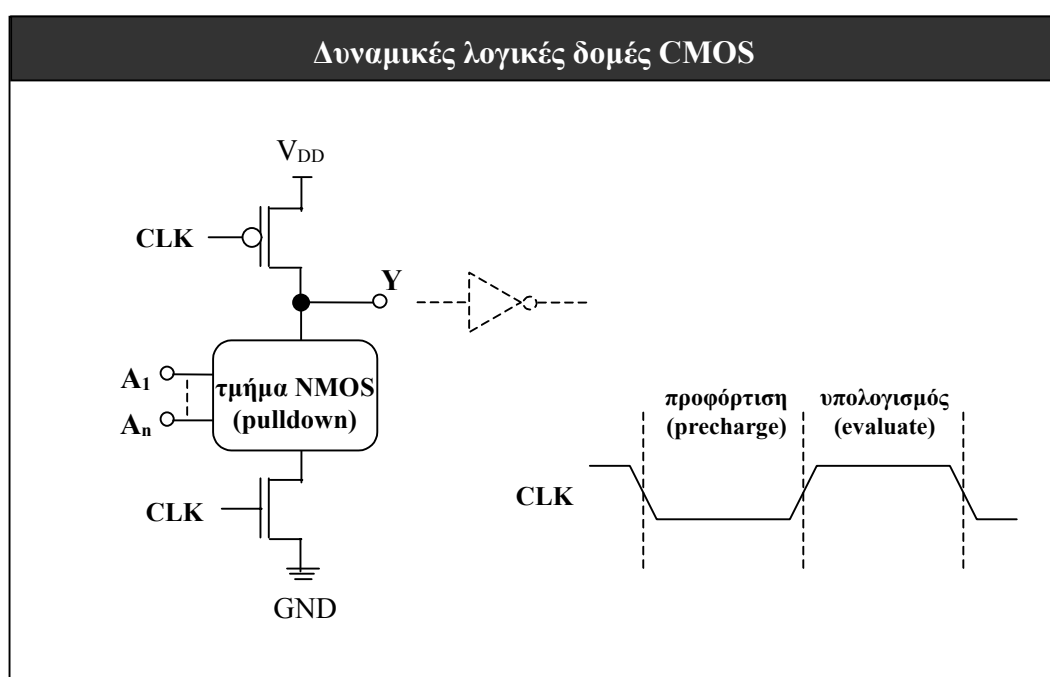
Τέλος, όταν ένας μεγάλος αριθμός τρανζίστορ συνδέεται σε σειρά, τότε η αντίσταση που παρουσιάζει το σύνολο των τρανζίστορ στην ροή του ρεύματος είναι πολλαπλάσια από την R_{ON} του ενός. Συνεπώς, το ρεύμα για τη φόρτιση-εκφόρτιση των χωρητικοτήτων του λογικού κυκλώματος ρέει δυσκολότερα, αυξάνοντας την καθυστέρηση διάδοσης του κυκλώματος.

Όσον αφορά την επίδραση του αριθμού των παρόμοιων λογικών κυκλωμάτων, τα οποία συνδέονται στην έξοδο Y (fan-out), κάθε ένα από τα οδηγούμενα κυκλώματα προσθέτει στην έξοδο τις χωρητικότητες πύλης δύο τρανζίστορ: ενός PMOS και ενός NMOS.

Τα μειονεκτήματα, τα οποία αναφέρθηκαν προηγουμένως, επηρεάζουν την απόδοση μόνον κι όχι τη λειτουργικότητα ενός στατικού κυκλώματος CMOS. Για τον λόγο αυτόν, τα στατικά λογικά κυκλώματα CMOS αποτελούν την πλειοψηφία των κατασκευαζόμενων κυκλωμάτων CMOS, λόγω της ευκολίας κατασκευής, της χαμηλής κατανάλωσης ισχύος και της εύρωστης λειτουργίας τους.

3.4.2 Δυναμικές λογικές δομές CMOS.

Η βασική ιδέα πίσω από τα δυναμικά κυκλώματα CMOS απεικονίζεται στο σχήμα 3-13. Σε σχέση με ένα στατικό λογικό κύκλωμα CMOS, εδώ έχει αφαιρεθεί το



Σχήμα 3-13

τμήμα ανύψωσης δυναμικού (pullup) και η έξοδος οδηγείται μόνο από το τμήμα με τα τρανζίστορ NMOS. Συμπληρωματικά, δύο τρανζίστορ (NMOS και PMOS), οδηγούμενα από μία κυματομορφή ρολογιού (CLK), περικλείουν το λογικό κύκλωμα.

Η λειτουργία του κυκλώματος επιτυγχάνεται σε δύο φάσεις:

α) στη φάση *προφόρτισης* (precharge), όταν το CLK είναι σε χαμηλή λογική στάθμη, οι παρασιτικές χωρητικότητες της εξόδου Y φορτίζονται μέσω του PMOS σε τάση V_{DD} . Το τρανζίστορ NMOS δεν άγει.

β) στη φάση *υπολογισμού* (evaluate), το CLK είναι σε υψηλή στάθμη, το PMOS σε αποκοπή και το NMOS άγει. Αν υπάρχει αγωγίμο μονοπάτι στο τμήμα pulldown, τότε η παρασιτική χωρητικότητα του Y εκφορτίζεται μέσω της γείωσης. Αλλιώς το Y παραμένει σε υψηλή στάθμη.

Οι λειτουργίες προφόρτισης και υπολογισμού πρέπει να διενεργούνται συνεχώς, διότι η παρασιτική χωρητικότητα του Y εκφορτίζεται με την πάροδο του χρόνου

μέσω ρευμάτων διαρροής. Για τον λόγο αυτό, λογικά κυκλώματα όμοια με του σχήματος 3-13 ονομάζονται *δυναμικά*.

Τα πλεονεκτήματα που επιτυγχάνονται με τη χρήση δυναμικών κυκλωμάτων CMOS είναι τα ακόλουθα:

α) Με την απομάκρυνση του τμήματος pullup των PMOS επιτυγχάνεται οικονομία χώρου. Για κύκλωμα N εισόδων απαιτούνται $N+2$ τρανζίστορ.

β) Οι παρασιτικές χωρητικότητες είναι μικρότερες λόγω του μειωμένου αριθμού τρανζίστορ. Αυτό καθιστά το λογικό κύκλωμα ταχύτερο.

γ) Η ταχύτητα αλλαγής κατάστασης είναι δύο με τρεις φορές μεγαλύτερη από εκείνη των στατικών CMOS. Τα τρανζίστορ NMOS είναι γρηγορότερα από τα PMOS και άγουν αμέσως μόλις η τάση της πύλης ξεπεράσει το V_T .

Η κατανάλωση ισχύος είναι μεγαλύτερη απ'ότι των στατικών κυκλωμάτων CMOS, παρόλο που δεν εμφανίζεται ρεύμα βραχυκυκλώματος. Η αύξηση της κατανάλωσης οφείλεται στο ότι το δυναμικό κύκλωμα παρουσιάζει μία σταθερή δραστηριότητα εναλλαγής καταστάσεων (λόγω των κύκλων προφόρτισης-υπολογισμού) *ακόμα και όταν οι εισοδοί δεν αλλάζουν κατάσταση*.

Τα δυναμικά λογικά κυκλώματα CMOS, αν και ταχύτερα, παρουσιάζουν δυσκολίες στη σχεδιάσή τους και έτσι χρησιμοποιούνται μόνον σε κυκλώματα ειδικών απαιτήσεων. Μερικά από τα προβλήματα των δυναμικών κυκλωμάτων είναι:

α) Η διατήρηση του φορτίου στην παρασιτική χωρητικότητα της εξόδου είναι δύσκολη λόγω των ρευμάτων διαρροής. Επίσης, το φορτίο τείνει να διαμοιράζεται μεταξύ των κόμβων του τμήματος pulldown, υποβαθμίζοντας έτσι το υψηλό σήμα εξόδου.

β) Το δυναμικό κύκλωμα απαιτεί την παραγωγή ενός σταθερού σήματος CLK.

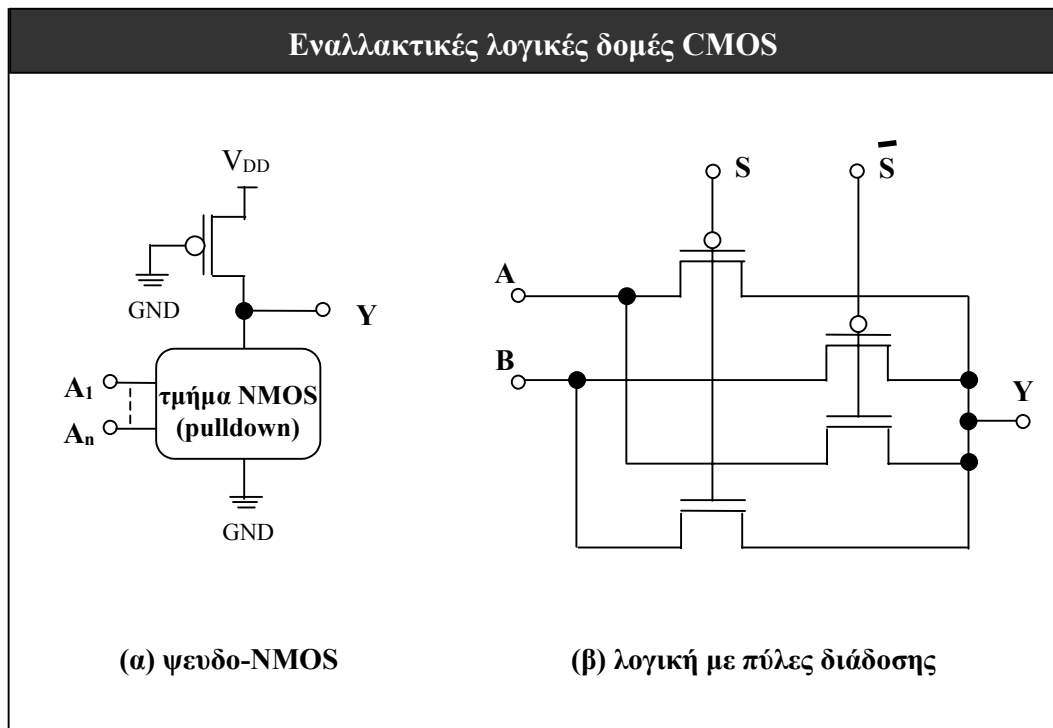
γ) Η έξοδος Y , όταν κατά τη φάση υπολογισμού δεν υπάρχει αγωγίμο μονοπάτι προς τη γείωση, δεν οδηγείται ούτε από το V_{DD} ούτε από το GND. Στο διάστημα αυτό το σήμα εξόδου είναι ευάλωτο σε παρεμβολές από γειτονικά σήματα.

δ) Κατά τη φάση υπολογισμού, οι εισοδοί ενός δυναμικού κυκλώματος οφείλουν να πραγματοποιούν μία και μόνον μετάβαση από τη χαμηλή στη υψηλή στάθμη. Αν για οποιονδήποτε λόγο μία είσοδος βρεθεί στιγμιαία λανθασμένα σε υψηλή στάθμη, υπάρχει πιθανότητα η χωρητικότητα του Y να εκφορτιστεί, χωρίς τη δυνατότητα επαναφοράς σε υψηλή στάθμη, ακόμα κι αν η συγκεκριμένη είσοδος επιστρέψει σε χαμηλή στάθμη.

Προσθέτοντας έναν αντιστροφέα στην έξοδο Y , εξασφαλίζεται ότι για σήματα εισόδου, τα οποία πραγματοποιούν μία και μόνον μετάβαση από τη χαμηλή στην υψηλή στάθμη, τότε και οι έξοδοι παρουσιάζουν τον ίδιο τύπο μετάβασης. Έτσι πολλές δυναμικές λογικές βαθμίδες μπορούν να συνδεθούν η μία στην έξοδο της άλλης, υλοποιώντας τη λεγόμενη *λογική domino*.

3.4.3 Εναλλακτικές λογικές δομές.

Εκτός από τις στατικές και δυναμικές λογικές δομές CMOS, υπάρχουν και διάφορες εναλλακτικές δομές, δύο από τις οποίες εμφανίζονται στο σχήμα 3-14.



Σχήμα 3-14

Η λογική ψευδο-NMOS (σχήμα 3-14α), χρησιμοποιεί μόνον το τμήμα NMOS (pulldown) και στη θέση του τμήματος pullup χρησιμοποιεί ένα τρανζίστορ PMOS, το οποίο άγει συνεχώς, ως απλό φορτίο. Για N εισόδους απαιτούνται $N+1$ τρανζίστορ. Σε πρώιμες τεχνολογίες μόνο με NMOS, τη θέση του PMOS καταλάμβανε ένα τρανζίστορ NMOS *αραιώσης*. Έτσι το κύκλωμα του σχήματος 3-14(α) ονομάστηκε “ψευδο-NMOS”.

Στα κυκλώματα ψευδο-NMOS το τρανζίστορ PMOS βρίσκεται μόνιμως σε αγωγή. Όταν στο τμήμα NMOS δεν υπάρχει αγωγίμο μονοπάτι προς τη γείωση η έξοδος είναι σε υψηλή λογική στάθμη (V_{DD}). Όταν όμως το τμήμα NMOS άγει, τότε η τάση εξόδου καθορίζεται από την οδηγητική ικανότητα και τον “ανταγωνισμό” μεταξύ PMOS και NMOS.

Η χαμηλή στάθμη εξόδου είναι μεγαλύτερη από GND και τα σχετικά μεγέθη (ratio) των pullup και pulldown τρανζίστορ είναι καθοριστικά για την τελική τιμή της (ratioed logic). Σε αντίθεση με τις λογικές δομές, οι οποίες παρουσιάστηκαν σε προηγούμενες παραγράφους, τα μεγέθη των τρανζίστορ καθορίζουν *όχι μόνον την απόδοση αλλά κυρίως τη λειτουργικότητα* του κυκλώματος.

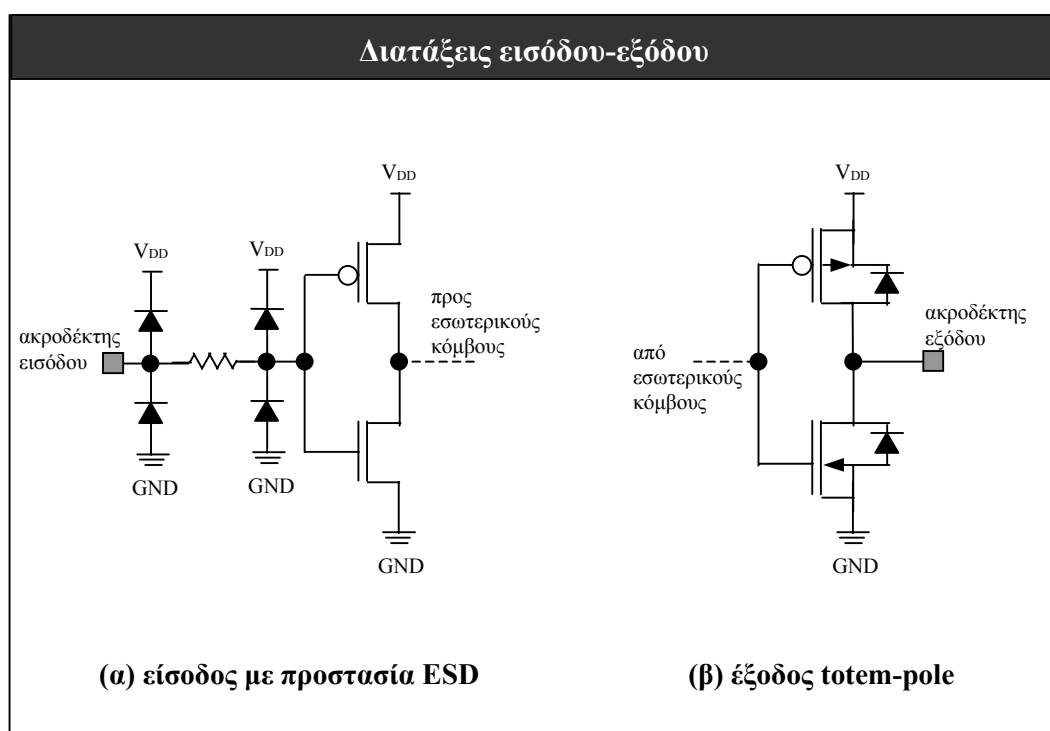
Η λογική ψευδο-NMOS χρησιμοποιείται σπανίως σήμερα, διότι καταναλώνει *στατική ισχύ*. Όταν η έξοδος είναι σε χαμηλή στάθμη, σημαντική ποσότητα ρεύματος ρέει *συνεχώς* μεταξύ τροφοδοσίας και γείωσης, μέσω του PMOS και των τρανζίστορ του τμήματος pulldown. Η σημαντική κατανάλωση ισχύος καθιστά την λογική ψευδο-NMOS ακατάλληλη για μεγάλη ολοκλήρωση.

Η λογική με πύλες διάδοσης (σχήμα 3-14β), αποτελεί μία εντελώς διαφορετική λογική δομή. Η γενική ιδέα είναι η επιλογή (πολύπλεξη) από ένα σύνολο σημάτων εισόδου, χρησιμοποιώντας τους όρους γινομένου ορισμένων σημάτων επιλογής. Τρανζίστορ PMOS χρησιμοποιούνται για να περνούν την υψηλή λογική στάθμη και NMOS για τη χαμηλή.

Οι λογικές δομές με πύλες διάδοσης υλοποιούνται με απλό σχεδιασμό και δεν παρουσιάζουν στατική κατανάλωση ισχύος. Από την άλλη πλευρά, οι εξόδοι των κυκλωμάτων αυτών δεν συνδέονται με το V_{DD} ή το GND, παρά μόνο με τις εισόδους και αυτό μέσω ενός δικτύου RC των τρανζίστορ, υποβαθμίζοντας την ποιότητα του σήματος.

3.5 Διατάξεις εισόδου-εξόδου κυκλωμάτων CMOS.

Οι διατάξεις εισόδου-εξόδου (I/O) των ολοκληρωμένων κυκλωμάτων CMOS, όπως άλλωστε όλων των ψηφιακών κυκλωμάτων, διασυνδέουν τα εσωτερικά λογικά κυκλώματα με τον “έξω κόσμο” και απαιτούν ιδιαίτερη προσοχή στη σχεδιάσή τους. Οι διατάξεις αυτές πρέπει να ανταπεξέρχονται σε τάσεις και ρεύματα πολύ μεγαλύτερα απ’όσο στους εσωτερικούς κόμβους του ολοκληρωμένου κυκλώματος. Στο σχήμα 3-15 απεικονίζονται τυπικές διατάξεις εισόδου-εξόδου CMOS.



Σχήμα 3-15

Τόσο οι βαθμίδες εισόδου, όσο και οι βαθμίδες εξόδου αποτελούνται από έναν αντιστροφέα CMOS. Για την προστασία των τρανζίστορ MOSFET από υπερτάσεις και απότομη ροή ρεύματος προστίθενται διατάξεις (δίοδοι, αντιστάσεις κ.ά, στην πραγματικότητα πολύπλοκότερες απ’ότι στο σχήμα 3-15), οι οποίες υλοποιούνται στα επίπεδα πυριτίου-μετάλλου.

Στις βαθμίδες εισόδου κύριος σκοπός της προστασίας είναι η απομάκρυνση των θετικών και αρνητικών υπερτάσεων από τις ευαίσθητες πύλες των τρανζίστορ. Στις εξόδους, οι δίοδοι αποτρέπουν το υπερβολικό ρεύμα να περάσει μέσα από την

καταβόθρα-πηγή των τρανζίστορ εξόδου. Οι δίοδοι στις βαθμίδες εξόδου (σχήμα 3-15β) σχηματίζονται *παρασιτικά* (αλλά είναι επιθυμητές) μεταξύ καταβόθρας και υποστρώματος των MOSFET, αν και συνήθως προστίθενται και επιπλέον δίοδοι προστασίας.

Η κύρια απειλή για ένα ολοκληρωμένο κύκλωμα CMOS είναι η *ηλεκτροστατική εκκένωση* (electrostatic discharge – ESD): όταν δύο σώματα με διαφορετικό στατικό ηλεκτρικό φορτίο πλησιάσουν μεταξύ τους, δημιουργείται σπινθήρας ανταλλάσσοντας στατικά φορτία μεταξύ των δύο σωμάτων. Σε ένα ολοκληρωμένο κύκλωμα αυτό μπορεί συμβεί όταν κάποιος ακροδέκτης του έρθει σε επαφή με το φορτισμένο ανθρώπινο σώμα (3-5KV) ή ένα μηχανήμα συναρμολόγησης.

Κατά τη διάρκεια της ηλεκτροστατικής εκκένωσης, τάσεις από 3KV έως και 30KV εφαρμόζονται στους ακροδέκτες του ολοκληρωμένου κυκλώματος για διάστημα μερικών ns, ενώ το ρεύμα που στιγμιαία ρέει στους ακροδέκτες ανέρχεται σε μερικά A. Χωρίς τις διατάξεις προστασίας στις βαθμίδες εισόδου-εξόδου των κυκλωμάτων CMOS, τα τρανζίστορ MOSFET συνήθως καταστρέφονται, είτε με τη διάτρηση του οξειδίου της πύλης, είτε με την υπερθέρμανση των επαφών καταβόθρας-πηγής.

Η απότομη ροή ρεύματος μπορεί επίσης να προκαλέσει ένα φαινόμενο ονομαζόμενο latchup: λόγω του τρόπου κατασκευής των MOSFET, σχηματίζονται παρασιτικά διπολικά τρανζίστορ μέσα στα επίπεδα πυριτίου. Τα τρανζίστορ αυτά, όταν “πυροδοτηθούν” από μη φυσιολογική ροή ρεύματος, σταθεροποιούνται σε αγωγή κατάσταση, βραχυκυκλώνοντας πρακτικά την τάση τροφοδοσίας με τη γείωση και καταστρέφοντας τελικά το ολοκληρωμένο κύκλωμα.

Τα σύγχρονα κυκλώματα CMOS διαθέτουν αποδοτικές διατάξεις προστασίας και είναι σχεδιασμένα με τέτοιον τρόπο, ώστε να περιορίζουν στο ελάχιστο τις παρενέργειες από φαινόμενα όπως της ηλεκτροστατικής εκκένωσης και του latchup. Ένα πρόσθετο αποτέλεσμα των διατάξεων προστασίας, είναι ο περιορισμός της στάθμης του σήματος στην είσοδο ή έξοδο σε κανονική λειτουργία κατά μία πτώση τάσης διόδου (diode drop) πέρα από τις τάσεις τροφοδοσίας.

3.5.1 Βαθμίδες εισόδου CMOS.

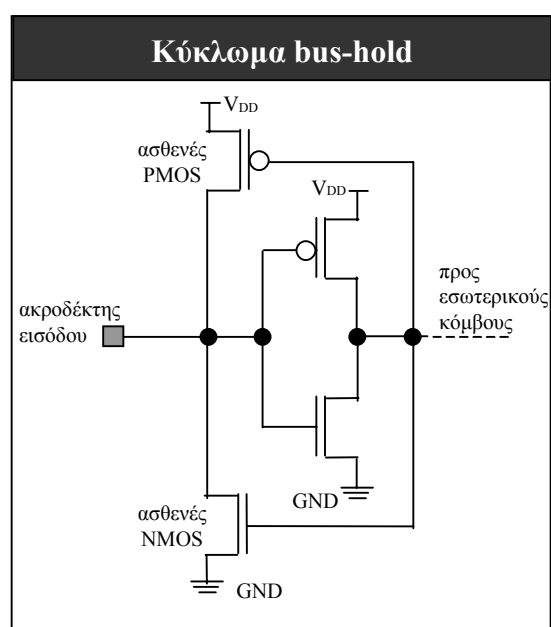
Κάθε ακροδέκτης εισόδου ενός ολοκληρωμένου κυκλώματος CMOS συνδέεται στις απομονωμένες πύλες των τρανζίστορ NMOS και PMOS. Λόγω των απομονωμένων πυλών των τρανζίστορ, η *σύνθετη αντίσταση* (εμπέδηση) εισόδου είναι πολύ μεγάλη (τυπικά $10^{12}\Omega$). Έτσι, όταν η λογική στάθμη των εισόδων παραμένει σταθερή, το ρεύμα που ρέει μέσω των εισόδων είναι πρακτικά μηδενικό (της τάξης των nA, με μέγιστη τιμή 1μA).

Στα κυκλώματα CMOS, η σημαντικότερη παράμετρος, η οποία χαρακτηρίζει κάθε είσοδο, είναι η *χωρητικότητά* της. Η χωρητικότητα εισόδου καθορίζει το απαιτούμενο ηλεκτρικό φορτίο που πρέπει να μετακινηθεί για την αλλαγή της λογικής κατάστασης. Η χωρητικότητα εισόδου *απαρτίζεται* από τις χωρητικότητες των τρανζίστορ MOSFET της βαθμίδας εισόδου, των κυκλωμάτων προστασίας και τη χωρητικότητα της συσκευασίας από τον ακροδέκτη μέχρι την επιφάνεια του πυριτίου. Τυπικές τιμές για τη χωρητικότητα εισόδου είναι τα 3-5pF, ενώ οι μέγιστες τιμές που δίνονται από τους κατασκευαστές κυμαίνονται μεταξύ 10 και 15pF.

3.5.1.1 Μη οδηγούμενες εισόδους και εισόδους αργής μετάβασης.

Οι βαθμίδες εισόδου ενός κυκλώματος CMOS πρέπει πάντοτε να οδηγούνται από ένα ισχυρό σήμα προς την υψηλή (V_{DD}) ή τη χαμηλή (GND) λογική στάθμη. Με άλλα λόγια, δεν επιτρέπεται ποτέ μία είσοδος CMOS να αφήνεται ασύνδετη “στον αέρα” (floating input). Οι απομονωμένες εισόδους των κυκλωμάτων CMOS, εάν αφεθούν ασύνδετες, είναι δυνατόν να βρεθούν στην περιοχή κατωφλίου για απεριόριστο χρονικό διάστημα. Στην περιοχή αυτή, τα τρανζίστορ PMOS και NMOS της βαθμίδας εισόδου άγουν ταυτοχρόνως προκαλώντας ένα ισχυρό ρεύμα βραχυκυκλώματος. Σε κανονικές συνθήκες (όταν μία είσοδος αλλάζει στάθμη) το ρεύμα αυτό δεν επηρεάζει τη λειτουργία του ολοκληρωμένου κυκλώματος. Όταν όμως η είσοδος βρίσκεται στην περιοχή της τάσης κατωφλίου για παρατεταμένο διάστημα, το ρεύμα βραχυκυκλώματος προκαλεί υπερθέρμανση του ολοκληρωμένου κυκλώματος. Επίσης, όταν το σήμα εισόδου βρίσκεται διαρκώς στην περιοχή κατωφλίου, οι λογικές έξοδοι τείνουν να ταλαντώνονται συνεχώς ανάμεσα στις δύο λογικές στάθμες, κάτι που μπορεί επίσης να προκαλέσει βλάβη στο ολοκληρωμένο κύκλωμα.

Για τους πιο πάνω λόγους, οι αχρησιμοποίητες εισόδους ενός κυκλώματος CMOS πρέπει να συνδέονται πάντοτε είτε στο V_{DD} , είτε στη γείωση. Στην περίπτωση διαύλων (data busses), όπου μία έξοδος μεταδίδει σήματα σε πολλές εισόδους-δέκτες, πρέπει να εξασφαλίζεται ότι ανά πάσα στιγμή ο δίαυλος θα οδηγείται από μία έξοδο. Σε αντίθετη περίπτωση, υπάρχει κίνδυνος να βρεθεί ο δίαυλος (και όλες οι εισόδους που συνδέονται σε αυτόν) “στον αέρα”. Νεώτερα ολοκληρωμένα κυκλώματα CMOS, τα οποία προορίζονται για διασύνδεση σε διαύλους, διαθέτουν ένα πρόσθετο κύκλωμα “συγκράτησης” (bus-hold) στις εισόδους τους (σχήμα 3-16). Το κύκλωμα αυτό αποτελείται από έναν “ασθενή” αντιστροφέα (ζεύγος NMOS και PMOS), ο οποίος επανατροφοδοτεί την είσοδο με το τελευταίο έγκυρο σήμα, όσο η είσοδος βρίσκεται “στον αέρα”.



Σχήμα 3-16

Για λόγους παρόμοιους με αυτούς που αναφέρθηκαν προηγουμένως, τα σύγχρονα ολοκληρωμένα κυκλώματα CMOS υψηλών ταχυτήτων είναι ευαίσθητα και στα σήματα εισόδου με αργούς ρυθμούς ανόδου-καθόδου. Η αργή μετάβαση μίας εισόδου από τη μία λογική στάθμη στην άλλη μπορεί να προκαλέσει λογικά σφάλματα ή ταλαντώσεις στην έξοδο. Αυτό οφείλεται στον θόρυβο που προκαλούν οι γρήγορες αλλαγές κατάστασης, τυπικές στα σύγχρονα κυκλώματα, στις γραμμές τροφοδοσίας.

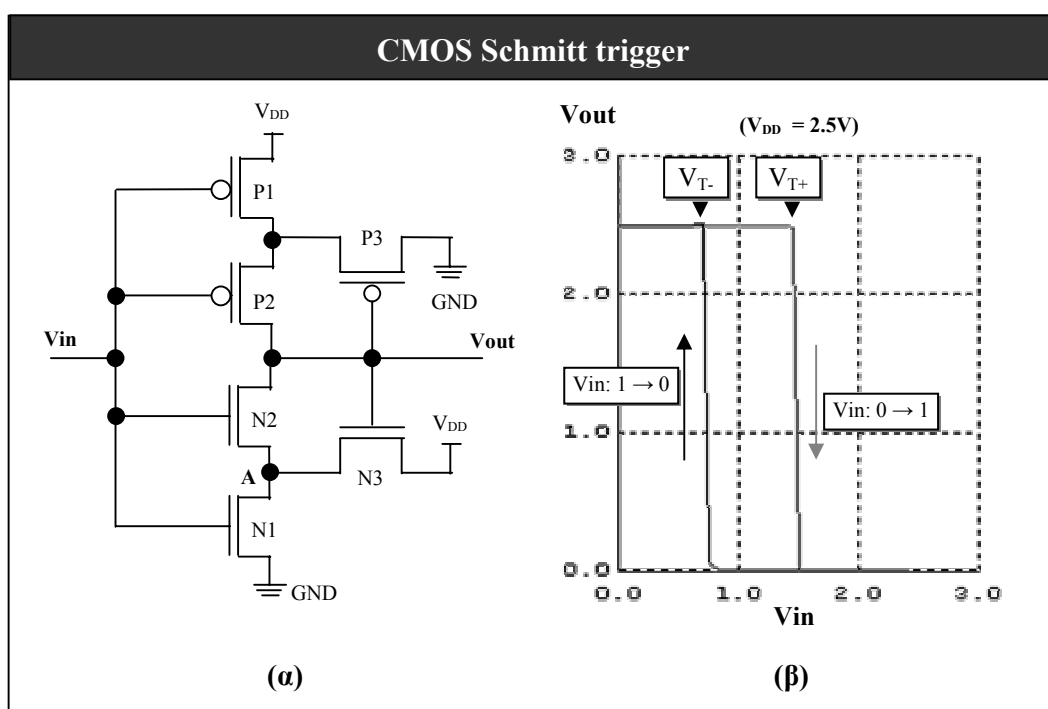
Οι γραμμές τροφοδοσίας (κυρίως η γείωση) χρησιμοποιούνται ως τάσεις αναφοράς, βάσει των οποίων αποφασίζεται αν μία είσοδος είναι σε χαμηλή ή υψηλή λογική στάθμη. Ο θόρυβος μετατοπίζει στιγμιαία την τάση κατωφλίου και έτσι μία είσοδος με πολύ αργό ρυθμό αλλαγής εύκολα μπορεί να βρεθεί στην αντίθετη λογική κατάσταση. Στη χειρότερη περίπτωση (worst-case), όταν ο θόρυβος είναι πολύ

ισχυρός, το αργό σήμα εισόδου μπορεί να βρεθεί επαναλαμβανόμενα πάνω και κάτω από την τάση κατωφλίου, προκαλώντας ταλαντώσεις στην έξοδο.

Οι κατασκευαστές των ψηφιακών κυκλωμάτων CMOS ορίζουν έναν μέγιστο χρόνο μετάβασης των σημάτων εισόδου (t_i σε ns) (για τα παλαιότερα ολοκληρωμένα κυκλώματα) ή έναν μέγιστο ρυθμό μετάβασης ($\Delta t/\Delta v$ σε ns/V) (για νεότερα κυκλώματα).

3.5.1.2 Κύκλωμα CMOS Schmitt trigger.

Για τη μετατροπή ενός αργά ανερχόμενου ή κατερχόμενου σήματος είναι δυνατόν να χρησιμοποιηθεί ένα κύκλωμα CMOS Schmitt trigger (σχήμα 3-17α).



Σχήμα 3-17

Εάν υποθεθεί ότι το V_{in} του σχήματος 3-17(α) ισούται με “0”, τότε τα P1, P2 άγουν ενώ τα N1, N2 είναι σε αποκοπή. Η έξοδος V_{out} ισούται με V_{DD} . Το τρανζίστορ N3 είναι συνδεδεμένο ως *ακολουθητής πηγής* (source follower) και μεταφέρει ένα μέρος του V_{out} στο σημείο A, ανάμεσα στα δύο τρανζίστορ NMOS. Όταν η τάση V_{in} αρχίσει να μετατοπίζεται προς το “1”, πρώτα άγει το τρανζίστορ N1, μόλις το V_{in} ξεπεράσει την τάση $V_{T(NMOS)}$. Η τάση στο σημείο A καθορίζεται από τον διαιρέτη τάσης που σχηματίζουν τα N1 και N3. Όταν το V_{in} ξεπεράσει μία ορισμένη τάση V_{T+} ($>V_{DD}/2$) τότε το N2 αρχίζει επίσης να άγει οδηγώντας την έξοδο V_{out} στο GND. Ταυτόχρονα άγει και το P3, μεταφέροντας τη χαμηλή έξοδο μεταξύ των PMOS και οδηγώντας το P2 σε αποκοπή. Η μετάβαση ολοκληρώνεται με το P1 να οδηγείται σε αποκοπή.

Η μετάβαση από το “1” στο “0” γίνεται με τον ίδιο τρόπο, με τη διαφορά ότι η αλλαγή της εξόδου συμβαίνει όταν η είσοδος ισούται με V_{T-} ($<V_{DD}/2$). Η διαφορά των δύο κατωφλίων μετάβασης ονομάζεται και “υστέρηση” (σχήμα 3-17β) και εξασφαλίζει ότι ένα αργό ή θορυβώδες σήμα δεν θα ταλαντώνεται γύρω από μία μοναδική τάση κατωφλίου, όπως συμβαίνει με τις κανονικές εισόδους CMOS.

3.5.1.3 Είσοδοι συμβατές με λογικές στάθμες TTL.

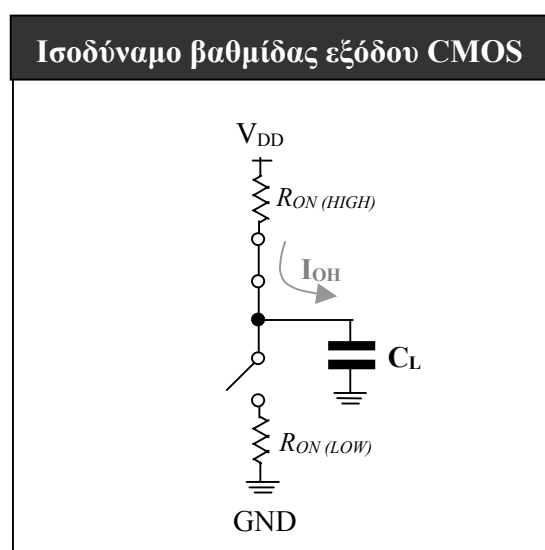
Ένα ολοκληρωμένο κύκλωμα με λογικές στάθμες εξόδου TTL ($V_{OH(min)} \approx 2.4V$) δεν μπορεί να οδηγήσει απ'ευθείας μία είσοδο CMOS ($V_{IH(min)} \approx 70\%V_{DD}$, δηλ. 3.5V για $V_{DD} = 5V$). Για λόγους συμβατότητας κατασκευάζονται είσοδοι CMOS με διαφορετική αναλογία μεγεθών για τα τρανζίστορ του αντιστροφέα της βαθμίδας εισόδου. Το τρανζίστορ NMOS μεγεθύνεται περίπου επτά φορές σε σχέση με το PMOS, μετατοπίζοντας την τάση κατωφλίου του αντιστροφέα από $V_{DD}/2$ σε 1.5V ($V_{DD} = 5V$), παρόμοια με την τάση κατωφλίου των κυκλωμάτων TTL. Η αλλαγή αυτή επιτρέπει την οδήγηση της εισόδου με στάθμες TTL. Θα πρέπει να σημειωθεί όμως ότι με τις στάθμες αυτές ($V_{OL} = 0.4V$, $V_{OH} = 2.4V$) τα δύο τρανζίστορ εν μέρει άγουν ταυτοχρόνως, αυξάνοντας την κατανάλωση ισχύος.

3.5.2 Βαθμίδες εξόδου CMOS.

Το απλό ηλεκτρικό ισοδύναμο μίας βαθμίδας εξόδου CMOS απεικονίζεται στο σχήμα 3-18. Ανάλογα με την λογική στάθμη της εξόδου ένα από τα δύο τρανζίστορ MOSFET άγει (στο σχήμα αναπαρίστανται με διακόπτες), συνδέοντας την έξοδο είτε με το V_{DD} , είτε με τη γείωση. Μέσω της αντίστοιχης ισοδύναμης αντίστασης R_{ON} ρέει ρεύμα για τη φόρτιση των χωρητικοτήτων του φορτίου, το οποίο συνδέεται στην έξοδο του κυκλώματος.

Στα ολοκληρωμένα κυκλώματα CMOS, η οδηγητική ικανότητα της εξόδου στις δύο λογικές στάθμες (δηλ. η μέγιστη δυνατή ποσότητα ρεύματος που παρέχεται στην υψηλή ή καταβυθίζεται στη χαμηλή στάθμη) είναι συμμετρικά ίσες εκ κατασκευής. Τα τρανζίστορ της βαθμίδας εξόδου έχουν μεγάλο συντελεστή κέρδους k και πολύ χαμηλή ισοδύναμη αντίσταση R_{ON} (100Ω ή και λιγότερο), επιτρέποντας την αυξημένη παροχή ρεύματος στο οδηγούμενο φορτίο. Το παρεχόμενο ρεύμα αυξάνεται όσο αυξάνεται η τάση τροφοδοσίας, ενώ *μειώνεται* με την αύξηση της θερμοκρασίας ($-0.3\% / ^\circ C$ για τυπικά κυκλώματα CMOS).

Όταν η έξοδος δεν οδηγεί κανένα φορτίο, τότε η υψηλή τάση εξόδου (V_{OH}) ισούται με V_{DD} . Στην ίδια κατάσταση, η χαμηλή τάση εξόδου (V_{OL}) ισούται με τη γείωση. Οι τάσεις αυτές χωρίς φορτίο δεν έχουν πρακτική σημασία. Για τον λόγο αυτόν, οι κατασκευαστές παραθέτουν στα φύλλα δεδομένων τις στάθμες εξόδου ($V_{OH(min)}$, $V_{OL(max)}$) με συγκεκριμένο μη-μηδενικό ρεύμα εξόδου ($I_{OH(max)}$ και $I_{OL(max)}$ αντίστοιχα).



Σχήμα 3-18

Από τις τιμές αυτές είναι δυνατός ο υπολογισμός της ισοδύναμης αντίστασης R_{ON} για τις δύο λογικές στάθμες^(*):

$$R_{ON(H)} = \frac{|V_{DD} - V_{OH(min)}|}{I_{OH}} \quad R_{ON(L)} = \frac{|GND - V_{OL(max)}|}{I_{OL}}$$

3.5.2.1 Ικανότητα οδήγησης CMOS.

Στην παρούσα ενότητα εξετάζεται η οδηγητική ικανότητα (fan-out) μίας εξόδου CMOS, όταν αυτή οδηγεί όμοια κυκλώματα (με εισόδους CMOS). Σε σταθερή λογική κατάσταση οι εισοδοί CMOS δεν διαρρέονται από ρεύμα. Θεωρητικά μία έξοδος CMOS θα μπορούσε να οδηγήσει απεριόριστο αριθμό εισόδων CMOS. Στην πραγματικότητα όμως, η οδηγητική ικανότητα στην περίπτωση αυτή εξαρτάται από τα μεταβατικά χαρακτηριστικά, τα φορτία δηλαδή που μετακινούνται κατά την αλλαγή της λογικής στάθμης της εξόδου.

Όπως φαίνεται στο σχήμα 3-18 της προηγούμενης παραγράφου, για τη μετάβαση της εξόδου από τη μία λογική στάθμη στην άλλη απαιτείται μία ποσότητα ρεύματος για τη φόρτιση/εκφόρτιση της χωρητικότητας φορτίου C_L . Η έξοδος δεν μεταβαίνει στιγμιαία στην επιθυμητή στάθμη. Αντιθέτως, η μετάβαση είναι σταδιακή και καθορίζεται από τη σταθερά χρόνου του απλού RC κυκλώματος, το οποίο σχηματίζει η R_{ON} του τρανζίστορ που άγει και η χωρητικότητα C_L . Ο χρόνος, ο οποίος απαιτείται για τη μετάβαση από τη μία στάθμη στην άλλη (από το 10% μέχρι το 90%) ισούται με:

$$T_{10\% - 90\%} = 2.2R_{ON}C_L$$

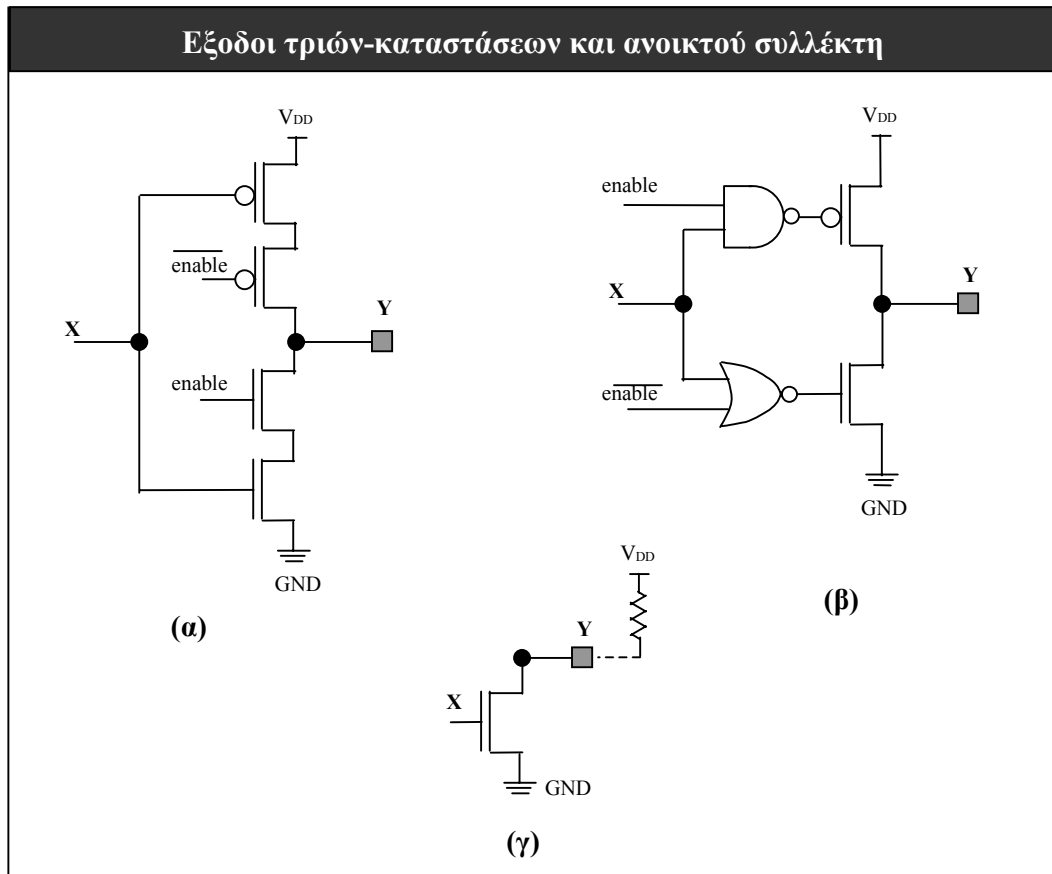
όπου η R_{ON} υπολογίζεται όπως στην προηγούμενη παράγραφο για τη χειρότερη περίπτωση (συνήθως η $R_{ON(H)}$ είναι η μεγαλύτερη τιμή), ενώ η χωρητικότητα C_L ισούται με το άθροισμα των χωρητικοτήτων των οδηγούμενων πυλών ($n * C_i$) συν την πρόσθετη χωρητικότητα της γραμμής διασύνδεσης.

Γνωρίζοντας τα ηλεκτρικά χαρακτηριστικά και τους χρονικούς περιορισμούς της εκάστοτε εφαρμογής, η παραπάνω εξίσωση μπορεί να επιλυθεί ως προς το n , καθορίζοντας το μέγιστο fan-out της συγκεκριμένης εξόδου. Ακόμα και στη θεωρητική περίπτωση όπου δεν υπάρχουν χρονικοί περιορισμοί της εφαρμογής, ισχύει ο περιορισμός του μέγιστου χρόνου μετάβασης για τις εισόδους CMOS (βλ. ενότητα 3.5.1.1). Χρησιμοποιώντας τον μέγιστο χρόνο μετάβασης (από τα φύλλα δεδομένων του κατασκευαστή) στην εξίσωση, υπολογίζεται το θεωρητικό μέγιστο fan-out για την συγκεκριμένη έξοδο CMOS.

3.5.2.2 Άλλες δομές εξόδου CMOS.

Η κλασική βαθμίδα εξόδου CMOS, η οποία παρουσιάστηκε προηγουμένως, αποτελείται από έναν συνδυασμό στοιχείων ανύψωσης (pullup) και καταβύθισης (pulldown) της τάσης εξόδου. Εκτός όμως από το σχήμα αυτό, κατασκευάζονται και έξοδοι CMOS διαφορετικής μορφολογίας, οι οποίες χρησιμοποιούνται σε ειδικές περιπτώσεις διασύνδεσης (σχήμα 3-19):

(*) Ο υπολογισμός της αντίστασης R_{ON} γίνεται κατά προσέγγιση. Στην πραγματικότητα η R_{ON} έχει δυναμική τιμή, εξαρτώμενη από την τάση εξόδου.



Σχήμα 3-19

Μία έξοδος τριών καταστάσεων μπορεί να κατασκευαστεί όπως στα σχήματα 3-19(α) και 3-19(β), απομονώνοντας τον ακροδέκτη εξόδου υπό τον έλεγχο ενός σήματος enable. Ο απομονωμένος ακροδέκτης εξόδου δεν οδηγείται προς το VDD ή το GND, αλλά παρουσιάζει χωρητικότητα εξόδου.

Στο σχήμα 3-19(γ) απεικονίζεται μία βαθμίδα εξόδου χωρίς το PMOS τρανζίστορ για την ανύψωση της τάσης. Εδώ απαιτείται μία εξωτερική αντίσταση pullup προς το VDD για τη δημιουργία της υψηλής λογικής στάθμης. Η διάταξη αυτή ονομάζεται έξοδος ανοικτής καταβόθρας (open-drain) κατ'αναλογία με τις εξόδους ανοικτού συλλέκτη των διπολικών τρανζίστορ και χρησιμοποιείται για την υλοποίηση wired-AND συνδέσεων.

3.6 Κατανάλωση ισχύος κυκλωμάτων CMOS.

Η συνολική κατανάλωση ισχύος ενός ολοκληρωμένου κυκλώματος CMOS απαρτίζεται από δύο συνιστώσες:

α) Την *στατική* κατανάλωση ισχύος σε κατάσταση ηρεμίας (quiescent power), η οποία εμφανίζεται στο ολοκληρωμένο κύκλωμα CMOS όταν οι είσοδοι και οι εξοδοι δεν αλλάζουν κατάσταση.

β) Τη *δυναμική* κατανάλωση ισχύος για τη φόρτιση/εκφόρτιση εσωτερικών και εξωτερικών χωρητικοτήτων κατά τη διάρκεια των μεταβάσεων των εξόδων μεταξύ των δύο λογικών σταθμών.

Στις επόμενες παραγράφους αναλύονται οι πιο πάνω συνιστώσες της κατανάλωσης ισχύος και παρατίθενται τα ιδιαίτερα χαρακτηριστικά τους.

3.6.1 Στατική κατανάλωση ισχύος.

Η στατική κατανάλωση ισχύος ενός ολοκληρωμένου κυκλώματος CMOS σε κατάσταση ηρεμίας οφείλεται κυρίως στα ρεύματα διαρροής ανάμεσα στις αντίστροφα πολωμένες περιοχές διάχυσης και του υποστρώματος. Στα κυκλώματα CMOS σε κατάσταση ηρεμίας δεν υπάρχει αγωγιμο μονοπάτι μεταξύ V_{DD} και GND. Το συνολικό ρεύμα διαρροής, το οποίο συμβολίζεται συνήθως ως $I_{CC}^{(*)}$, είναι πολύ μικρό σε μέγεθος: 10-40μΑ για ένα τυπικό λογικό κύκλωμα CMOS ή έως 200μΑ για ένα κύκλωμα μέσης ολοκλήρωσης (MSI). Η στατική κατανάλωση ισχύος P_S ισούται με το γινόμενο του ρεύματος διαρροής με την τάση τροφοδοσίας $V_{CC}^{(*)}$:

$$P_S = I_{CC} \times V_{CC}$$

Λόγω του μικρού μεγέθους του I_{CC} , η στατική κατανάλωση ισχύος εμφανίζεται αντίστοιχα πολύ χαμηλή: σε κυκλώματα μέσης ολοκλήρωσης η τυπική τιμή της στατικής κατανάλωσης ισχύος είναι 0.1-0.2 μW/πύλη. Το γεγονός αυτό καθιστά τα κυκλώματα CMOS ιδανικά για εφαρμογές χαμηλής ισχύος, έναντι των κυκλωμάτων με τρανζίστορ διπολικής επαφής, όπου καταναλώνεται σημαντική ισχύς σε κατάσταση ηρεμίας.

Όπως είναι φανερό, το ρεύμα διαρροής I_{CC} είναι ανάλογο της πολυπλοκότητας του ολοκληρωμένου κυκλώματος. Επίσης, το I_{CC} αυξάνεται όσο μεγαλύτερη είναι η θερμοκρασία. Στον πίνακα 3-2 που ακολουθεί, παρατίθενται τυπικές τιμές του I_{CC} για διάφορα είδη ολοκληρωμένων HCMOS σε ορισμένες θερμοκρασίες περιβάλλοντος (T_A):

Πίνακας 3-2: Ρεύμα διαρροής I_{CC} κυκλωμάτων HCMOS, $V_{CC}=6V$

T_A	λογικές πύλες	απομονωτές (buffers)	κυκλ. μέσης ολοκλήρωσης
25°C	2μΑ	4μΑ	8μΑ
85°C	20μΑ	40μΑ	80μΑ
125°C	40μΑ	80μΑ	160μΑ

3.6.2 Δυναμική κατανάλωση ισχύος.

Η δυναμική κατανάλωση αποτελεί το κύριο μέρος της κατανάλωσης ισχύος ενός ολοκληρωμένου κυκλώματος CMOS. Η δυναμική κατανάλωση ισχύος προκύπτει κατά τη μετάβαση του κυκλώματος από τη μία λογική στάθμη στην άλλη και οφείλεται:

α) στο ρεύμα που απαιτείται για τη φόρτιση/εκφόρτιση των εξωτερικών χωρητικοτήτων (του οδηγούμενου κυκλώματος) κατά την αλλαγή της κατάστασης των εξόδων,

β) στο αντίστοιχο ρεύμα, το οποίο απαιτείται για τη φόρτιση/εκφόρτιση των εσωτερικών κόμβων του ίδιου του κυκλώματος CMOS, και

(*) Στα φύλλα δεδομένων των κατασκευαστών χρησιμοποιούνται ισότιμα οι όροι I_{CC} και V_{CC} στη θέση των I_{DD} και V_{DD} .

γ) στο ρεύμα βραχυκυκλώματος (βλ. ενότητα 3.3), το οποίο εμφανίζεται στιγμιαία κατά την εναλλαγή κατάστασης μέσω των τρανζίστορ PMOS και NMOS.

Σε γενικές γραμμές το ρεύμα που εμφανίζεται κατά την εναλλαγή κατάστασης εξαρτάται από τη συχνότητα λειτουργίας και τους χρόνους ανόδου/καθόδου των σημάτων εισόδου.

3.6.2.1 Φόρτιση εξωτερικών χωρητικότητων.

Όταν η λογική κατάσταση μίας εξόδου CMOS αλλάζει (σχήμα 3-18), απαιτείται μία ορισμένη ποσότητα ρεύματος για τη φόρτιση ή εκφόρτιση της εξωτερικής χωρητικότητας C_L , η οποία αντιπροσωπεύει τις χωρητικότητες των οδηγούμενων κυκλωμάτων. Η αντίστοιχη ενέργεια καταναλώνεται στην ισοδύναμη αντίσταση R_{ON} της βαθμίδας εξόδου.

Η απαιτούμενη ενέργεια για έναν πλήρη κύκλο φόρτισης-εκφόρτισης ισούται με $E = C_L \cdot V_{CC}^2$ και αντίστοιχα η κατανάλωση ισχύος στη συχνότητα εναλλαγής f_o είναι $P = C_L \cdot V_{CC}^2 \cdot f_o$.

Στην περίπτωση ενός ολοκληρωμένου κυκλώματος CMOS με N εξόδους συνδεδεμένες σε φορτίο C_L η κάθε μία, με ενιαία συχνότητα εναλλαγής εξόδων f_o , η καταναλισκόμενη ισχύς για τη φόρτιση/εκφόρτιση των εξωτερικών χωρητικότητων σύμφωνα με τα παραπάνω ισούται με:

$$P_L = C_L \cdot V_{CC}^2 \cdot f_o \cdot N$$

ενώ όταν κάθε έξοδος συνδέεται σε διαφορετικό φορτίο και αλλάζει κατάσταση με διαφορετική συχνότητα:

$$P_L = \sum (C_{L(i)} \cdot f_{o(i)}) \cdot V_{CC}^2$$

Όπως είναι φανερό, για την επίτευξη χαμηλής κατανάλωσης ισχύος θα πρέπει να μειωθούν κάποιοι από τους όρους των πιο πάνω εξισώσεων, δηλαδή το χωρητικό φορτίο, η συχνότητα εναλλαγής κατάστασης ή η τάση τροφοδοσίας.

3.6.2.2 Φόρτιση εσωτερικών χωρητικότητων.

Κάθε ολοκληρωμένο κύκλωμα CMOS δαπανά ενέργεια κατά την εναλλαγή κατάστασης για τη φόρτιση ή εκφόρτιση των εσωτερικών χωρητικότητων του. Για κάθε έναν εσωτερικό κόμβο i με χωρητικότητα C_i , η καταναλισκόμενη ισχύς δίνεται από τη σχέση $P_i = C_i \cdot V_{CC}^2 \cdot f$, όπου f η συχνότητα λειτουργίας του κόμβου.

Θεωρητικά, θα μπορούσαν να αθροιστούν τα μεγέθη κάθε κόμβου για την εύρεση της συνολικής εσωτερικά καταναλισκόμενης ισχύος. Όμως ο υπολογισμός αυτός δεν μπορεί να έχει πρακτική εφαρμογή από τους χρήστες του ολοκληρωμένου κυκλώματος. Για τον λόγο αυτόν, οι κατασκευαστές παρέχουν στα φύλλα δεδομένων μία *ισοδύναμη χωρητικότητα κατανάλωσης ισχύος* C_{PD} , από την οποία υπολογίζεται η εσωτερικά καταναλισκόμενη ισχύς P_T ως εξής:

$$P_T = C_{PD} \cdot V_{CC}^2 \cdot f$$

για οποιαδήποτε συχνότητα λειτουργίας f του κυκλώματος. Η έννοια της “συχνότητας λειτουργίας” είναι διαφορετική για κάθε είδος κυκλώματος και πρέπει να υπολογίζεται προσεκτικά για την ακριβέστερη προσέγγιση της πραγματικής καταναλισκόμενης ισχύος:

α) Για απλά συνδυαστικά κυκλώματα (πύλες) μπορεί να θεωρηθεί ίση με την συχνότητα εναλλαγής της εξόδου f_o .

β) Για βαθμίδες απομόνωσης (buffers) ισούται με τη συχνότητα εισόδου του σήματος f_i (για κάθε ένα από τα σήματα εισόδου). Αν το κύκλωμα απομόνωσης διαθέτει και ρολόι, μία καλύτερη προσέγγιση δίνεται από τη σχέση $f = f_{CLK}/2 + N_i \cdot f_i$, όπου f_{CLK} η συχνότητα ρολογιού, f_i η συχνότητα εισόδου και N_i ο αριθμός των εισόδων που αλλάζουν σε συχνότητα f_i .

γ) Για κυκλώματα με καταχωρητές (flip-flops, latches) μπορεί να θεωρηθεί ίση με τη συχνότητα του ρολογιού f_{CLK} .

Σε κάθε περίπτωση, οι κατασκευαστές δίνουν συγκεκριμένες οδηγίες για τη χρήση του C_{PD} , ανάλογα με τη λειτουργικότητα του ολοκληρωμένου κυκλώματος. Συνήθως το C_{PD} δίνεται ανά πύλη κι όχι στο σύνολο του κυκλώματος.

Το C_{PD} υπολογίζεται από τον κατασκευαστή του ολοκληρωμένου κυκλώματος, μετρώντας το καταναλισκόμενο ρεύμα χωρίς εξωτερικό φορτίο για διάφορους συνδυασμούς εισόδων και συχνοτήτων λειτουργίας σε σχέση με την τάση τροφοδοσίας.

3.6.2.3 Ρεύμα βραχυκυκλώματος.

Το ρεύμα βραχυκυκλώματος εμφανίζεται κατά την αλλαγή λογικής κατάστασης λόγω της στιγμιαίας ταυτόχρονης αγωγής των τρανζίστορ PMOS και NMOS των διάφορων βαθμίδων ενός ολοκληρωμένου κυκλώματος CMOS. Το ρεύμα βραχυκυκλώματος και η αντίστοιχη καταναλισκόμενη ισχύς είναι ανάλογα της τάσης τροφοδοσίας, της συχνότητας λειτουργίας και των χρόνων ανόδου/καθόδου του σήματος εισόδου.

Παρόλο που στην περίπτωση αυτή η καταναλισκόμενη ισχύς είναι ανάλογη του V_{CC} κι όχι του V_{CC}^2 , οι κατασκευαστές ενσωματώνουν την επίδραση του ρεύματος βραχυκυκλώματος στο C_{PD} . Έτσι, ο υπολογισμός του P_T της προηγούμενης παραγράφου περιέχει και την καταναλισκόμενη ισχύ λόγω του ρεύματος βραχυκυκλώματος.

Η προσέγγιση αυτή είναι ακριβής για φυσιολογικούς χρόνους ανόδου/καθόδου των σημάτων εισόδου. Στην αντίθετη περίπτωση, η κατανάλωση ισχύος λόγω του ρεύματος βραχυκυκλώματος είναι σημαντική και δεν καλύπτεται από τον υπολογισμό μέσω του C_{PD} .

3.6.3 Συνολική κατανάλωση ισχύος.

Με βάση τα δεδομένα των προηγούμενων παραγράφων, η συνολική κατανάλωση ισχύος P ενός ολοκληρωμένου κυκλώματος CMOS ισούται με:

$$P = P_S + P_L + P_T = I_{CC} \cdot V_{CC} + \sum (C_{L(i)} \cdot f_{o(i)}) \cdot V_{CC}^2 + C_{PD} \cdot V_{CC}^2 \cdot f$$

Ο καθοριστικός παράγοντας για τη συνολική κατανάλωση ισχύος είναι η γραμμική εξάρτηση από τη συχνότητα λειτουργίας του ολοκληρωμένου κυκλώματος. Όσο αυξάνεται η συχνότητα λειτουργίας, τόσο η δυναμική κατανάλωση ισχύος σε ένα κύκλωμα CMOS γίνεται καθοριστική. Από μία ορισμένη συχνότητα και πέρα, το συνολικό ρεύμα τροφοδοσίας και η συνολική κατανάλωση ισχύος ενός κυκλώματος CMOS προσεγγίζουν τα μεγέθη ενός κυκλώματος με τρανζίστορ διπολικής επαφής (σχήμα 3-20). Τα κυκλώματα CMOS όμως διατηρούν το πλεονέκτημα στην χαμηλή κατανάλωση ισχύος για τους πιο κάτω λόγους:

α) Σε ένα σύνθετο ολοκληρωμένο κύκλωμα δεν λειτουργούν όλοι οι εσωτερικοί κόμβοι στη μέγιστη συχνότητα λειτουργίας. Έτσι, τα κυκλώματα CMOS παρουσιάζουν μειωμένη κατανάλωση ισχύος στους κόμβους χαμηλότερης συχνότητας, σε αντίθεση με τα διπολικά κυκλώματα, όπου η κατανάλωση ισχύος παραμένει για τους κόμβους αυτούς υψηλή. Η οικονομία στην κατανάλωση ισχύος μπορεί να βελτιστοποιηθεί με σωστή αρχιτεκτονική σχεδίαση χαμηλών ρυθμών εναλλαγής.

β) Η μείωση της τάσης τροφοδοσίας μπορεί να αποφέρει σημαντικά οφέλη στην κατανάλωση ισχύος, εφόσον η ισχύς εξαρτάται από το τετράγωνο του V_{CC} . Τα σύγχρονα ολοκληρωμένα κυκλώματα CMOS λειτουργούν με τάσεις τροφοδοσίας μικρότερες των 5V και επιτυγχάνουν χαμηλή συνολική κατανάλωση ισχύος σε μεγάλες συχνότητες λειτουργίας.



Σχήμα 3-20

3.6.4 Μέγιστη κατανάλωση ισχύος.

Η μέγιστη κατανάλωση ισχύος ενός ολοκληρωμένου κυκλώματος καθορίζεται από τη μέγιστη επιτρεπόμενη *θερμοκρασία επαφής* (junction temperature – T_J), της θερμοκρασίας δηλαδή εσωτερικά στο ολοκληρωμένο κύκλωμα. Η θερμοκρασία επαφής ισούται με τη θερμοκρασία περιβάλλοντος T_A , προσαυξημένη ανάλογα με την κατανάλωση ισχύος P :

$$T_J = T_A + \theta_{JA} \times P$$

όπου θ_{JA} ονομάζεται συντελεστής θερμικής αντίστασης ($^{\circ}\text{C}/\text{W}$) και εξαρτάται από τη συσκευασία (package) του ολοκληρωμένου κυκλώματος. Ο συντελεστής αυτός δίνεται από τον κατασκευαστή, όπως επίσης τα T_{JMAX} και T_A . Έτσι, είναι δυνατός ο προσδιορισμός της μέγιστης επιτρεπόμενης κατανάλωσης ισχύος (χωρίς ψύξη) του κυκλώματος:

$$P_{max} = (T_{JMAX} - T_A) / \theta_{JA}$$

3.7 Λογικές οικογένειες CMOS.

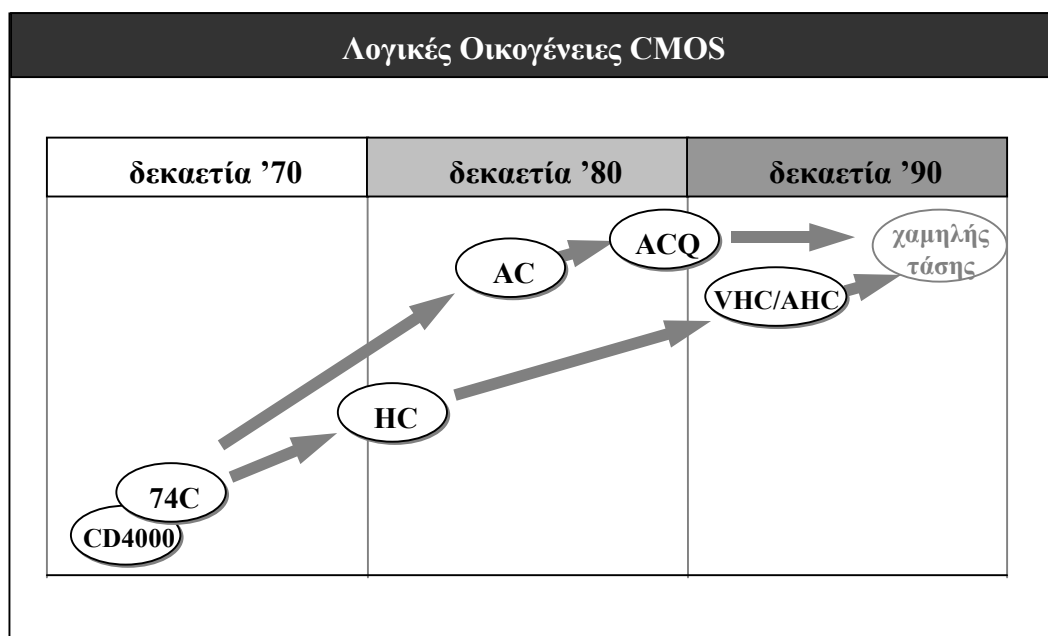
Οι λογικές οικογένειες των ολοκληρωμένων κυκλωμάτων CMOS χαρακτηρίζουν την εξέλιξη της τεχνολογίας στον τομέα αυτόν. Αρχικά κάθε σύστημα *απαρτιζόταν* από έναν μεγάλο αριθμό τυποποιημένων λογικών κυκλωμάτων (πύλες, καταχωρητές κ.λ.π.), ενώ στα σύγχρονα συστήματα το σύνολο της λειτουργικότητας συγκεντρώνεται σε λίγα ολοκληρωμένα κυκλώματα μεγάλης ολοκλήρωσης. Έτσι, οι πιο πρόσφατες λογικές οικογένειες CMOS υλοποιούν κυρίως λειτουργίες διασύνδεσης (απομονωτές-buffers και transceivers, καταχωρητές) και μεμονωμένες λογικές συναρτήσεις (μονές ή διπλές πύλες – single gates).

Στη συνέχεια περιγράφονται τα βασικά χαρακτηριστικά των λογικών οικογενειών CMOS, από τις παλαιότερες ως τις πιο πρόσφατες. Οι λογικές οικογένειες έχουν χωριστεί σε δύο κατηγορίες: στην πρώτη περιλαμβάνονται τα κυκλώματα με

συμβατική τάση τροφοδοσίας (έως και 5V), ενώ η δεύτερη κατηγορία περιλαμβάνει τις οικογένειες CMOS χαμηλής τάσης τροφοδοσίας.

3.7.1 Συμβατικές λογικές οικογένειες CMOS.

Στο σχήμα 3-21 που ακολουθεί απεικονίζονται οι βασικές κατηγορίες των λογικών οικογενειών CMOS συμβατικής τάσης τροφοδοσίας και η χρονική εξέλιξή



τους.

Σχήμα 3-21

Στις αρχές της δεκαετίας του '70 παρουσιάστηκε η πρώτη λογική οικογένεια CMOS, η σειρά CD4000. Η λογική αυτή οικογένεια προσέφερε μηδενική στατική κατανάλωση ισχύος σε σχέση με τα κυκλώματα TTL, αλλά πολύ μικρή συχνότητα λειτουργίας (έως 1MHz). Ακολούθησε η σειρά 74C με ολοκληρωμένα κυκλώματα ισοδύναμα (ακροδέκτη-προς-ακροδέκτη) με τα αντίστοιχα TTL. Οι λογικές αυτές οικογένειες υλοποιούσαν τις πύλες των τρανζίστορ MOSFET με αλουμίνιο (metal gate) και χρησιμοποιήθηκαν αποκλειστικά σε εφαρμογές χαμηλής ισχύος.

Στην δεκαετία του '80 αναπτύχθηκαν ολοκληρωμένα κυκλώματα CMOS με πύλες τρανζίστορ από πολυκρυσταλλικό πυρίτιο (poly). Η λογική οικογένεια 74HC (με επιδόσεις αντίστοιχες της σειράς TTL 74LS) και η ταχύτερη οικογένεια 74AC (με επιδόσεις αντίστοιχες των TTL 74AS) καθιερώθηκαν ως η βάση για όλες τις μετέπειτα σχεδιάσεις. Οι οικογένειες αυτές διαθέτουν και παραλλαγές (HCT, ACT) με στάθμες εισόδων TTL για διασύνδεση με τέτοιου τύπου ολοκληρωμένα κυκλώματα.

Στη δεκαετία του '90 παρουσιάστηκαν βελτιωμένες εκδόσεις της σειράς 74AC, με καλύτερα χαρακτηριστικά θορύβου εξόδων (ACQ), ενώ δύο παρόμοιες λογικές οικογένειες (VHC/AHC) βελτίωσαν τα χαρακτηριστικά της σειράς 74HC. Οι προηγμένες λογικές οικογένειες CMOS διατίθενται σε συσκευασίες με βελτιωμένα ηλεκτρικά χαρακτηριστικά.

Στη συνέχεια, η τεχνολογία μετατοπίστηκε στις λογικές οικογένειες χαμηλής τάσης τροφοδοσίας, οι οποίες όμως θα περιγραφούν σε επόμενη ενότητα.

Ακολουθούν τα βασικά χαρακτηριστικά των λογικών οικογενειών CMOS, οι οποίες αναφέρθηκαν προηγουμένως.

- **Τάση τροφοδοσίας.** Σε αντίθεση με τα κυκλώματα TTL, τα λογικά κυκλώματα CMOS τροφοδοτούνται με μία ευρύτερη περιοχή τάσεων. Στον πίνακα 3-3 που ακολουθεί απεικονίζονται οι τάσεις αυτές για τις διάφορες λογικές οικογένειες:

Πίνακας 3-3: Τάσεις τροφοδοσίας CMOS.

λογική οικογένεια	Τάση τροφοδοσίας (V_{CC})	δίνονται προδιαγραφές για
CD4000	3 - 15V	5, 10, 15V
74C	3 - 15V	5, 10, 15V
74HC	2 - 6V	2, 4.5, 6V
74AC	2 - 6V	3, 4.5, 6V
AHC/VHC	2 - 5.5V	2, 3, 4.5V

Από τη χρησιμοποιούμενη τάση τροφοδοσίας εξαρτώνται βασικά χαρακτηριστικά λειτουργίας, όπως οι λογικές στάθμες εισόδου-εξόδου και η καθυστέρηση διάδοσης (μειώνεται όσο αυξάνεται το V_{CC}). Για τον λόγο αυτόν, στα φύλλα δεδομένων των λογικών κυκλωμάτων CMOS, παρατίθενται οι προδιαγραφές λειτουργίας για ένα σύνολο διαφορετικών τάσεων τροφοδοσίας.

Οι παλαιότερες λογικές οικογένειες CMOS μπορούν να τροφοδοτηθούν με τάσεις αρκετά υψηλότερες από 5V, γι' αυτό χρησιμοποιούνται ακόμα (ιδίως η σειρά CD4000) σε απλά κυκλώματα με μπαταρίες. Οι νεώτερες οικογένειες αποδίδουν καλύτερα όταν τροφοδοτούνται στην περιοχή των 5V, ενώ για πολύ χαμηλές τάσεις τροφοδοσίας (π.χ. 2V) δεν εξασφαλίζεται πάντοτε η ορθή λογική λειτουργία.

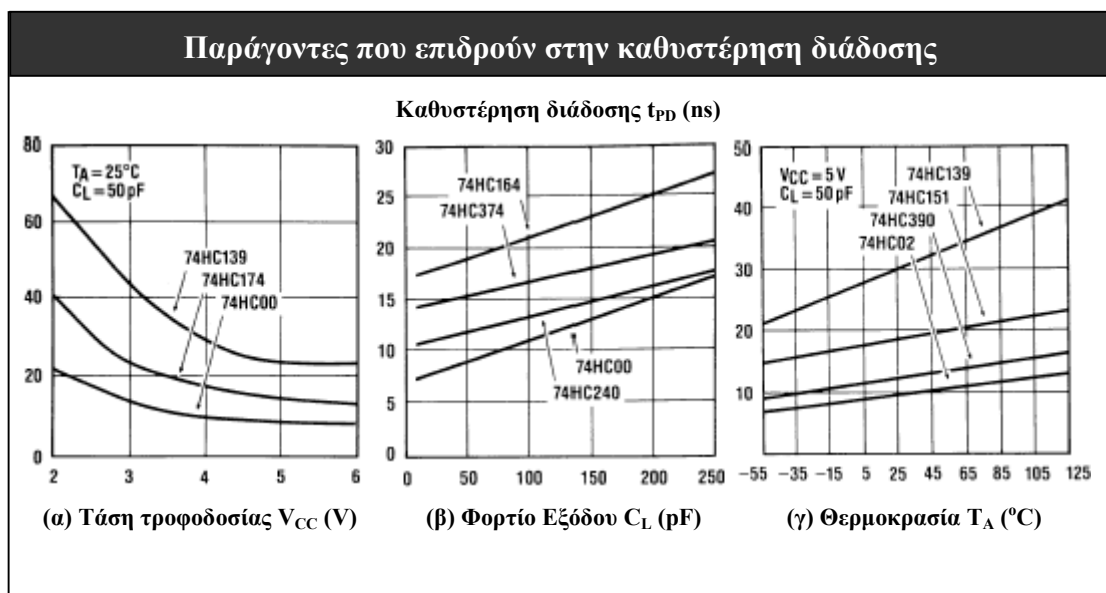
- **Οδηγητική ικανότητα.** Η ικανότητα στην παροχή ή καταβύθιση ρεύματος στις εξόδους του λογικού κυκλώματος CMOS για την οδήγηση ενός φορτίου, με την τάση εξόδου να παραμένει εντός λογικών σταθμών:

Πίνακας 3-4: Οδηγητική ικανότητα CMOS.

λογική οικογένεια	I_{OL}/I_{OH} ($V_{CC}=5V$, $C_L=50pF$)
CD4000	$\pm 0.4mA$
74C	$\pm 1.6mA$
74HC	$\pm 6mA$
74AC	$\pm 24mA$
AHC/VHC	$\pm 8mA$

Τα μεγέθη του πίνακα 3-4 αφορούν συνεχή παροχή/καταβύθιση ρεύματος. Κατά την εναλλαγή της κατάστασης της εξόδου, το ολοκληρωμένο κύκλωμα μπορεί να παρέχει στιγμιαία πολύ μεγαλύτερη ποσότητα ρεύματος.

Από τον πίνακα 3-4 είναι φανερό ότι τα κυκλώματα CMOS διαθέτουν συμμετρική ικανότητα οδήγησης σε χαμηλή και υψηλή στάθμη εξόδου. Οι παλαιότερες οικογένειες CMOS διέθεταν ελάχιστη ικανότητα οδήγησης. Η σειρά 74AC (η ταχύτερη) μπορεί να παρέχει τη μεγαλύτερη ποσότητα ρεύματος.



Σχήμα 3-22

- **Καθυστέρηση διάδοσης (t_{PD}).** Πολύ σημαντικό χαρακτηριστικό, το οποίο καθορίζει την ταχύτητα του κυκλώματος CMOS. Η καθυστέρηση διάδοσης εξαρτάται από τη θερμοκρασία, την τάση τροφοδοσίας και το φορτίο της εξόδου (σχήμα 3-22).

Πίνακας 3-5: Μέγιστη καθυστέρηση διάδοσης

λογική οικογένεια	καθυστέρηση διάδοσης t_{PD} ($V_{CC}=5V$, $C_L=50pF$)
74C	70ns
74HC	25ns
74AC	7.5ns
AHC/VHC	8.5ns

- **Λογικές στάθμες εισόδου (V_{IL} , V_{IH}).** Οι λογικές στάθμες εισόδου των ολοκληρωμένων κυκλωμάτων CMOS είναι $V_{IL} = 0.3V_{CC}$ και $V_{IH} = 0.7V_{CC}$. Οι σχέσεις αυτές δεν ισχύουν ακριβώς για πολύ μικρές τάσεις τροφοδοσίας (π.χ. με $V_{CC}=2V$, $V_{IL}=0.5V$ και $V_{IH}=1.5V$).
- **Λογικές στάθμες εξόδου (V_{OL} , V_{OH}).** Ορίζονται πάντοτε σε σχέση με συγκεκριμένες τιμές του ρεύματος εξόδου (I_{OL} , I_{OH}).

Πίνακας 3-6

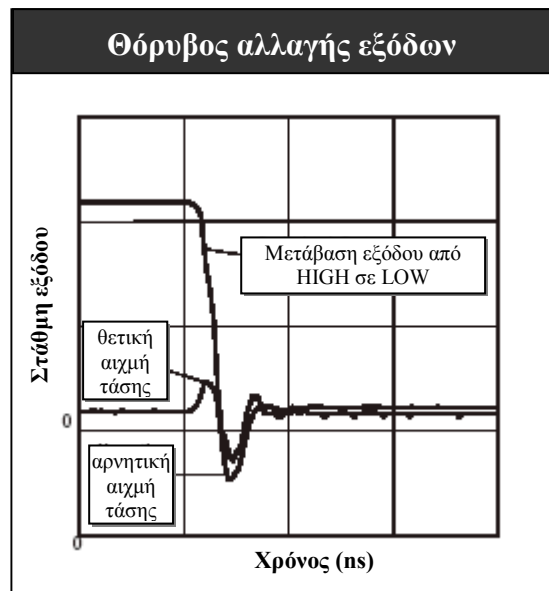
λογική οικογένεια	$V_{OH\ min}$, $V_{OL\ max}$ @ I_O , V_{CC}
74C	4.35 / 0.4V ($\pm 0.45mA$, 4.75V)
74HC	3.84 / 0.33V ($\pm 4mA$, 4.5V)
74AC	3.76 / 0.44V ($\pm 24mA$, 4.5V)
AHC/VHC	3.8 / 0.44V ($\pm 8mA$, 4.5V)

- **Θόρυβος εξόδων.** Όσο τα λογικά κυκλώματα CMOS γίνονται γρηγορότερα, τόσο οι εναλλαγές στην κατάσταση των εξόδων και η αντίστοιχη απότομη ροή ρεύματος προκαλούν παρασιτικές αιχμές τάσης σε γειτονικές εξόδους του ίδιου ολοκληρωμένου κυκλώματος. Στον πίνακα 3-7 που ακολουθεί εμφανίζονται τυπικές τιμές στιγμιαίας απόκλισης πάνω (V_{OLP}) και κάτω (V_{OLV}) από την στάθμη ηρεμίας (σχήμα 3-23) μίας σταθερής εξόδου ενός κυκλώματος '244 όταν αλλάξουν λογική στάθμη ταυτόχρονα οι υπόλοιπες επτά εξοδοί:

Πίνακας 3-7

λογική οικογένεια	V_{OLP}/V_{OLV} ($'244, C_L=50pF$)
74HC	0.5/-0.3V
74AC	1.6/-1.5V
74ACQ	0.9/-0.5V
AHC/VHC	0.6/-0.8V

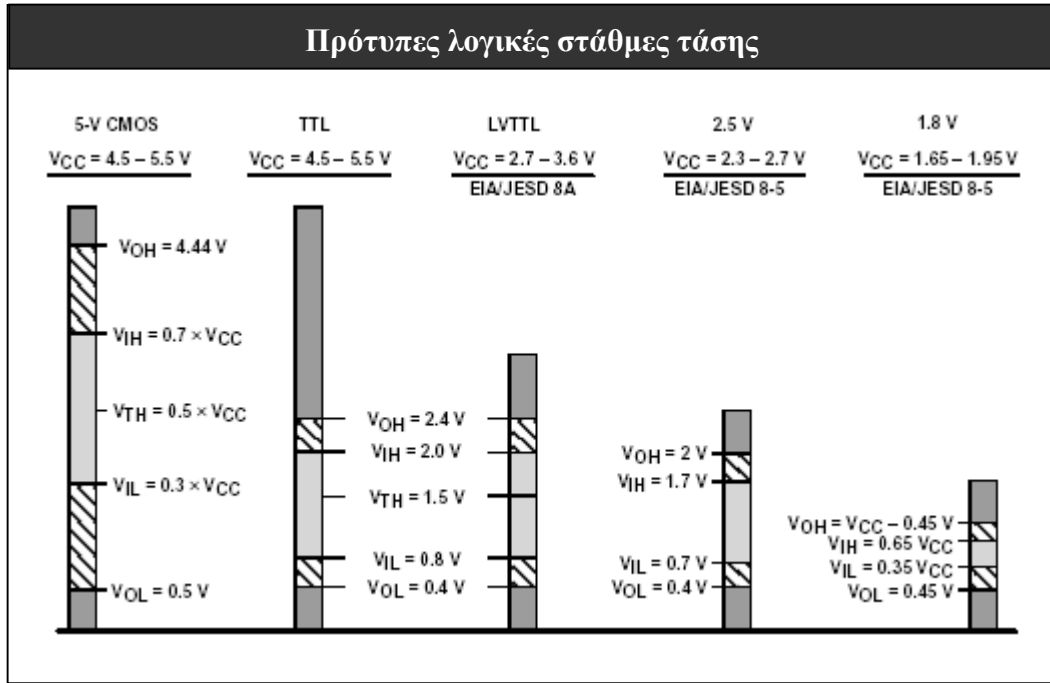
Όπως φαίνεται στον πίνακα 3-7, τον μεγαλύτερο θόρυβο εξόδων παρουσιάζει η ταχύτερη οικογένεια (74AC). Για τον λόγο αυτόν, η παραλλαγή 74ACQ (Quiet Series) χρησιμοποιεί ειδικά κυκλώματα στις βαθμίδες εξόδου, με τη βοήθεια των οποίων μεταβάλλει σταδιακά το σχήμα της κυματομορφής εξόδου, αποφεύγοντας έτσι τις απότομες μεταβολές ρεύματος που προκαλούν τον θόρυβο. Η τεχνική του ελέγχου του σχήματος της κυματομορφής εξόδου χρησιμοποιείται σε όλες τα σύγχρονα κυκλώματα CMOS.



Σχήμα 3-23

3.7.2 Λογικές οικογένειες CMOS χαμηλής τάσης τροφοδοσίας.

Στα πιο πρόσφατα λογικά ολοκληρωμένα κυκλώματα CMOS, η τάση τροφοδοσίας είναι μικρότερη από την κλασσική τάση των 5V, την οποία καθιέρωσαν τα κυκλώματα TTL. Για την τροφοδοσία των σύγχρονων κυκλωμάτων CMOS έχουν καθοριστεί τρία πρότυπα χαμηλής τάσης τροφοδοσίας: $3.3V \pm 0.3$, $2.5V \pm 0.2$ και $1.8V \pm 0.15$.



Σχήμα 3-24

Οι κύριοι λόγοι για την καθιέρωση χαμηλότερων τάσεων τροφοδοσίας είναι οι ακόλουθοι:

α) Στις τυπικές εφαρμογές των κυκλωμάτων CMOS, οι λογικές στάθμες εξόδου πρακτικά ισοούνται με τις τάσεις τροφοδοσίας (V_{CC} και GND) και η μετάβαση από τη μία λογική στάθμη στην άλλη προκαλεί δυναμική κατανάλωση ισχύος ανάλογη του V_{CC}^2 . Η μείωση του V_{CC} αποφέρει σημαντικά οφέλη στην κατανάλωση ισχύος, η οποία είναι καθοριστικός παράγοντας στα σύγχρονα κυκλώματα CMOS.

β) Οι διαστάσεις των τρανζίστορ MOSFET μειώνονται συνεχώς με την εξέλιξη της τεχνολογίας και το επίπεδο οξειδίου του πυριτίου, το οποίο απομονώνει την πύλη των τρανζίστορ, γίνεται ολοένα λεπτότερο. Έτσι, τάσεις των 5V δεν μπορούν να εφαρμοστούν πλέον στις πύλες των τρανζίστορ, χωρίς κίνδυνο διάσπασης του επιπέδου απομόνωσης.

Οι συμβατικές λογικές οικογένειες CMOS, οι οποίες περιγράφηκαν στην προηγούμενη ενότητα μπορούν να λειτουργήσουν με τάσεις τροφοδοσίας μικρότερες των 5V, με σημαντικά όμως μειωμένες επιδόσεις σε καθυστέρηση διάδοσης και οδηγητική ικανότητα, όπως δείχνει το παράδειγμα του πίνακα 3-8:

Πίνακας 3-8: Επίδραση της τάσης τροφοδοσίας στα χαρακτηριστικά λειτουργίας

Ολοκληρωμένο κύκλωμα: 74HC244	με κανονική τάση V_{CC} (4.5V)	με την ελάχιστη δυνατή V_{CC} (2V)
μέγιστη καθυστέρηση διάδοσης t_{PD}	28ns	140ns
μέγιστη οδηγητική ικανότητα $I_{OL(H)}$	6mA	0.02mA

Για την επίτευξη αυξημένων επιδόσεων σε χαμηλές τάσεις τροφοδοσίας αναπτύχθηκαν νέες λογικές οικογένειες CMOS. Οι λογικές αυτές οικογένειες ανήκουν σε δύο κύριες ομάδες, ανάλογα με την κατασκευάστρια εταιρία. Η πρώτη ομάδα (Fairchild, ON Semiconductor, Toshiba κ.ά.) προσφέρει τις λογικές οικογένειες LVX, LCX και VCX, ενώ η δεύτερη (Texas Instruments, Philips κ.α) τις λογικές οικογένειες LV, LVC, ALVC και AVC αντίστοιχα. Οι οικογένειες αναφέρονται με αύξουσα απόδοση, ενώ τα αντίστοιχα μέλη των δύο ομάδων είναι περίπου ισοδύναμα σε επιδόσεις.

Στον πίνακα 3-9 παρατίθενται τα κύρια χαρακτηριστικά τροφοδοσίας των λογικών οικογενειών χαμηλής τάσης. Θα πρέπει να παρατηρηθεί ότι κάθε οικογένεια έχει σχεδιαστεί για βέλτιστη λειτουργία σε μία συγκεκριμένη τάση V_{CC} . Η τάση βέλτιστης λειτουργίας μετατοπίζεται για τις νεώτερες οικογένειες από τα 3.3V στα 2.5V, ενώ υπάρχουν ήδη εμπορικά διαθέσιμες οικογένειες CMOS (δεν αναφέρονται εδώ) με βέλτιστη απόδοση στα 1.8V, καθώς και οικογένειες, οι οποίες λειτουργούν με τάσεις τροφοδοσίας μικρότερες του 1V.

Πίνακας 3-9: Λογικές οικογένειες CMOS χαμηλής τάσης τροφοδοσίας.

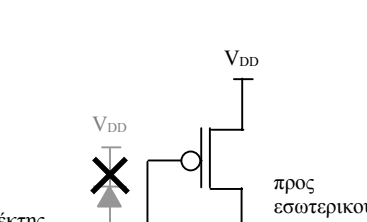
οικογένεια	LV	LVC	ALVC	AVC	LVX	LCX	VCX
V_{CC} (volts)	2-5.5	1.65-3.6	1.65-3.6	1.4-3.6	2.0-3.6	2.0-3.6	1.4-3.6
πλήρεις προδιαγραφές λειτουργίας για V_{CC}	2.5, 3.3V	2.5, 3.3V	1.8, 2.5, 3.3V	1.8, 2.5, 3.3V	3.3V	2.5, 3.3V	1.8, 2.5, 3.3V
βέλτιστη λειτουργία σε V_{CC}	3.3V	3.3V	3.3V	2.5V	3.3V	3.3V	2.5V
ανοχή σε υπερτάσεις	5V	5V	5V	3.3V	5V	5V	3.3V

3.7.2.1 Είσοδοι ανεκτικές σε υπερτάσεις.

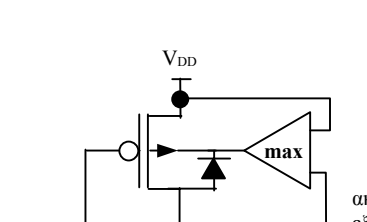
Η τελευταία γραμμή του πίνακα 3-9 απεικονίζει ένα ιδιαίτερα σημαντικό χαρακτηριστικό των οικογενειών CMOS χαμηλής τάσης: την ικανότητα των εισόδων να οδηγούνται από τάσεις μεγαλύτερες του V_{CC} . Η ιδιότητα αυτή επιτρέπει την απευθείας διασύνδεση ολοκληρωμένων κυκλωμάτων CMOS με διαφορετικές τάσεις τροφοδοσίας, όταν αυτά συνυπάρχουν στο ίδιο σύστημα. Η χρήση μικτών τάσεων τροφοδοσίας είναι συνήθης στις μεταβατικές φάσεις σχεδίασης, όπου χρησιμοποιούνται ολοκληρωμένα κυκλώματα με διαφορετικό V_{CC} .

Η απευθείας διασύνδεση ισχύει μόνον στη μία κατεύθυνση, όταν δηλαδή το οδηγούμενο κύκλωμα τροφοδοτείται με χαμηλότερη τάση V_{CC} από εκείνη του κυκλώματος οδήγησης: από το σχήμα 3-24, φαίνεται ότι για όλα τα πρότυπα V_{CC} , το V_{OL} είναι μικρότερο από το V_{IL} σε κάθε περίπτωση. Επίσης, το V_{OH} είναι μεγαλύτερο από το V_{IH} όταν το οδηγούμενο κύκλωμα έχει χαμηλότερο V_{CC} . Στην περίπτωση αυτή αρκεί η είσοδος να έχει ανοχή σε υπερτάσεις, για να είναι δυνατή η απευθείας σύνδεση.

Είσοδοι-έξοδοι ανεκτικές σε υπερτάσεις



(α) είσοδος



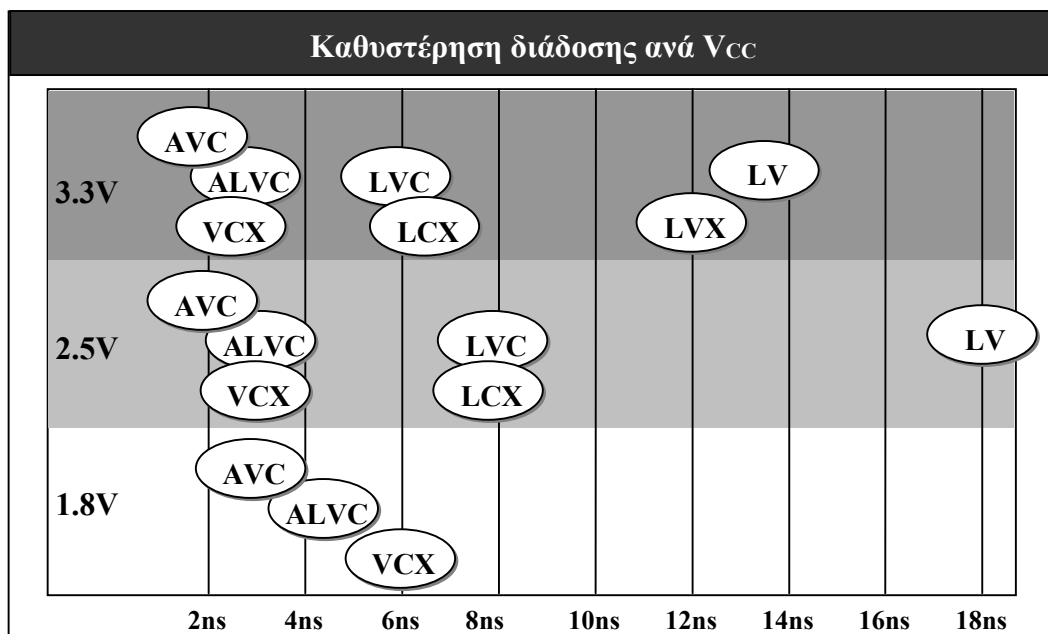
(β) έξοδος (3-state)

Η ικανότητα ανοχής υπερτάσεων επιβάλλει ορισμένες αλλαγές στη σχεδίαση των διατάξεων εισόδου CMOS, όπως φαίνεται στο σχήμα 3-25α.

Στο σχήμα 3-25β φαίνεται ότι ανοχή σε υπερτάσεις απαιτείται επίσης στις εξόδους του κυκλώματος, ιδιαίτερα σε εκείνες που συνδέονται σε διαύλους (εξοδοί τριών καταστάσεων). Εάν ο δίαυλος οδηγείται από άλλο ολοκληρωμένο κύκλωμα με στάθμη μεγαλύτερη του V_{CC} , τότε η παρασιτική χωρητικότητα του τρανζίστορ PMOS μεταξύ καταβόθρας και υποστρώματος θα πολωθεί ορθά, άγοντας σημαντική ποσότητα ρεύματος. Στο απλοποιημένο κύκλωμα του σχήματος 3-25β, μία ειδική διάταξη συγκρίνει την τάση εξόδου με το V_{CC} και οδηγεί το υπόστρωμα με τη μεγαλύτερη, αποφεύγοντας έτσι την ορθή πόλωση της παρασιτικής διόδου.

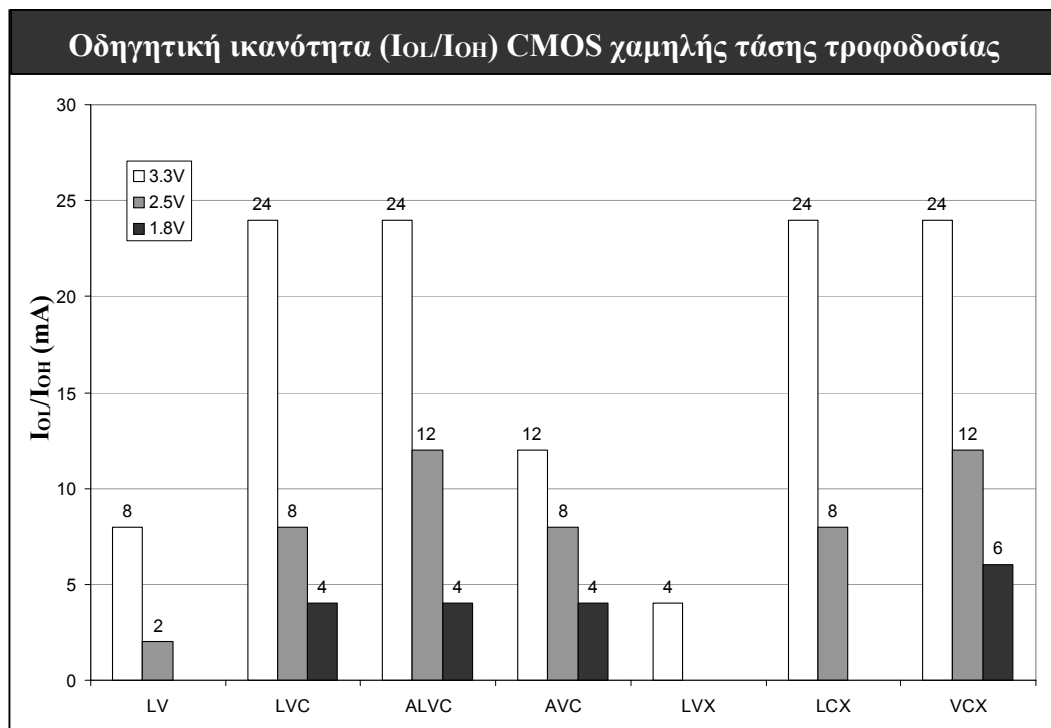
3.7.2.2 Χαρακτηριστικά οικογενειών χαμηλής τάσης τροφοδοσίας.

Ολοκληρώνοντας την παρουσίαση των λογικών οικογενειών CMOS χαμηλής τάσης τροφοδοσίας, παρατίθενται η οδηγητική ικανότητα και η ταχύτητα (καθυστέρηση διάδοσης) των κυκλωμάτων αυτών. Τα χαρακτηριστικά αυτά δίνονται για τα τρία πρότυπα επίπεδα V_{CC} (3.3, 2.5 και 1.8V).



Σχήμα 3-26

- **Καθυστέρηση διάδοσης.** Τα στοιχεία αφορούν ολοκληρωμένο κύκλωμα απομόνωσης '244. Στο σχήμα 3-26 αποδίδεται γραφικά η μέγιστη (χειρότερης-περίπτωσης) καθυστέρηση διάδοσης για φορτίο $C_L = 30\text{pF}$. Σε όλες τις περιπτώσεις η καθυστέρηση αυξάνεται όσο μειώνεται το V_{CC} , αλλά οι νεώτερες οικογένειες AVC, ALVC και VCX παρουσιάζουν μικρότερη απόκλιση στην απόδοσή τους ακόμα και στα 1.8V.
- **Οδηγητική ικανότητα.** Στο σχήμα 3-27 απεικονίζεται η οδηγητική ικανότητα (μέγιστη παροχή ρεύματος σταθερής κατάστασης χωρίς αλλοίωση των λογικών σταθμών) των διαφόρων λογικών οικογενειών χαμηλής τάσης τροφοδοσίας. Η παροχή αυτή ρεύματος είναι συμμετρική ($I_{OL}=I_{OH}$), όπως σε όλα τα κυκλώματα CMOS. Σημειώνεται ότι κατά τη μετάβαση των εξόδων από τη μία λογική κατάσταση στην άλλη, το δυναμικά παρεχόμενο ρεύμα είναι μεγαλύτερο από το εικονιζόμενο.



Σχήμα 3-27

3.8 Εξέλιξη της τεχνολογίας CMOS.

Η μεγάλη εξάπλωση των κυκλωμάτων CMOS στον τομέα της ψηφιακής λογικής οφείλεται στην συνεχώς αυξανόμενη ολοκλήρωση: από την εποχή της εισαγωγής των κυκλωμάτων CMOS έως σήμερα, η ταχύτητά τους αυξάνεται, ενώ οι διαστάσεις και το κόστος παραγωγής μειώνονται. Τα σύγχρονα κυκλώματα CMOS είναι 20 φορές γρηγορότερα και καταλαμβάνουν μόνον το 1% της επιφάνειας πυριτίου σε σχέση με τα αρχικά κυκλώματα. Η βασική μονάδα για τις διαστάσεις των τρανζίστορ MOSFET των εμπορικά διαθέσιμων ολοκληρωμένων κυκλωμάτων βρίσκεται σήμερα στα 0.18μm.

Οι βελτιώσεις συμβαίνουν με σταθερό περίπου ρυθμό, τον οποίο όμως τείνουν να μειώσουν ορισμένα θεμελιώδη τεχνολογικά όρια:

- οι συμβατικές οπτικές τεχνικές λιθογραφίας για την κατασκευή των ολοκληρωμένων κυκλωμάτων πλησιάζουν στα όριά τους, όσο μειώνονται οι διαστάσεις των τρανζίστορ. Οι απαιτούμενες νέες τεχνικές κατασκευής ενδεχομένως θα αυξήσουν σημαντικά το κόστος παραγωγής.
- η μείωση των διαστάσεων των τρανζίστορ δεν μπορεί να συνεχιστεί πέρα από κάποιο όριο: το επίπεδο απομόνωσης των πυλών δεν μπορεί να μειωθεί κάτω από τα 2nm χωρίς να χάσει τις διηλεκτρικές ιδιότητές του, ενώ για τη λειτουργία του τρανζίστορ ως διακόπτη υπολογίζεται ότι η απόσταση πηγής-καταβόθρας δεν πρέπει να είναι μικρότερη από 25nm.
- η επίδραση της θερμοκρασίας σε ολοκληρωμένα κυκλώματα πολύ μικρών διαστάσεων είναι σημαντική για βασικά χαρακτηριστικά λειτουργίας, όπως η τάση κατωφλίου και το ρεύμα διαρροής, οδηγώντας σε μη λειτουργικά τρανζίστορ.

Οι παραπάνω λόγοι οδηγούν στην πρόβλεψη ότι ο τρέχον ρυθμός ολοκλήρωσης των συμβατικών κυκλωμάτων CMOS θα ανακοπεί περίπου το 2015. Έτσι, δοκιμάζονται μία σειρά τεχνολογικών βελτιώσεων για την περαιτέρω εξέλιξη των κυκλωμάτων CMOS:

- ήδη έχουν πειραματικά κατασκευαστεί τρανζίστορ MOSFET με δομές και υλικά διαφορετικά από τα συμβατικά. Οι νέες μορφές τρανζίστορ παρουσιάζουν λειτουργικά χαρακτηριστικά σε πολύ μικρές διαστάσεις (έως και 25nm).
- εξετάζεται η δυνατότητα λειτουργίας των κυκλωμάτων CMOS σε πολύ χαμηλές θερμοκρασίες (ψύξη με υγρό άζωτο). Οι θερμοκρασίες αυτές επιτρέπουν σε ένα συμβατικό κύκλωμα CMOS να διπλασιάσει την απόδοσή του.
- νέα υλικά επιπέδων διασύνδεσης μέσα στα ολοκληρωμένα κυκλώματα ρυθμίζουν την αντίσταση και τη χωρητικότητα των γραμμών μετάδοσης, βελτιώνοντας την καθυστέρηση διάδοσης.
- σημαντική βελτίωση είναι δυνατή επίσης σε αρχιτεκτονικό επίπεδο μέσω ιεραρχικής σχεδίασης και αρτιότερης ολοκλήρωσης των διαφόρων τμημάτων ενός κυκλώματος CMOS ανάλογα με τη λειτουργικότητα και τη συχνότητα λειτουργίας.

3.9 Βιβλιογραφία και πληροφοριακό υλικό.

Βιβλιογραφία

1. P.Horowitz, W.Hill, "The Art of Electronics" 2nd ed., Cambridge University Press, 1990.
2. W.Dally, J.Poulton, "Digital Systems Engineering", Cambridge University Press, 2001.
3. N.West, K.Eshraghian, "Principles of VLSI Design, A Systems Perspective", Addison-Wesley, 1993.
4. J.Rabaey, "Digital Integrated Circuits: A Design Perspective", Prentice-Hall, 1996.
5. H.Johnson, M.Graham, "High-Speed Digital Design, A Handbook of Black Magic", Prentice-Hall, 1993.

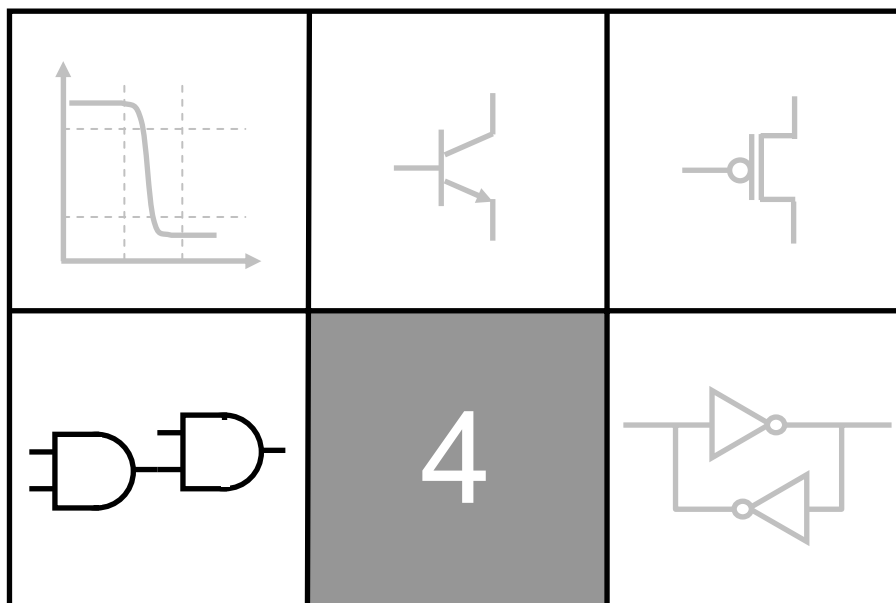
Πληροφοριακό υλικό (επιλογή).

6. R.D.Isaac, "The future of CMOS technology", IBM J. Res. Develop. vol.44 no.3, May 2000.
7. Fairchild Semiconductor, "CMOS Schmitt Trigger-A Uniquely Versatile Design Component", AN-140.
8. Fairchild Semiconductor, "CMOS, the Ideal Logic Family", AN-77, Jan 1983.
9. Fairchild Semiconductor, "AC Characteristics of MM54HC/MM74HC High-Speed CMOS", AN-317, June 1983.
10. Texas Instruments, "Implications of Slow or Floating CMOS Inputs", SCBA004C, Feb 1998.
11. IDT, "Estimating Power Dissipation in CMOS Devices", AN-154.
12. Fairchild Semiconductor, "HC-MOS Power Dissipation", AN-303, Feb 1984.
13. Texas Instruments, "CMOS Power Consumption and Cpd Calculation", SCAA035B, June 1997.
14. Texas Instruments, "Advanced High-Speed CMOS (AHC) Logic Family", SCAA034B, Jan 1998.
15. Texas Instruments, "Benefits and Issues on Migration of 5V and 3.3V Logic to Lower-Voltage Supplies", SDAA011A, Sept 1999.
16. Philips Semiconductors, "Interfacing 3V and 5V applications", AN240, Sept 1995.
17. Philips Semiconductors, "Sorting through the low voltage logic maze", AN10156, June 2002.

Πηγές σχημάτων και πινάκων.

- Σχήμα 3-20: Fairchild Semiconductor, “HC-MOS Power Dissipation”, AN-303, Feb 1984.
Σχήμα 3-22: Fairchild Semiconductor, “AC Characteristics of MM54HC/MM74HC High-Speed CMOS”, AN-317, June 1983.
Σχήμα 3-23: Texas Instruments, “Advanced High-Speed CMOS (AHC) Logic Family”, SCAA034B, Jan 1998.
Σχήμα 3-24: Texas Instruments, “Benefits and Issues on Migration of 5V and 3.3V Logic to Lower-Voltage Supplies”, SDAA011A, Sept 1999.
- Πίνακας 3-2: Fairchild Semiconductor, “HC-MOS Power Dissipation”, AN-303, Feb 1984.
Πίνακας 3-7: Fairchild Semiconductor Logic Selection Guide.
Πίνακας 3-8: Texas Instruments, “Low-Voltage-Logic-Families”, SCVAE01A.

ΣΗΜΕΙΩΣΕΙΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ



**“Διασύνδεση και χρονισμός
ψηφιακών κυκλωμάτων”**

Δ.Λιούπης – Μ.Στεφανιδάκης

Πίνακας Περιεχομένων.

4.1	Διασύνδεση ψηφιακών κυκλωμάτων.....	2
4.1.1	Βασικές αρχές διασύνδεσης.....	2
4.1.2	Διασύνδεση διαφορετικών λογικών οικογενειών.....	3
4.1.2.1	Διασύνδεση κυκλωμάτων TTL και CMOS.....	3
4.1.2.2	Διασύνδεση κυκλωμάτων CMOS χαμηλής τάσης τροφοδοσίας.....	5
4.1.2.3	Διασύνδεση κυκλωμάτων TTL/CMOS και ECL.....	5
4.1.3	Συνδεσμολογία εξόδων ανοικτού συλλέκτη.....	6
4.2	Χρονισμός ψηφιακών κυκλωμάτων.....	7
4.2.1	Κυκλώματα χρονισμού με λογικές πύλες.....	7
4.2.2	Ταλαντωτές κρυστάλλου.....	9
4.2.3	Ολοκληρωμένοι ταλαντωτές.....	11

4.1 Διασύνδεση ψηφιακών κυκλωμάτων.

Κατά τη σχεδίαση ενός ψηφιακού συστήματος προκύπτει συχνά η ανάγκη ανάμιξης λογικών κυκλωμάτων διαφορετικών τεχνολογιών και λειτουργικών χαρακτηριστικών. Για την ασφαλή διασύνδεση των κυκλωμάτων αυτών λαμβάνονται υπόψη τα λειτουργικά χαρακτηριστικά τους και εισάγονται πρόσθετα κυκλώματα μετατροπής, όπου αυτό είναι αναγκαίο. Στις παραγράφους που ακολουθούν περιγράφονται διάφορες μέθοδοι διασύνδεσης λογικών κυκλωμάτων από σημείο σε σημείο (point-to-point – από την έξοδο δηλαδή του κυκλώματος οδήγησης έως τις οδηγούμενες εισόδους), όπως επίσης και σε κοινούς διαύλους με εξόδους ανοικτού συλλέκτη.

4.1.1 Βασικές αρχές διασύνδεσης.

Η δυνατότητα διασύνδεσης δύο ή περισσότερων ψηφιακών κυκλωμάτων, με την έξοδο του ενός να οδηγεί τις εισόδους των υπολοίπων, εξαρτάται από τα ηλεκτρικά χαρακτηριστικά τους. Για να είναι επιτυχής η διασύνδεση θα πρέπει να ισχύουν ορισμένες προϋποθέσεις:

Α. Συμβατές λογικές στάθμες. Η έξοδος του κυκλώματος οδήγησης θα πρέπει να παράγει λογικές στάθμες συμβατές με τις στάθμες εισόδου των οδηγούμενων κυκλωμάτων. Εάν τα διασυνδεόμενα ψηφιακά κυκλώματα ανήκουν στην ίδια λογική οικογένεια θα έχουν συμβατές λογικές στάθμες. Στην περίπτωση όμως διασύνδεσης κυκλωμάτων από διαφορετικές λογικές οικογένειες θα πρέπει να διερευνηθεί αν εξασφαλίζεται ότι (υποθέτοντας ότι το κύκλωμα Α οδηγεί το Β):

$$\begin{aligned}V_{IH(max)}^B &> V_{OH(min)}^A > V_{IH(min)}^B \\ V_{IL(min)}^B &< V_{OL(max)}^A < V_{IL(max)}^B\end{aligned}$$

Εάν οι πιο πάνω σχέσεις ισχύουν οριακά, υπάρχει το ενδεχόμενο τα περιθώρια θορύβου υψηλής και χαμηλής κατάστασης ($NMH = V_{OH(min)}^A - V_{IH(min)}^B$ και $NML = V_{IL(max)}^B - V_{OL(max)}^A$) να είναι πολύ μικρά. Στην περίπτωση αυτή θα πρέπει να υπολογιστεί η μέγιστη αναμενόμενη στάθμη θορύβου στο σύστημα. Εάν ο αναμενόμενος θόρυβος είναι μεγαλύτερος από τα περιθώρια θορύβου, τότε η διασύνδεση θα είναι επισφαλής.

Β. Επαρκής οδηγητική ικανότητα (fanout). Το κύκλωμα οδήγησης θα πρέπει να παρέχει ή να καταβυθίζει ικανή ποσότητα ρεύματος, έτσι ώστε να ικανοποιούνται οι ανάγκες των οδηγούμενων εισόδων. Υποθέτοντας ότι η έξοδος οδηγεί n εισόδους με όμοια χαρακτηριστικά, θα πρέπει να ισχύει:

$$|I_{OL(max)}| \geq |n \cdot I_{IL(max)}| \quad \text{και} \quad |I_{OH(max)}| \geq |n \cdot I_{IH(max)}|$$

Εάν η οδηγούσα έξοδος δεν είναι σε θέση να καλύψει τις ανάγκες των εισόδων σε παρεχόμενο ρεύμα, τότε υπάρχει κίνδυνος αλλοίωσης των λογικών σταθμών, με άμεσο αποτέλεσμα την πρόκληση λογικών σφαλμάτων.

Γ. Ασφαλείς χρόνοι ανόδου-καθόδου του σήματος. Στις διάφορες λογικές οικογένειες ορίζεται ένας μέγιστος χρόνος (ή ελάχιστος ρυθμός $\Delta t/\Delta V$) για τη μετάβαση του σήματος στις εισόδους του κυκλώματος από τη μία λογική στάθμη στην άλλη. Μη τήρηση του χρόνου αυτού, με πολύ αργές μεταβάσεις του σήματος, μπορεί να οδηγήσει σε δυσλειτουργία των ψηφιακών κυκλωμάτων.

Όπως αναφέρθηκε στο κεφάλαιο 1 (παράγραφος 1.2.2), οι παρασιτικές χωρητικότητες των οδηγούμενων εισόδων (C_L) μαζί με τη σύνθετη αντίσταση εξόδου (R_O) του κυκλώματος οδήγησης σχηματίζουν ένα κύκλωμα RC, το οποίο καθυστερεί τη μετάβαση του σήματος κατά την αλλαγή κατάστασης. Για τη μετάβαση του σήματος από το 10% στο 90% του συνολικού εύρους μετάβασης απαιτείται χρόνος $T_{10\%-90\%}$ ίσος με:

$$T_{10\%-90\%} = 2.2 \cdot R_O \cdot C_L$$

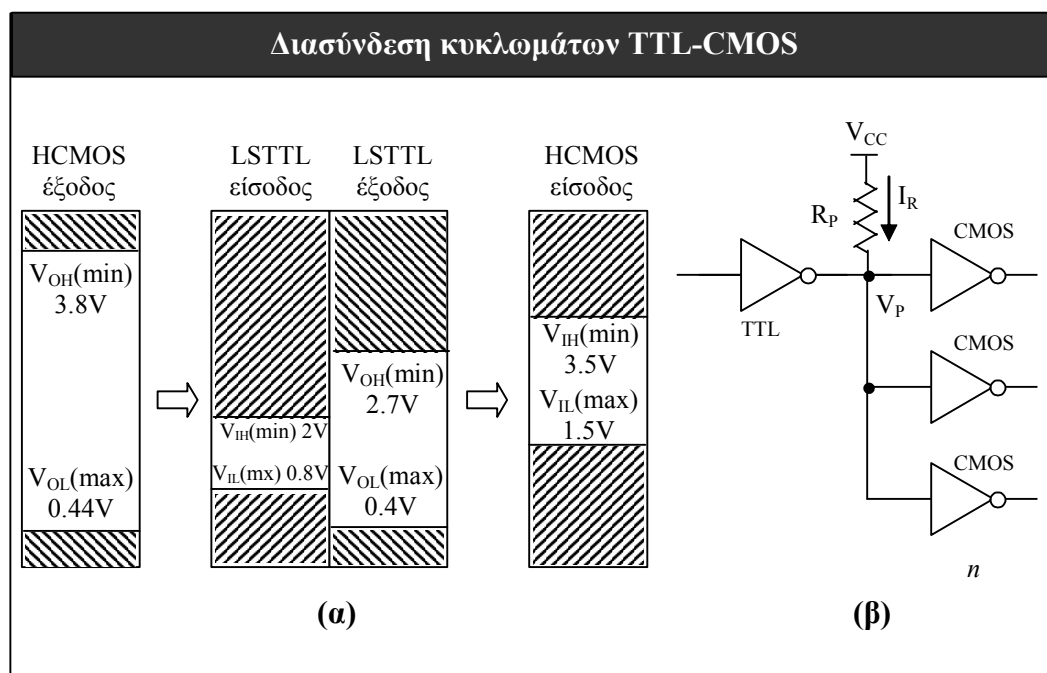
Σε κάθε περίπτωση διασύνδεσης ψηφιακών κυκλωμάτων θα πρέπει να εξασφαλίζεται ότι η μετάβαση του σήματος επιτυγχάνεται στα πλαίσια του επιτρεπόμενου χρόνου.

4.1.2 Διασύνδεση διαφορετικών λογικών οικογενειών.

Στην παρούσα ενότητα περιγράφονται οι μέθοδοι διασύνδεσης ολοκληρωμένων κυκλωμάτων, τα οποία ανήκουν σε λογικές οικογένειες διαφορετικών τεχνολογιών. Σε ορισμένες περιπτώσεις είναι δυνατή η άμεση διασύνδεση, σε άλλες όμως πρέπει να χρησιμοποιηθούν πρόσθετα κυκλώματα για τη μετατροπή των λογικών σταθμών.

4.1.2.1 Διασύνδεση κυκλωμάτων TTL και CMOS.

Στο σχήμα 4-1α απεικονίζονται οι λογικές στάθμες εισόδου-εξόδου των ολοκληρωμένων κυκλωμάτων TTL και CMOS με $V_{CC} = 5V$. Όπως είναι φανερό, ένα κύκλωμα CMOS μπορεί να οδηγήσει άμεσα μία είσοδο TTL, διότι οι στάθμες εξόδου CMOS είναι συμβατές με τις στάθμες εισόδου TTL.



Σχήμα 4-1

Ο μέγιστος αριθμός εισόδων TTL που μπορούν να οδηγηθούν από μία έξοδο CMOS περιορίζεται από την οδηγητική ικανότητα (παροχή ρεύματος) της εξόδου αυτής. Η οδηγητική ικανότητα της εξόδου εξαρτάται από τη λογική οικογένεια CMOS: για παράδειγμα, με μέγιστο καταβυθιζόμενο ρεύμα $I_{OL(max)} = 4mA$, μία έξοδος λογικής πύλης 74HC μπορεί να οδηγήσει έως και 10 εισόδους LSTTL ($I_{IL(max)LSTTL} = -0.4mA$).

Στο ίδιο σχήμα 4-1α φαίνεται ότι η άμεση οδήγηση εισόδων CMOS από έξοδο TTL δεν είναι δυνατή, λόγω ασυμβατότητας των λογικών σταθμών ($V_{OH(min)TTL} < V_{IH(min)CMOS}$). Στην περίπτωση αυτή ακολουθούνται δύο λύσεις:

α) Προσθήκη αντίστασης R_P ανύψωσης δυναμικού (pullup – σχήμα 4-1β). Η αντίσταση αυτή βελτιώνει την υψηλή στάθμη εξόδου του κυκλώματος TTL. Η τιμή της αντίστασης R_P ρυθμίζει την καταναλισκόμενη ισχύ σε αυτήν όταν η έξοδος είναι σε χαμηλή κατάσταση, ενώ επηρεάζει ταυτόχρονα την ταχύτητα μετάβασης της εξόδου σε υψηλή κατάσταση.

Σε χαμηλή κατάσταση, η έξοδος TTL καταβυθίζει ρεύμα από το V_{CC} μέσω της R_P και από τις εισόδους των οδηγούμενων πυλών. Η τιμή της R_P θα πρέπει να είναι τέτοια, ώστε η τάση εξόδου V_P να μην ξεπερνά το $V_{OL(max)TTL}$. Υποθέτοντας ότι η έξοδος TTL οδηγεί n εισόδους CMOS και συμβολίζοντας το ρεύμα μέσω της R_P ως I_R , είναι

$$V_P = V_{CC} - R_P \cdot I_R = V_{CC} - R_P \cdot (I_{OL(max)TTL} - n \cdot |I_{IL(max)CMOS}|) \leq V_{OL(max)TTL}$$

από όπου προκύπτει η ελάχιστη τιμή της R_P :

$$R_{P(min)} = \frac{V_{CC} - V_{OL(max)TTL}}{I_{OL(max)TTL} + n \cdot |I_{IL(max)CMOS}|}$$

Η μέγιστη τιμή της R_P μπορεί να υπολογιστεί όταν η έξοδος βρίσκεται σε υψηλή κατάσταση. Στην περίπτωση αυτή, η τάση εξόδου V_P δεν θα πρέπει να είναι χαμηλότερη από το $V_{IH(min)CMOS}$. Η λογική αυτή στάθμη είναι αρκετά μεγαλύτερη από την τυπική τιμή εξόδου TTL. Έτσι η έξοδος TTL, αφού μεταβεί γρήγορα μέχρι τα 2.7V περίπου, στη συνέχεια βρίσκεται σε αποκοπή και όλο το ρεύμα προς τις εισόδους CMOS προέρχεται μέσω της R_P :

$$V_P = V_{CC} - R_P \cdot I_R = V_{CC} - R_P \cdot (n \cdot |I_{IH(max)CMOS}|) \leq V_{IH(min)CMOS}$$

απ' όπου προκύπτει η μέγιστη τιμή της R_P :

$$R_{P(max)} = \frac{V_{CC} - V_{IH(min)CMOS}}{n \cdot |I_{IH(max)CMOS}|}$$

Η μέγιστη τιμή της R_P περιορίζεται σημαντικά από τον μέγιστο επιτρεπόμενο χρόνο μετάβασης του σήματος στις εισόδους των κυκλωμάτων CMOS. Η R_P μαζί με τις χωρητικότητες εισόδου των οδηγούμενων πυλών (C_i) σχηματίζουν ένα κύκλωμα RC, η σταθερά χρόνου του οποίου καθορίζει την ταχύτητα μετάβασης του σήματος

από τη χαμηλή στην υψηλή κατάσταση. Για τη μετάβαση του σήματος από το 10% στο 90% του συνολικού εύρους μετάβασης απαιτείται χρόνος $T_{10\%-90\%}$ ίσος με:

$$T_{10\%-90\%} = 2.2 \cdot R_P \cdot (n \cdot C_i)$$

Χρησιμοποιώντας τον μέγιστο χρόνο μετάβασης 10%-90% που δίνεται στα φύλλα δεδομένων, είναι δυνατή η εύρεση του μέγιστου επιτρεπόμενου R_P , η τιμή του οποίου είναι σημαντικά χαμηλότερη από την τιμή του $R_{P(max)}$ που υπολογίστηκε προηγουμένως.

β) **Χρήση ολοκληρωμένου κυκλώματος CMOS με εισόδους συμβατές με τις στάθμες TTL.** Στις περισσότερες λογικές οικογένειες CMOS περιλαμβάνονται παραλλαγές κυκλωμάτων, τα οποία έχουν κατάλληλα τροποποιημένη τη γεωμετρία των τρανζίστορ εισόδου, έτσι ώστε να μειωθεί η τάση κατωφλίου. Η τροποποίηση αυτή επιτρέπει στις εισόδους να οδηγούνται από κυκλώματα TTL. Τα κυκλώματα αυτά συμβολίζονται με την προσθήκη ενός “T” στην ονομασία της λογικής οικογένειας, π.χ. 74HCT ή 74ACT.

4.1.2.2 Διασύνδεση κυκλωμάτων CMOS χαμηλής τάσης τροφοδοσίας.

Κατά τη μετάβαση της τεχνολογίας CMOS προς χαμηλότερες τάσεις τροφοδοσίας, πολλές φορές απαιτείται η διασύνδεση ολοκληρωμένων κυκλωμάτων διαφορετικών τάσεων τροφοδοσίας.

Σε κάθε περίπτωση, ένα κύκλωμα CMOS υψηλότερης τάσης τροφοδοσίας μπορεί να οδηγήσει άμεσα ένα δεύτερο χαμηλότερης τάσης τροφοδοσίας, διότι οι λογικές στάθμες είναι συμβατές. Η μοναδική προϋπόθεση είναι η οδηγούμενη είσοδος να διαθέτει ανοχή σε υπερτάσεις μεγαλύτερες από το V_{CC} του οδηγούμενου κυκλώματος. Η ιδιότητα αυτή εξασφαλίζεται στις περισσότερες από τις νεώτερες λογικές οικογένειες CMOS.

Στην αντίθετη περίπτωση, όταν δηλαδή ένα κύκλωμα CMOS χαμηλότερης τάσης τροφοδοσίας πρέπει να οδηγήσει ένα άλλο με υψηλότερο V_{CC} , η άμεση διασύνδεση δεν είναι δυνατή λόγω ασυμβατότητας των λογικών σταθμών. Στην περίπτωση αυτή πρέπει να χρησιμοποιηθούν ειδικά ολοκληρωμένα κυκλώματα μετατροπής των λογικών σταθμών. Τα κυκλώματα αυτά διαθέτουν ακροδέκτες για διπλή τάση τροφοδοσίας.

4.1.2.3 Διασύνδεση κυκλωμάτων TTL/CMOS και ECL.

Οι λογικές στάθμες εισόδου εξόδου των κυκλωμάτων TTL και ECL είναι μη συμβατές, είτε χρησιμοποιείται για τα ECL $V_{EE} = -5.2V$, είτε $V_{EE} = 0V$ (PECL). Για τη διασύνδεση χρησιμοποιούνται ειδικά ολοκληρωμένα κυκλώματα μετατροπής των λογικών σταθμών, τα οποία τροφοδοτούνται με διπλή τάση (+5V, -5V) για τη μετατροπή ECL/TTL, ή μόνο με +5V στην περίπτωση διασύνδεσης PECL/TTL. Για την οδήγηση εισόδων CMOS συνήθως χρησιμοποιείται μετατροπέας ECL/TTL και στη συνέχεια είσοδοι CMOS συμβατοί με στάθμες TTL (74HCT/ACT).

4.1.3 Συνδεσμολογία εξόδων ανοικτού συλλέκτη.

Στο σχήμα 4-2 απεικονίζεται η συνδεσμολογία n εξόδων ανοικτού συλλέκτη σε μία κοινή γραμμή και η οδήγηση m εισόδων άλλων λογικών πυλών:

Οι έξοδοι ανοικτού συλλέκτη του σχήματος απαιτούν τη σύνδεση μίας αντίστασης ανύψωσης δυναμικού R_P για τη δημιουργία της υψηλής λογικής στάθμης. Ο υπολογισμός της αντίστασης αυτής δίνεται στη συνέχεια.

α) Για να βρίσκεται η κοινή γραμμή σε υψηλή κατάσταση, θα πρέπει όλες οι εξόδους ανοικτού συλλέκτη να είναι σε υψηλή κατάσταση (σε αποκοπή). Στην περίπτωση αυτή ρεύμα μέσω της R_P ρέει προς τις εισόδους των οδηγούμενων πυλών ($m \cdot I_{IH(max)}$), αλλά και προς τις εξόδους ανοικτού συλλέκτη ($n \cdot I_{OH(max)}$). Το ρεύμα I_{OH} αυτό είναι ουσιαστικά ρεύμα διαρροής, εφόσον οι εξόδους ανοικτού συλλέκτη σε υψηλή κατάσταση είναι σε αποκοπή. Η τιμή της R_P θα πρέπει να είναι τέτοια ώστε $V_P \geq V_{OH(min)}$ και με $V_P = V_{CC} - R_P \cdot I_R = V_{CC} - R_P \cdot (n \cdot I_{OH(max)} + m \cdot I_{IH(max)})$ προκύπτει η μέγιστη επιτρεπόμενη τιμή της R_P :

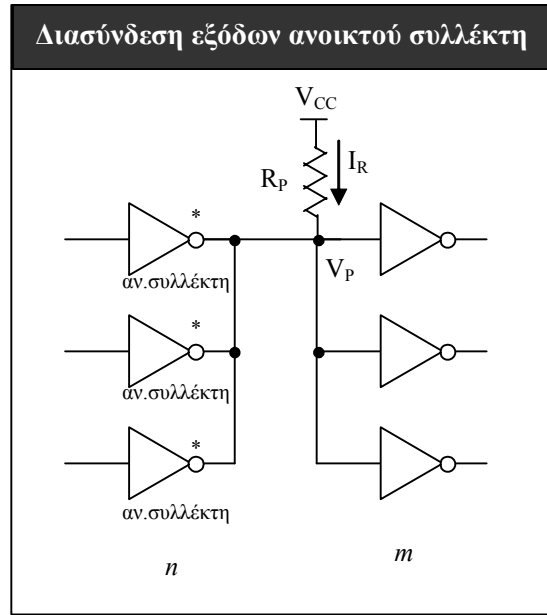
$$R_{P(max)} = \frac{V_{CC} - V_{OH(min)}}{n \cdot I_{OH(max)} + m \cdot I_{IH(max)}}$$

β) Για να είναι η κοινή γραμμή σε χαμηλή κατάσταση αρκεί μία έξοδος ανοικτού συλλέκτη να βρίσκεται σε χαμηλή κατάσταση. Στην περίπτωση αυτή, το ρεύμα από τις οδηγούμενες εισόδους και εκείνο που διαρρέει την R_P καταβυθίζεται σε εκείνες τις εξόδους ανοικτού συλλέκτη που βρίσκονται σε χαμηλή κατάσταση. Η χειρότερη περίπτωση επιβάρυνσης των εξόδων προκύπτει όταν μόνο μία από αυτές βρίσκεται σε χαμηλή κατάσταση, οπότε η ελάχιστη τιμή της R_P υπολογίζεται σε αυτήν την περίπτωση.

Σε χαμηλή κατάσταση της κοινής γραμμής, θα πρέπει να ισχύει $V_P \leq V_{OL(max)}$ και με $V_P = V_{CC} - R_P \cdot I_R = V_{CC} - R_P \cdot (I_{OL(max)} + m \cdot I_{IL(max)})$ προκύπτει η ελάχιστη επιτρεπόμενη τιμή της R_P :

$$R_{P(min)} = \frac{V_{CC} - V_{OL(max)}}{I_{OL(max)} + m \cdot I_{IL(max)}}$$

Η R_P επιλέγεται από το πεδίο τιμών μεταξύ της μέγιστης και ελάχιστης επιτρεπόμενης τιμής. Μικρότερη R_P συνεπάγεται μεγαλύτερη κατανάλωση ισχύος



Σχήμα 4-2

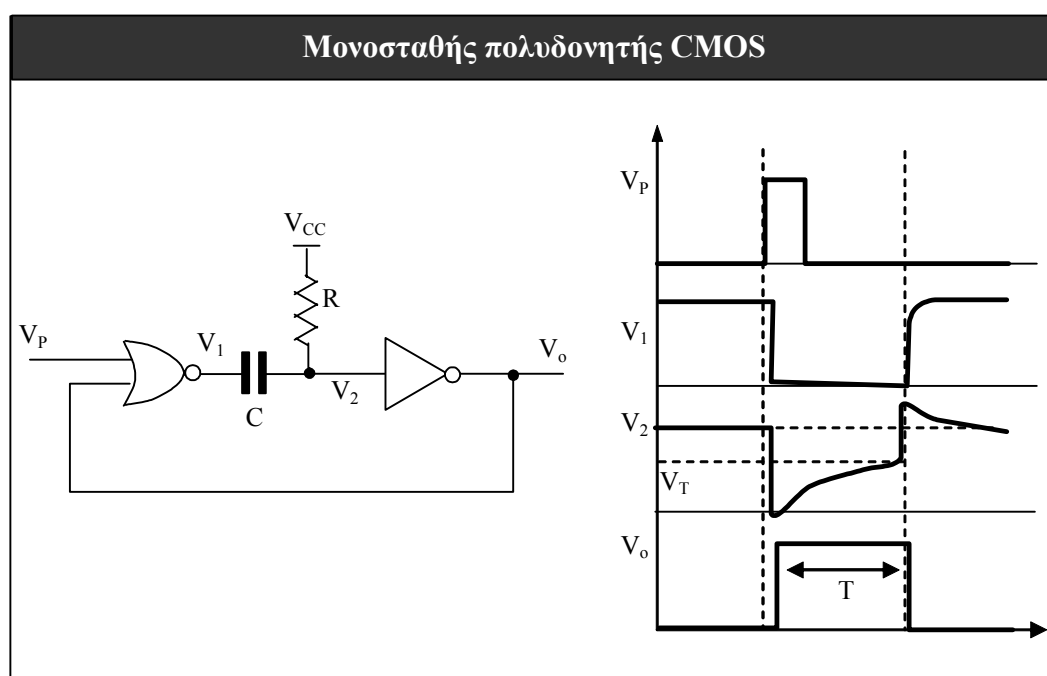
αλλά και ταχύτερη μετάβαση της γραμμής από τη χαμηλή στην υψηλή κατάσταση. Σε κάθε περίπτωση θα πρέπει να εξετάζεται εάν ο χρόνος ανόδου του σήματος που προκύπτει είναι εντός των προδιαγραφών των οδηγούμενων πυλών.

4.2 Χρονισμός ψηφιακών κυκλωμάτων.

Η λειτουργία των ψηφιακών κυκλωμάτων χρονίζεται με ένα ή περισσότερα σήματα ρολογιού (clocks). Τα σήματα αυτά είναι καθοριστικά για την ορθή λειτουργία των ψηφιακών συστημάτων, ιδιαίτερα στην περίπτωση των κυκλωμάτων υψηλής συχνότητας λειτουργίας. Στις παραγράφους που ακολουθούν παρουσιάζονται διάφορες μορφές κυκλωμάτων χρονισμού, χαμηλής και υψηλής ακρίβειας.

4.2.1 Κυκλώματα χρονισμού με λογικές πύλες.

Με τον συνδυασμό λογικών πυλών και στοιχείων R , C είναι δυνατή η σύνθεση κυκλωμάτων χρονισμού για συστήματα, τα οποία δεν απαιτούν μεγάλες συχνότητες λειτουργίας και υψηλή ακρίβεια χρονισμού.



Σχήμα 4-3

Το κύκλωμα του σχήματος 4-3 είναι ένας “μονοσταθής πολυδονητής” (one-shot): το κύκλωμα βρίσκεται σε μία σταθερή κατάσταση, ενώ για σύντομο χρονικό διάστημα μπορεί να βρεθεί σε μία ασταθή κατάσταση, πριν επιστρέψει στην αρχική κατάσταση ισορροπίας. Το κύκλωμα απαρτίζουν δύο πύλες CMOS (NOR και αντιστροφέας) και τα στοιχεία R και C . Η λειτουργία του κυκλώματος είναι η ακόλουθη:

Σε χρόνο $t = 0$ η τάση της εισόδου $V_P = 0$, η τάση $V_2 = V_{CC}$ και η τάση εξόδου $V_o = 0$. Συνεπώς η τάση V_1 στην έξοδο της πύλης NOR είναι υψηλή και το κύκλωμα βρίσκεται σε κατάσταση ισορροπίας.

Σε χρόνο t_i η είσοδος V_P μεταβαίνει σε υψηλή κατάσταση για σύντομο χρονικό διάστημα. Το V_1 μεταβαίνει σε χαμηλή κατάσταση και στιγμιαία το ίδιο συμβαίνει με

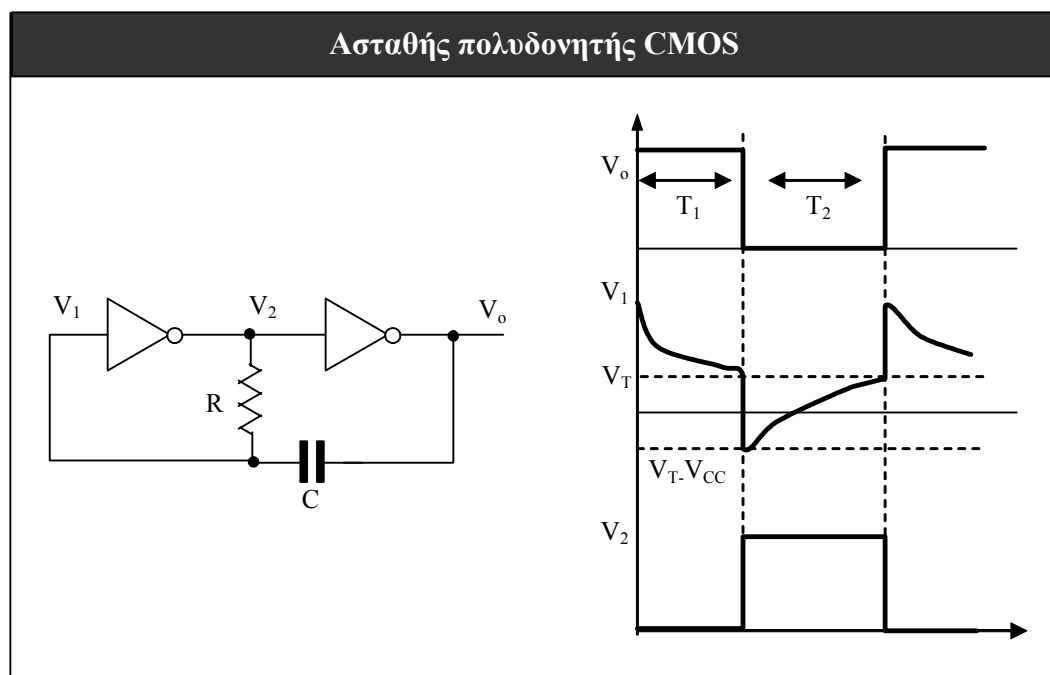
το V_2 , επειδή ο πυκνωτής C διατηρεί προς στιγμή την τάση που υπήρχε προηγουμένως στους ακροδέκτες του (0V). Έτσι η έξοδος V_o γίνεται υψηλή (HIGH).

Στη συνέχεια όμως, ο C φορτίζεται εκθετικά μέσω της αντίστασης R και το V_2 προσεγγίζει την τάση κατωφλίου V_T του αντιστροφέα σε χρόνο:

$$T = RC \cdot \ln \left(\frac{V_{CC}}{V_{CC} - V_T} \right)$$

Τη στιγμή εκείνη, το V_o γίνεται '0' και, εφόσον το V_P έχει ήδη επιστρέψει σε χαμηλή κατάσταση, το V_1 γίνεται HIGH. Καθώς ο πυκνωτής C είναι φορτισμένος σε τάση V_T , το V_2 ακολουθεί στιγμιαία τη μεταβολή ξεπερνώντας το V_{CC} , έως ότου οι δίοδοι προστασίας D στην είσοδο του αντιστροφέα αρχίσουν να άγουν σε τάση $V_{CC} + V_D$. Στη συνέχεια το V_2 επιστρέφει εκθετικά στην τιμή V_{CC} .

Η ακρίβεια των παραγόμενων παλμών από το κύκλωμα του σχήματος 4-3 δεν είναι υψηλή, διότι εξαρτάται από τις τιμές των V_T , R και C , οι οποίες παρουσιάζουν αποκλίσεις και ανοχές για κάθε εξάρτημα. Ο παλμός ενεργοποίησης στο V_P θα πρέπει να είναι μεγαλύτερος από την καθυστέρηση διάδοσης των δύο πυλών, έτσι ώστε το '1' να προλάβει να επιστρέψει στην είσοδο της NOR για τη συντήρηση του παλμού.



Σχήμα 4-4

Στο σχήμα 4-4 απεικονίζεται ένα κύκλωμα με δύο αντιστροφείς CMOS, η έξοδος του οποίου μεταβαίνει συνεχώς σε καθορισμένα χρονικά διαστήματα από τη μία λογική κατάσταση στην άλλη. Το κύκλωμα αυτό ονομάζεται “ασταθής πολυδονητής” ή ταλαντωτής (oscillator).

Έστω ότι τη χρονική στιγμή $t = 0$ το V_1 υπερβαίνει την τάση κατωφλίου V_T του πρώτου αντιστροφέα. Τότε το V_2 γίνεται '0' και η έξοδος V_o γίνεται '1' (V_{CC}). Μέσω του πυκνωτή C η αλλαγή αυτή επιστρέφει στο V_1 , το οποίο αποκτά στιγμιαία τιμή $V_{CC} + V_T$.

Στη συνέχεια ο C εκφορτίζεται μέσω της R προς το V_2 (το οποίο είναι '0') και η τάση V_1 πέφτει. Όταν το V_1 γίνει μικρότερο από το V_T , το V_2 γίνεται '1' και η έξοδος V_o μεταβαίνει σε χαμηλή κατάσταση. Η αλλαγή της εξόδου επιδρά στο V_1 , το οποίο μειώνεται στιγμιαία κατά V_{CC} και αποκτά την τιμή $V_T - V_{CC}$. Ο χρόνος επιστροφής του V_1 στην τάση κατωφλίου ισούται με:

$$T_1 = RC \cdot \ln \left(\frac{V_{CC} + V_T}{V_T} \right)$$

Ακολούθως, ο C φορτίζεται μέσω της R από το V_2 (τώρα είναι σε υψηλή κατάσταση) και η τάση V_1 αυξάνεται. Όταν το V_1 προσεγγίσει πάλι το V_T , το V_2 γίνεται ξανά '0' και το V_o γίνεται '1'. Το κύκλωμα επαναλαμβάνει συνεχώς την ταλάντωση. Ο απαιτούμενος χρόνος για να προσεγγίσει το V_1 την τάση κατωφλίου είναι:

$$T_2 = RC \cdot \ln \left(\frac{V_T - 2V_{CC}}{V_T - V_{CC}} \right)$$

Στην ανάλυση της λειτουργίας του κυκλώματος του σχήματος 4-4 πρέπει να ληφθούν υπ' όψη και η επίδραση των διόδων προστασίας της εισόδου του πρώτου αντιστροφέα: στη πραγματικότητα το V_1 κυμαίνεται μεταξύ $V_{CC} + V_D$ και $-V_D$.

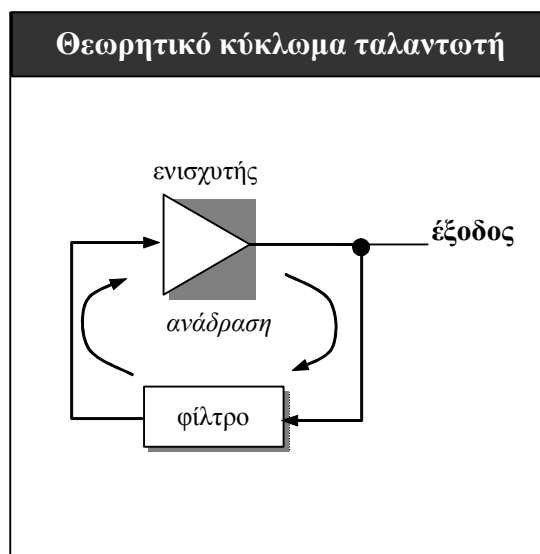
Οι δύο χρόνοι T_1 και T_2 είναι ίσοι όταν η τάση κατωφλίου ισούται με $V_{CC}/2$. Σε κάθε περίπτωση η περίοδος του παραγόμενου σήματος ρολογιού ισούται με το άθροισμα των δύο αυτών χρόνων.

4.2.2 Ταλαντωτές κρυστάλλου.

Το κύκλωμα της προηγούμενης παραγράφου μπορεί να παράγει απλές κυματομορφές ρολογιού χαμηλής ακρίβειας και συχνότητας λειτουργίας (1MHz). Για την παραγωγή σημάτων ρολογιού υψηλότερης συχνότητας-μεγαλύτερης ακρίβειας χρησιμοποιούνται ταλαντωτές κρυστάλλου χαλαζία (crystal oscillators).

Πριν αναλυθεί το κύκλωμα ενός ταλαντωτή κρυστάλλου, παρατίθενται στη συνέχεια ορισμένα θεωρητικά στοιχεία για τη λειτουργία ενός ταλαντωτή και τις φυσικές ιδιότητες των κρυστάλλων χαλαζία.

Ένας ταλαντωτής αποτελείται στη θεωρητική του μορφή από ένα κύκλωμα ενίσχυσης και ένα φίλτρο, τα οποία είναι συνδεδεμένα σε έναν βρόχο θετικής ανάδρασης (σχήμα 4-5). Για να λειτουργεί το κύκλωμα ως ταλαντωτής θα πρέπει α) το κέρδος (gain) στον βρόχο να είναι μεγαλύτερο της μονάδας και β) η



Σχήμα 4-5

συνολική μετατόπιση της φάσης του σήματος να είναι πολλαπλάσια του 2π .

Στο σχήμα 4-5 ο ενισχυτής αναστρέφει το σήμα μετατοπίζοντας τη φάση κατά 180° , ενώ το φίλτρο προσθέτει ακόμα 180° , για συνολική μετατόπιση φάσης 360° . Ο ενισχυτής παρέχει επίσης το απαιτούμενο κέρδος (>1) για την ενίσχυση του σήματος έως μία κατάσταση σταθερής λειτουργίας, όπου το κέρδος γίνεται 1.

Το φίλτρο καθορίζει τη συχνότητα λειτουργίας του ταλαντωτή και παρέχει σύζευξη μεταξύ της εξόδου και της εισόδου του ενισχυτή. Διακριτά στοιχεία L, C μπορούν να χρησιμοποιηθούν για την υλοποίηση του φίλτρου, συνήθως όμως χρησιμοποιείται για τον σκοπό αυτόν ένας κρύσταλλος χαλαζία.

Ο χαλαζίας (quartz) είναι πιεζοηλεκτρικό υλικό. Αυτό σημαίνει ότι όταν εφαρμοστεί σε αυτόν ένα ηλεκτρικό πεδίο, τότε προκύπτει μία φυσική μετατόπιση (ταλάντωση) του υλικού, και αντίστροφα. Οι κρύσταλλοι χαλαζία επεξεργάζονται σε λεπτά τμήματα και διαθέτουν ανάλογα με την κοπή τους μία πολύ σταθερή πρωταρχική συχνότητα ταλάντωσης. Είναι δυνατή η κατασκευή κρυστάλλων με συχνότητα ταλάντωσης έως τα 40MHz, ενώ για συχνότητες έως και 300MHz χρησιμοποιούνται υψηλότερες αρμονικές ταλάντωσης.

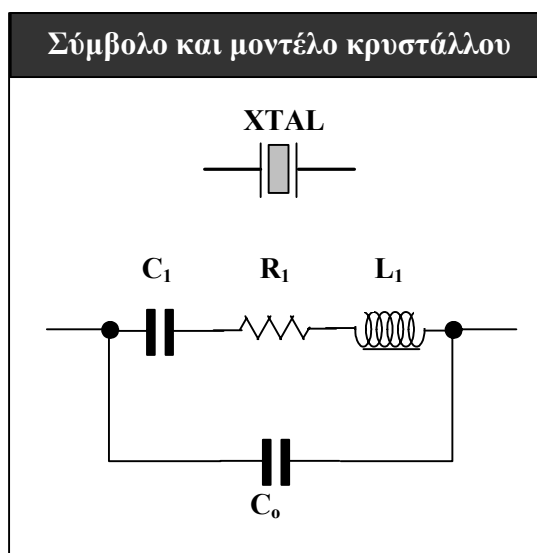
Ένας κρύσταλλος χαλαζία περιγράφεται από το ισοδύναμο κύκλωμα του σχήματος 4-6 και ταλαντώνεται σε δύο κύριες συχνότητες:

α) Στη συχνότητα συντονισμού σε σειρά, τα C_1 και L_1 συντονίζονται με τέτοιο τρόπο, ώστε ο κρύσταλλος μοιάζει με μικρή αντίσταση R_1 .

β) Στη συχνότητα παράλληλου συντονισμού, ο συνδυασμός των L_1 και C_1 είναι επαγωγικός και συντονίζεται με το C_0 .

Οι δύο συχνότητες διαφέρουν περίπου κατά 0.1%. Οι κρύσταλλοι κατασκευάζονται για λειτουργία σε έναν από τους δύο τρόπους συντονισμού. Κατασκευαστικά δεν υπάρχει διαφορά

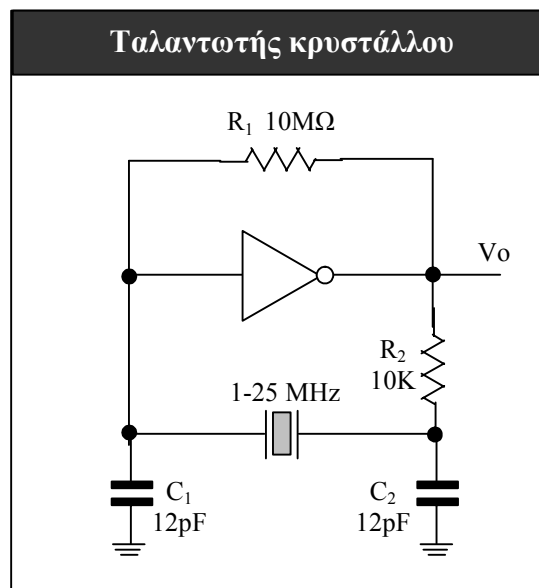
ανάμεσα στους δύο τύπους, απλώς διαφέρει η ονομαστική συχνότητα ταλάντωσης του κρυστάλλου. Επιπλέον, για τον παράλληλο συντονισμό προσδιορίζεται το απαιτούμενο εξωτερικό φορτίο CL, για ταλάντωση ακριβώς στην αναγραφόμενη συχνότητα.



Σχήμα 4-6

Στο κύκλωμα του σχήματος 4-7 με έναν αντιστροφέα CMOS, το κύκλωμα λειτουργεί σε παράλληλο συντονισμό. Έτσι συμπεριφέρεται ως επαγωγικό στοιχείο και μαζί με τους πυκνωτές C_1 και C_2 μετατοπίζει το σήμα κατά 180° . Οι C_1 και C_2 αποτελούν το χωρητικό φορτίο του κρυστάλλου και συνήθως έχουν παραπλήσια τιμή.

Η αντίσταση R_1 κρατά τον αντιστροφέα στην ενεργή περιοχή λειτουργίας (μεταξύ '0' και '1', κατάσταση μη αποδεκτή σε ψηφιακή λειτουργία), ενώ η R_2 απομονώνει την έξοδο του αντιστροφέα από το δίκτυο του κρυστάλλου, επιτρέποντας την παραγωγή καθαρότερης κυματομορφής εξόδου.



Σχήμα 4-7

Ο αντιστροφέας CMOS παρέχει την πρώτη μετατόπιση κατά 180° της φάσης του σήματος στον βρόχο ανάδρασης και ταυτόχρονα ενισχύει το σήμα (το κέρδος ενός τέτοιου αντιστροφέα στην ενεργή περιοχή είναι μεγαλύτερο του 10). Το κύκλωμα αρχίζει να ταλαντώνεται με την επίδραση του ηλεκτρικού θορύβου του περιβάλλοντος και το σήμα διαδοχικά ενισχύεται μέχρι ο ταλαντωτής να εισέλθει σε σταθερή λειτουργία. Στην τελική αυτή κατάσταση η ταλάντωση αυτοσυντηρείται σε συχνότητα ίση με τη συχνότητα παράλληλου συντονισμού του κρυστάλλου.

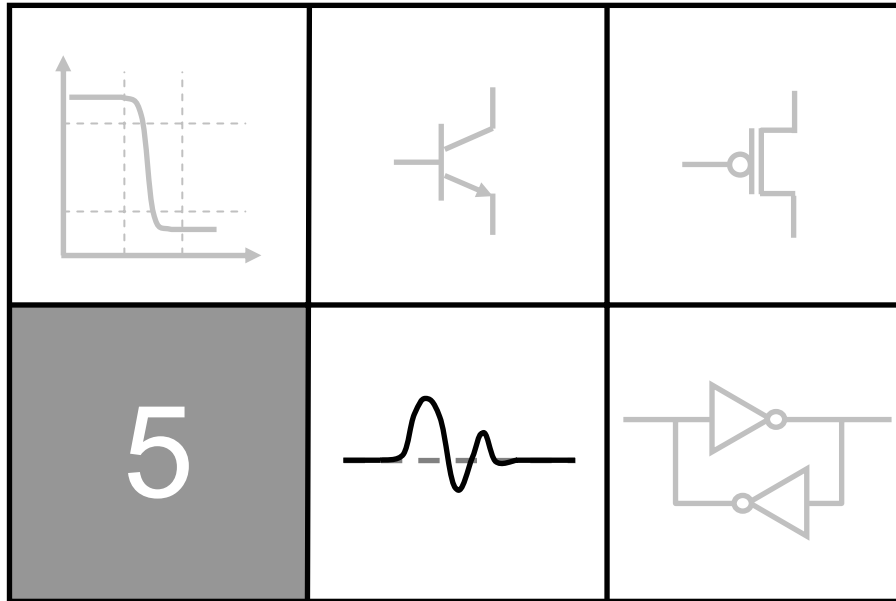
4.2.3 Ολοκληρωμένοι ταλαντωτές.

Στα σύγχρονα ψηφιακά κυκλώματα υψηλών συχνοτήτων λειτουργίας, χρησιμοποιούνται ολοκληρωμένα κυκλώματα ταλαντωτών κρυστάλλου σε σφραγισμένες μεταλλικές συσκευασίες αντί της κατασκευής κυκλωμάτων από διακριτά στοιχεία, όπως εκείνο της προηγούμενης παραγράφου. Η ακρίβεια των ολοκληρωμένων ταλαντωτών είναι καθοριστική για τους απαιτούμενους χρονισμούς των ψηφιακών συστημάτων και πρέπει να επιλέγονται προσεκτικά με βάση τα λειτουργικά χαρακτηριστικά τους.

Οι κυριότερες παράμετροι, οι οποίες χαρακτηρίζουν έναν ολοκληρωμένο ταλαντωτή είναι:

- Η ονομαστική συχνότητα λειτουργίας (MHz).
- Τρόπος λειτουργίας (τύπος συντονισμού)
- Η σταθερότητα της ταλάντωσης (ποσοστό απόκλισης).
- Η μετατόπιση της συχνότητας με τη “γήρανση” (απόκλιση ανά έτος).
- Οι συνθήκες λειτουργίας (θερμοκρασία, τροφοδοσία, φορτίο εξόδων κ.ά.)
- Το είδος του παραγόμενου σήματος (στάθμες TTL, CMOS ή ECL).

ΣΗΜΕΙΩΣΕΙΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ



“Ακεραιότητα Ψηφιακού Σήματος”

Δ.Λιούπης – Μ.Στεφανιδάκης

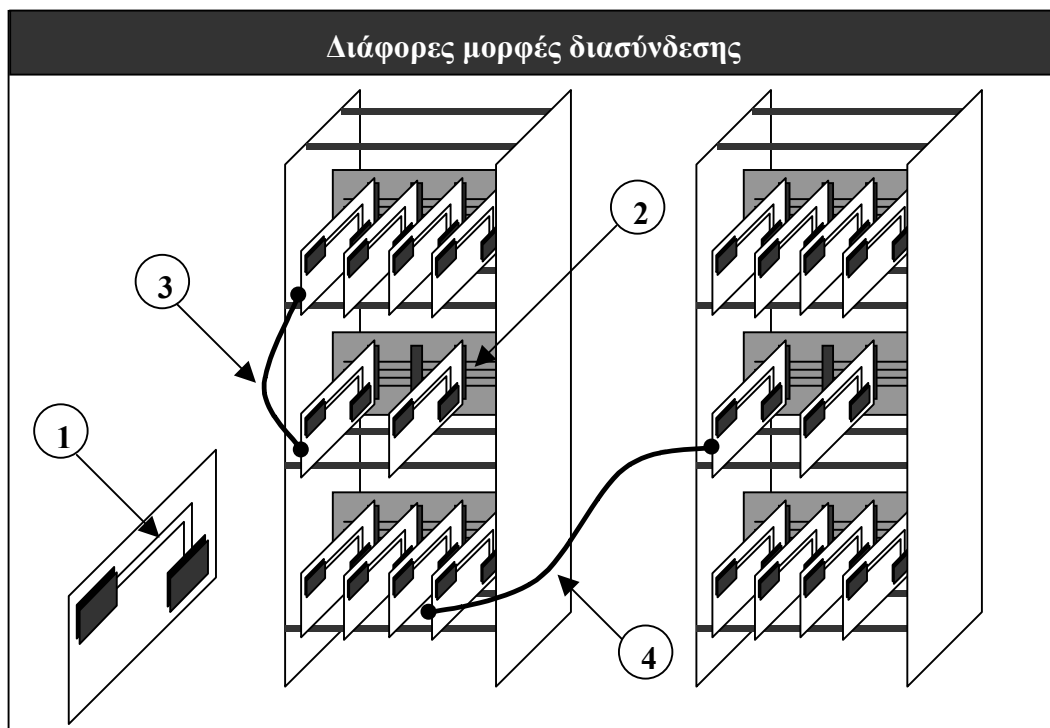
Πίνακας Περιεχομένων.

5.1	Εισαγωγή.	2
5.2	Θόρυβος βαθμίδων εξόδου.	3
5.2.1	Αιχμή ρεύματος totem-pole (crossover current).....	4
5.2.2	Ρεύμα φόρτισης/εκφόρτισης χωρητικοτήτων εξόδου.	4
5.2.3	Αναπήδηση στάθμης γείωσης (ground bounce).	5
5.2.4	Προβλήματα προκαλούμενα από την αναπήδηση της γείωσης.	7
5.2.5	Αντιμετώπιση θορύβου αναπήδησης γείωσης.	8
5.2.6	Βρόχος επιστροφής σήματος.	10
5.3	Γραμμές μετάδοσης (transmission lines).	11
5.3.1	Ανακλάσεις σε γραμμές μετάδοσης.....	13
5.3.2	Τερματισμός γραμμών μετάδοσης.	15
5.3.3	Μέθοδοι τερματισμού στην πλευρά του φορτίου.	16
5.3.4	Τερματισμός στην πλευρά της πηγής του σήματος.	20
5.3.5	Σύνοψη χρήσης των διαφόρων μεθόδων τερματισμού.	22
5.4	Οδήγηση διασυνδετικών διαύλων.....	22
5.4.1	Κατανεμημένη χωρητικότητα γραμμών διαύλων.	23
5.4.2	Τερματισμός γραμμών διαύλων.	25
5.4.3	Λογικές οικογένειες διασύνδεσης και οδήγησης διαύλων.	26
5.5	Αλληλεπίδραση σημάτων (crosstalk).	29
5.6	Διαφορική μετάδοση σήματος.	31
5.6.1	Εξέλιξη τεχνολογιών διαφορικής μετάδοσης.	33
5.7	Πληροφοριακό Υλικό	35

5.1 Εισαγωγή.

Τα ψηφιακά κυκλώματα λειτουργούν συνήθως σε περιβάλλον με θόρυβο και ηλεκτρομαγνητικές παρεμβολές. Επιπλέον, η αύξηση της συχνότητας λειτουργίας των μοντέρνων συστημάτων πάνω από τα 30MHz προκαλεί φαινόμενα στη κλίμακα των ραδιοσυχνοτήτων (RF), μετατρέποντας τα ψηφιακά κυκλώματα σε πηγές υψηλού θορύβου. Ο θόρυβος αυτός εμφανίζεται μέσω σύζευξης στις γραμμές μετάδοσης και μειώνει την ποιότητα των ψηφιακών σημάτων, προκαλώντας σφάλματα λειτουργίας.

Το ψηφιακό σήμα είναι ευάλωτο στον θόρυβο κατά τη μετάδοσή του (σχήμα 5-1) μεταξύ διαφορετικών ολοκληρωμένων κυκλωμάτων στο ίδιο τυπωμένο κύκλωμα (1), μεταξύ υποσυστημάτων και πλακετών βάσης (2), μεταξύ υποσυστημάτων του ίδιου συστήματος (3) και μεταξύ διαφορετικών συστημάτων (4). Για την κάλυψη μεγαλύτερων αποστάσεων, το ψηφιακό σήμα μεταδίδεται μέσω δικτύων, χρησιμοποιώντας κάποια μέθοδο διαμόρφωσης.



Σχήμα 5-1

Η διατήρηση της ακεραιότητας των ψηφιακών σημάτων κατά τη μετάδοσή τους είναι ζωτικής σημασίας για την ασφαλή λειτουργία των συστημάτων. Στο παρόν κεφάλαιο αναλύονται οι βασικές αιτίες δημιουργίας θορύβου στα μοντέρνα ψηφιακά κυκλώματα και παρουσιάζονται οι τρόποι αντιμετώπισής τους.

Κατά τη μετάδοση του σήματος μεταξύ ολοκληρωμένων κυκλωμάτων, ιδιαίτερο ρόλο παίζει ο θόρυβος που δημιουργείται από τις αλλαγές των λογικών εξόδων. Ο θόρυβος αυτός οφείλεται στη ροή ρεύματος από και προς τα οδηγούμενα κυκλώματα και μπορεί να επηρεάσει τις στάθμες των μεταδιδόμενων σημάτων. Ο θόρυβος αλλαγής εξόδων μελετάται στην ενότητα 2.

Όσο η ταχύτητα των ψηφιακών κυκλωμάτων αυξάνεται, τόσο εμφανίζονται στους αγωγούς μετάδοσης σημάτων “αναλογικά” φαινόμενα, όπως ανακλάσεις των μετώπων τάσης. Οι ανακλάσεις αυτές μπορούν να προκαλέσουν ταλάντωση των λογικών σταθμών και εσφαλμένη λήψη του σήματος. Το φαινόμενο των ανακλάσεων και οι μέθοδοι αντιμετώπισής του αναλύονται στην ενότητα 3.

Στα μοντέρνα ψηφιακά συστήματα σημαντικό ρόλο παίζουν οι λογικές οικογένειες διασύνδεσης των διαφόρων υποσυστημάτων μέσω κοινών διαύλων. Για την οδήγηση των διασυνδεδετικών διαύλων απαιτούνται ψηφιακά κυκλώματα με ιδιαίτερα χαρακτηριστικά, τα οποία παρουσιάζονται στην ενότητα 4.

Στην ενότητα 5 μελετάται το φαινόμενο της αλληλεπίδρασης γειτονικών αγωγών σημάτων. Η αλληλεπίδραση αυτή οφείλεται σε παρασιτική χωρητική και επαγωγική σύζευξη και αποτελεί μία σημαντική αιτία εμφάνισης θορύβου.

Τέλος, στην ενότητα 6 παρατίθενται οι βασικές αρχές λειτουργίας της διαφορικής μετάδοσης, μέσω ενός ζεύγους όμοιων αλλά με αντίθετη πολικότητα σημάτων. Η διαφορική μετάδοση παρουσιάζει μεγάλη ανοσία στον θόρυβο και είναι κατάλληλη για μεγάλο μήκος αγωγών.

5.2 Θόρυβος βαθμίδων εξόδου.

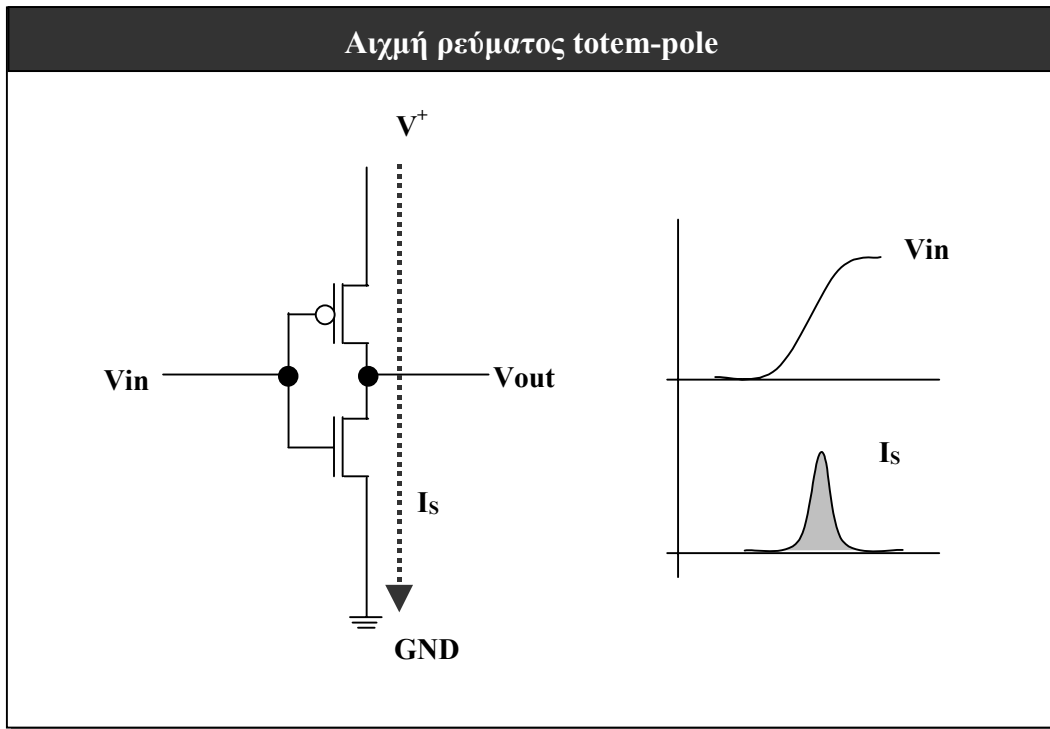
Σε οποιοδήποτε ψηφιακό ολοκληρωμένο κύκλωμα οι βαθμίδες εξόδου (οδήγησης) παίζουν τον κύριο ρόλο στη μετάδοση του σήματος στα επόμενα κυκλώματα. Αντίθετα με το υπόλοιπο τμήμα εσωτερικής λογικής του ολοκληρωμένου κυκλώματος, οι βαθμίδες εξόδου οφείλουν να διαθέτουν ιδιαίτερη ικανότητα παροχής ή απορρόφησης ρεύματος σε πολύ σύντομο χρόνο, έτσι ώστε να μπορούν να οδηγήσουν επιτυχώς τα συνδεδεμένα σε αυτές φορτία.

Ο ρυθμός εναλλαγής των ρευμάτων στις βαθμίδες εξόδου αυξάνεται όσο μεγαλώνουν οι ταχύτητες των σύγχρονων ψηφιακών κυκλωμάτων. Σε μεγάλες συχνότητες λειτουργίας οι απότομες μεταβολές του ρεύματος που ρέει μέσω των βαθμίδων εξόδου προκαλούν την εμφάνιση θορύβου.

Στις επόμενες παραγράφους περιγράφονται οι αιτίες δημιουργίας της ροής αυτής ρεύματος, ο μηχανισμός δημιουργίας θορύβου, καθώς και οι τρόποι αντιμετώπισής του.

5.2.1 Αιχμή ρεύματος totem-pole (crossover current).

Στο σχήμα 5-2 φαίνεται μία τυπική βαθμίδα εξόδου CMOS. Τα δύο τρανζίστορ (pMOS και nMOS) συνδέουν την έξοδο είτε στη γραμμή τροφοδοσίας (V^+), είτε στη γείωση (GND), ανάλογα με την τιμή εξόδου. Παραπλήσια είναι και η διάταξη της βαθμίδας εξόδου των κυκλωμάτων με τρανζίστορ διπολικής επαφής.



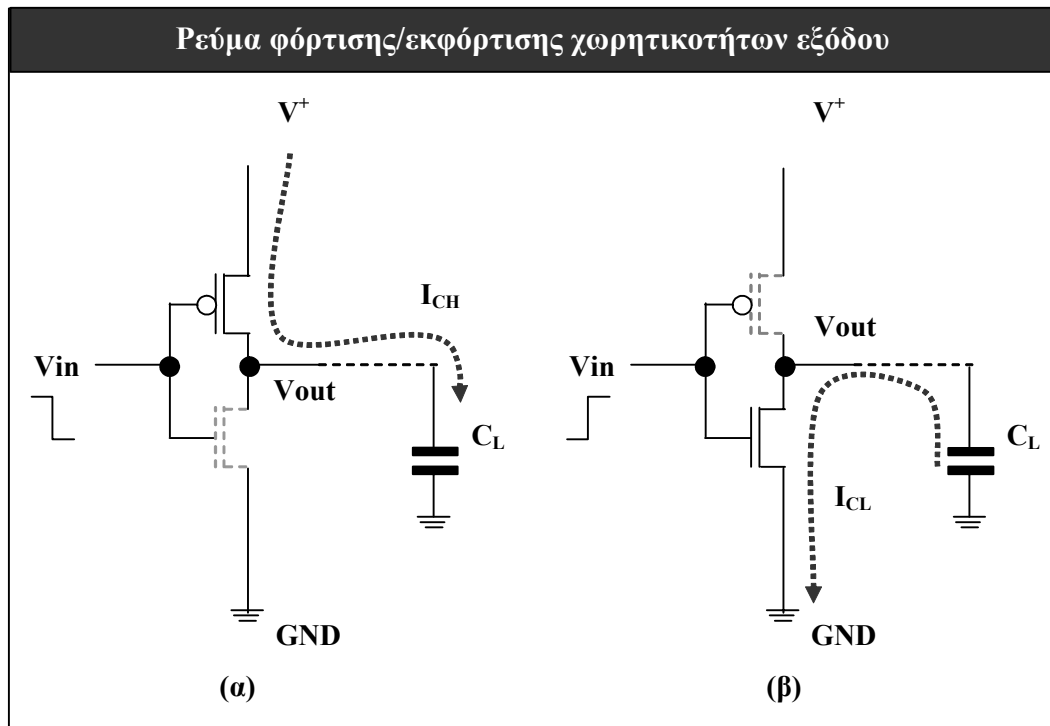
Σχήμα 5-2

Κατά την αλλαγή της τιμής εξόδου από τη μία κατάσταση στην άλλη, υπάρχει κάποιο μικρό χρονικό διάστημα, κατά το οποίο και τα δύο τρανζίστορ άγουν. Το άμεσο αποτέλεσμα είναι η εμφάνιση μίας αιχμής ρεύματος διαρροής (I_s) κατευθείαν από την τάση τροφοδοσίας προς τη γείωση. Το ρεύμα αυτό ονομάζεται συχνά και *ρεύμα totem-pole*, γιατί είναι χαρακτηριστικό των βαθμίδων με ζεύγος τρανζίστορ σε διάταξη totem-pole.

Όπως φαίνεται στο σχήμα 5-2, η αιχμή του ρεύματος totem-pole συμβαίνει περίπου κατά το μέσον της μετάβασης της τάσης εξόδου από τη μία λογική κατάσταση στην άλλη.

5.2.2 Ρεύμα φόρτισης/εκφόρτισης χωρητικοτήτων εξόδου.

Εκτός από την αιχμή ρεύματος totem-pole κατά τη μετάβαση μίας εξόδου από τη μία λογική κατάσταση στην άλλη, η βαθμίδα εξόδου διαρρέεται από το ρεύμα φόρτισης ή εκφόρτισης εσωτερικών και εξωτερικών χωρητικοτήτων. Η εσωτερική χωρητικότητα σχηματίζεται στην ίδια τη βαθμίδα εξόδου, ενώ η εξωτερική προέρχεται από τα χωρητικά φορτία των εισόδων των οδηγούμενων κυκλωμάτων, τα οποία συνδέονται στην έξοδο της βαθμίδας (κάθε ψηφιακή είσοδος παρουσιάζει χωρητικότητα από 2pF έως 10pF ανάλογα με τη χρησιμοποιούμενη τεχνολογία). Στο σχήμα 5-3 η χωρητικότητα αυτή απεικονίζεται συμβολικά ως πυκνωτής C_L .



Σχήμα 5-3

Κατά τη μετάβαση της εξόδου από τη χαμηλή στην υψηλή λογική στάθμη (σχήμα 5-3α) η χωρητικότητα C_L φορτίζεται από την τάση V^+ . Το αντίθετο συμβαίνει στην περίπτωση της μετάβασης από την υψηλή στη χαμηλή λογική στάθμη: η χωρητικότητα C_L εκφορτίζεται μέσω της γείωσης. Η ποσότητα του ρεύματος, το οποίο ρέει μέσω της βαθμίδας εξόδου δίνεται από τη σχέση:

$$I_{CL} = C_L \frac{dV}{dt}$$

όπου dV είναι η διαφορά δυναμικού μεταξύ υψηλής και χαμηλής λογικής στάθμης. Από τη σχέση αυτή φαίνεται ότι το ρεύμα φόρτισης/εκφόρτισης των χωρητικότητας είναι ανάλογο της διαφοράς των λογικών σταθμών HIGH και LOW (voltage swing) καθώς και της ταχύτητας αλλαγής της τάσης εξόδου (ελαχιστοποίηση όρου dt).

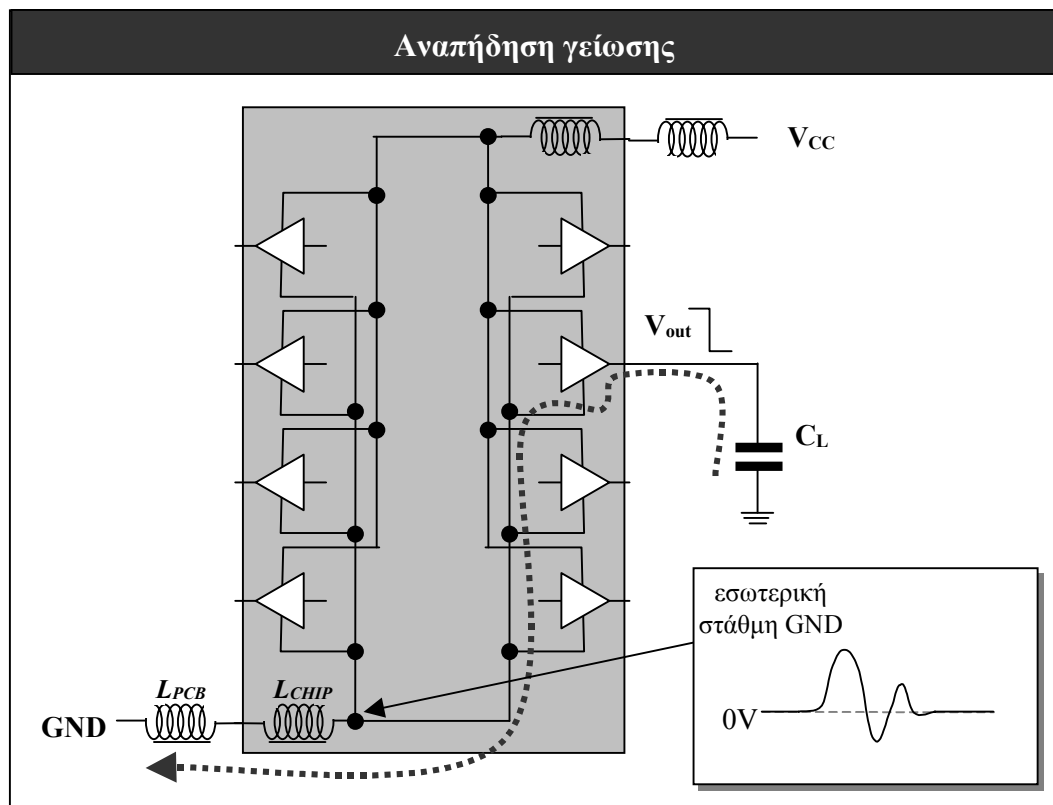
5.2.3 Αναπήδηση στάθμης γείωσης (ground bounce).

Τόσο το ρεύμα που απαιτείται για τη φόρτιση ή εκφόρτιση των χωρητικότητας εξόδου, όσο και το ρεύμα totem-pole ρέουν μέσω των ακροδεκτών γείωσης και τροφοδοσίας. Οι ακροδέκτες αυτοί, όπως και όλοι οι ακροδέκτες εισόδου και εξόδου ενός ολοκληρωμένου κυκλώματος παρουσιάζουν παρασιτική αυτεπαγωγή μεταξύ της εσωτερικής επιφάνειας πυριτίου (die) και της συσκευασίας (package). Κάθε είσοδος/έξοδος της επιφάνειας πυριτίου συνδέεται μέσω ενός αγωγού (σύρματος) σε ένα εσωτερικό πλαίσιο και αυτό με τη σειρά του συνδέεται με τους εξωτερικούς ακροδέκτες. Κάθε τμήμα της διασύνδεσης αυτής παρουσιάζει μία συγκεκριμένη τιμή αυτεπαγωγής. Κάθε τύπος συσκευασίας έχει διαφορετική τιμή αυτεπαγωγής ανά ακροδέκτη, όπως απεικονίζεται στον πίνακα 5-1:

Συσκευασία	Αυτεπαγωγή ανά ακροδέκτη
PDIP	13.7nH
PLCC	10nH
SOIC	8.5 nH
QSOP	3.6nH
FC-BGA	<1nH

Πίνακας 5-1

Παρασιτική αυτεπαγωγή παρουσιάζεται επίσης στις γραμμές του τυπωμένου κυκλώματος (PCB), οι οποίες συνδέουν τους ακροδέκτες του ολοκληρωμένου κυκλώματος με την κεντρική πηγή τροφοδοσίας. Στο σχήμα 5-4 η εσωτερική αυτεπαγωγή συμβολίζεται ως L_{CHIP} , ενώ η αυτεπαγωγή του τυπωμένου κυκλώματος ως L_{PCB} .



Σχήμα 5-4

Στο παράδειγμα του σχήματος 5-4, καθώς μία λογική έξοδος αλλάζει κατάσταση από HIGH σε LOW, ποσότητα ρεύματος ρέει προς τον ακροδέκτη της γείωσης GND. Η ροή αυτή ρεύματος έχει ως αποτέλεσμα την ανάπτυξη δυναμικού (V) στις παρασιτικές αυτεπαγωγές L_{CHIP} και L_{PCB} σύμφωνα με τη σχέση:

$$V = L \frac{dI}{dt}$$

Το δυναμικό αυτό αυξάνει πρόσκαιρα την εσωτερική τάση GND στην επιφάνεια του πυριτίου σε επίπεδο μεγαλύτερο από τα 0V. Αμέσως μετά, καθώς η ροή του ρεύματος μειώνεται, ακολουθεί μία κυμάτωση της εσωτερικής GND έως τη σταθεροποίησή της.

Το φαινόμενο αυτό ονομάζεται *αναπήδηση γείωσης* (ground bounce) και μπορεί να προκαλέσει σφάλματα στη λειτουργία των ψηφιακών κυκλωμάτων. Η διαφορά δυναμικού στα σύγχρονα κυκλώματα υψηλών ταχυτήτων μπορεί να υπερβεί το 1V.

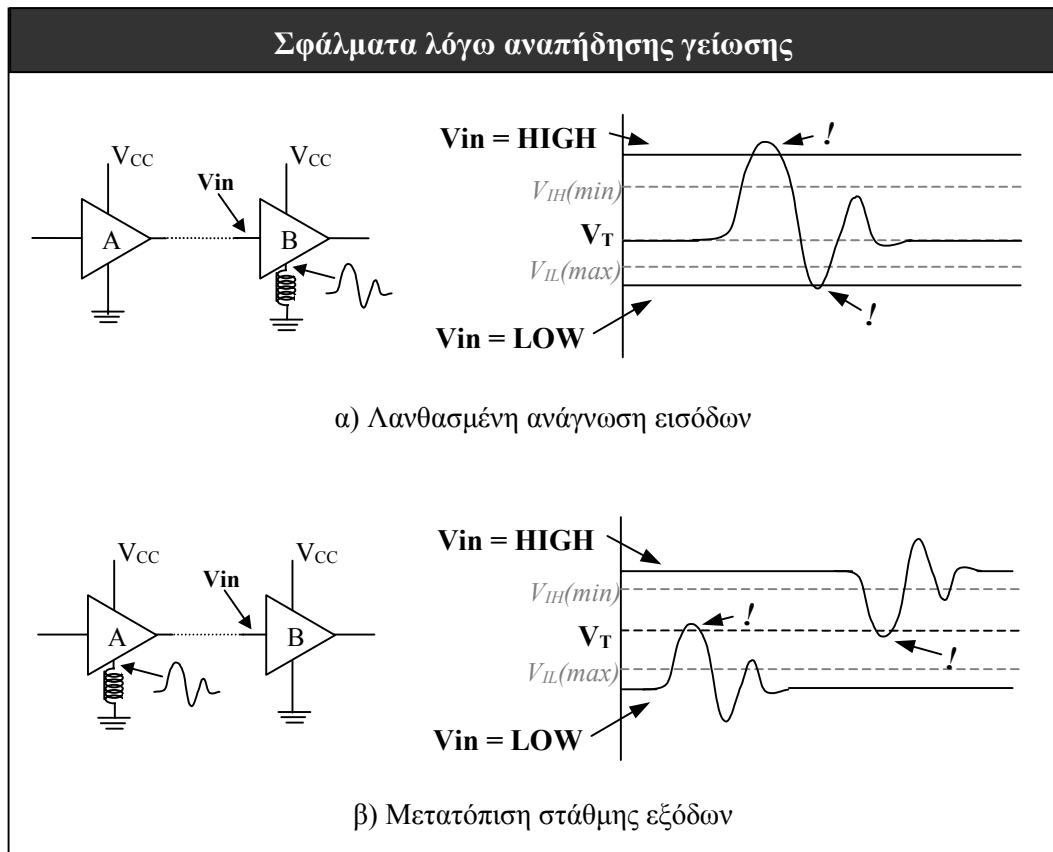
Αντίστοιχα με την αναπήδηση της γείωσης εμφανίζεται και μία ανάλογη μεταβολή στην εσωτερική τάση τροφοδοσίας (V_{CC}). Επειδή όμως οι περισσότερες λογικές οικογένειες χρησιμοποιούν ως τάση αναφοράς τη γείωση και έχουν μεγαλύτερες ανοχές ως προς τη λογική υψηλή στάθμη, η αναπήδηση της V_{CC} θεωρείται μικρότερης σημασίας.

Η αναπήδηση της γείωσης είναι ιδιαίτερα ισχυρή όταν αλλάζουν ταυτόχρονα πολλές εξοδοί του ίδιου ολοκληρωμένου κυκλώματος, επειδή πολλαπλασιάζεται το μέγεθος του ρεύματος που ρέει προς/από τους ακροδέκτες γείωσης/τροφοδοσίας. Για τον λόγο αυτόν, ο θόρυβος που παράγεται ονομάζεται συχνά και *θόρυβος ταυτόχρονης αλλαγής εξόδων* (simultaneous switching noise – SSN). Η ταυτόχρονη αλλαγή των λογικών εξόδων είναι κύριο χαρακτηριστικό των ψηφιακών συστημάτων, τα οποία χρονίζονται μέσω ενός κεντρικού παλμού ρολογιού. Ένα τυπικό παράδειγμα ταυτόχρονης αλλαγής εξόδων σε μικροϋπολογιστικά συστήματα είναι η αλλαγή διεύθυνσης μνήμης από 0FFFF(hex) σε 10000(hex).

5.2.4 Προβλήματα προκαλούμενα από την αναπήδηση της γείωσης.

Η αναπήδηση της γείωσης μειώνει δραστικά της ποιότητα του ψηφιακού σήματος και είναι μία από τις κύριες αιτίες πρόκλησης σφαλμάτων λειτουργίας. Τα προβλήματα που μπορεί να προκαλέσει η αναπήδηση της γείωσης είναι:

α) Λανθασμένες τιμές εισόδου (σχήμα 5-5α). Η στάθμη κατωφλίου (V_T) του ολοκληρωμένου κυκλώματος B για τη διάκριση των λογικών σταθμών έχει ως αναφορά την (εσωτερική) τάση γείωσης. Όταν η τελευταία μετατοπίζεται λόγω της αναπήδησης, το ίδιο συμβαίνει με την τιμή της τάσης κατωφλίου. Η μετατόπιση της τάσης κατωφλίου είναι πιθανόν να προκαλέσει λανθασμένη “ερμηνεία” των σταθερών τιμών εισόδου που προέρχονται από άλλα ολοκληρωμένα κυκλώματα.



Σχήμα 5-5

β) Μετατόπιση των σταθμών εξόδου (σχήμα 5-5β). Οι έξοδοι κάθε ψηφιακού ολοκληρωμένου κυκλώματος είναι συνδεδεμένες άμεσα (ιδίως σε βαθμίδες εξόδου CMOS) με την εσωτερική τάση γείωσης (για εξόδους σε χαμηλή λογική κατάσταση) ή τροφοδοσίας (για εξόδους σε υψηλή κατάσταση). Οποιαδήποτε αναπήδηση της εσωτερικής τάσης γείωσης θα εμφανιστεί σε όλες τις εξόδους LOW, ενώ η αντίστοιχη αναπήδηση της τάσης τροφοδοσίας επηρεάζει όλες τις εξόδους HIGH, οδηγώντας ενδεχομένως τις στάθμες εξόδου εκτός των εγγυημένων περιοχών τιμών.

5.2.5 Αντιμετώπιση θορύβου αναπήδησης γείωσης.

Τα παραδείγματα της προηγούμενης παραγράφου αποτελούν τη χειρότερη περίπτωση των προβλημάτων που μπορεί να προκαλέσει η αναπήδηση της γείωσης. Όμως, ακόμα κι όταν οι μετατοπίσεις των τάσεων δεν είναι τέτοιες ώστε να προκαλούνται άμεσα σφάλματα, το παραγόμενο ψηφιακό σήμα έχει πάντοτε χαμηλή ποιότητα και υψηλό θόρυβο, ιδίως στα ψηφιακά κυκλώματα υψηλών ταχυτήτων. Για τον λόγο αυτόν, η αντιμετώπιση του φαινομένου είναι επιβεβλημένη.

Η αναπήδηση της γείωσης δεν είναι δυνατόν να εξαλειφθεί τελείως, μπορεί όμως να ελαχιστοποιηθεί. Αντιμετωπίζεται: α) κατά τον σχεδιασμό του ολοκληρωμένου κυκλώματος και β) κατά τη χρήση του κυκλώματος αυτού.

Οι κατασκευαστές του ολοκληρωμένου κυκλώματος λαμβάνουν ορισμένες προφυλάξεις, έτσι ώστε το προϊόν τους να εμφανίζει σε όσο το δυνατόν μικρότερο βαθμό αναπήδηση γείωσης. Για τα ολοκληρωμένα κυκλώματα χρησιμοποιούνται σήμερα εξελιγμένοι τύποι συσκευασιών (packages) με μειωμένη παρασιτική αυτεπαγωγή ανά ακροδέκτη. Επίσης, τα ολοκληρωμένα κυκλώματα υψηλών

ταχυτήτων διαθέτουν περισσότερους από έναν ακροδέκτες για τις γραμμές γείωσης και τροφοδοσίας. Οι ακροδέκτες αυτοί είναι κατανεμημένοι ομοιόμορφα και όσο το δυνατόν κοντύτερα στην εσωτερική επιφάνεια πυριτίου. Έτσι μειώνονται οι παρασιτικές αυτεπαγωγές, καθώς και το ρεύμα που διαρρέει κάθε ακροδέκτη.

Εκτός από τον έλεγχο των παρασιτικών αυτεπαγωγών, λαμβάνονται μέτρα για τον περιορισμό του ρεύματος που διαρρέει τις βαθμίδες εξόδου. Όπως αναφέρθηκε σε προηγούμενη παράγραφο, το ρεύμα αυτό είναι ανάλογο της διαφοράς δυναμικού μεταξύ των λογικών σταθμών LOW και HIGH, καθώς και της ταχύτητας αλλαγής της κατάστασης των εξόδων. Έτσι, οι βαθμίδες εξόδου CMOS με πλήρεις αλλαγές στάθμης εξόδου από V_{CC} σε GND παράγουν περισσότερο θόρυβο. Αντί για τα επίπεδα αυτά χρησιμοποιούνται στάθμες TTL ή και ακόμα χαμηλότερης διαφοράς, έτσι ώστε να ελαχιστοποιείται το ρεύμα κατά την αλλαγή των εξόδων.

Επίσης, οι σύγχρονες βαθμίδες εξόδου είναι ειδικά σχεδιασμένες (συχνά με την προσθήκη εσωτερικών αντιστάσεων περιορισμού ρεύματος), έτσι ώστε να είναι δυνατός ο έλεγχος της ταχύτητας αλλαγής της κατάστασης των εξόδων (output edge rate). Με τον τρόπο αυτόν ρυθμίζεται πόσο γρήγορα φορτίζονται/εκφορτίζονται οι χωρητικότητες εξόδου και συνεπώς και ο ρυθμός μεταβολής του ρεύματος που διαρρέει τη βαθμίδα εξόδου. Ελέγχοντας τη μεταβολή του ρεύματος, διατηρείται και το δυναμικό που αναπτύσσεται στις παρασιτικές αυτεπαγωγές σε ελεγχόμενα επίπεδα.

Τα μέτρα που αναφέρθηκαν προηγουμένως λαμβάνονται κατά τον σχεδιασμό του ολοκληρωμένου κυκλώματος. Αντίστοιχη φροντίδα όμως απαιτείται και κατά τη χρήση του, πάνω σε τυπωμένο κύκλωμα. Εάν οι γραμμές γείωσης - τροφοδοσίας στο τυπωμένο κύκλωμα δεν έχουν σχεδιαστεί σωστά, η αναπήδηση του δυναμικού πολλαπλασιάζεται και μπορεί να επηρεάσει και γειτονικά ολοκληρωμένα κυκλώματα.

Οι γραμμές (αγωγοί) ενός τυπωμένου κυκλώματος παρουσιάζουν παρασιτικές αυτεπαγωγές. Οι αυτεπαγωγές αυτές γίνονται κρίσιμες όσο αυξάνει η ταχύτητα λειτουργίας των ψηφιακών κυκλωμάτων. Ένα άμεσο επακόλουθο των παρασιτικών αυτεπαγωγών είναι και η εμφάνιση της αναπήδησης της γείωσης όχι μόνο στο εσωτερικό των ολοκληρωμένων κυκλωμάτων, αλλά και πάνω στις γραμμές του τυπωμένου κυκλώματος.

Η κύρια μέθοδος αντιμετώπισης της αναπήδησης γείωσης είναι η χρήση αγωγών γείωσης με όσο το δυνατόν μικρότερη αυτεπαγωγή. Αυτό επιτυγχάνεται με τη χρησιμοποίηση ολόκληρων επιπέδων γείωσης (πολυεπίπεδα τυπωμένα κυκλώματα), με όσο το δυνατόν πιο ομοιόμορφα γεωμετρικά χαρακτηριστικά και λιγότερες ασυνέχειες και τομές.

Σε πολύ υψηλές ταχύτητες όμως, ακόμα και η ελάχιστη αυτεπαγωγή των επιπέδων γείωσης είναι μη ανεκτή. Για τον λόγο αυτόν χρησιμοποιούνται *πυκνωτές αποσύζευξης* (decoupling ή bypass capacitors) 10nF έως 100nF μεταξύ των ακροδεκτών γείωσης και τροφοδοσίας. Οι πυκνωτές αυτοί ενεργούν για σύντομο χρονικό διάστημα ως τοπικές αποθήκες φορτίου για τους ακροδέκτες γείωσης και τροφοδοσίας. Έτσι τα ρεύματα των βαθμίδων εξόδου δεν κυκλοφορούν μέχρι το τροφοδοτικό του συστήματος, αλλά μόνο από/προς τον γειτονικό πυκνωτή αποσύζευξης. Το μήκος των αγωγών γείωσης/τροφοδοσίας που διαρρέεται από ρεύμα ελαχιστοποιείται, το ίδιο και οι παρασιτικές αυτεπαγωγές, οπότε μειώνεται σημαντικά και το δυναμικό αναπήδησης που αναπτύσσεται σε αυτές.

Ιδιαίτερη φροντίδα πρέπει να καταβληθεί ώστε οι πυκνωτές αποσύζευξης να βρίσκονται όσο το δυνατόν κοντύτερα στους ακροδέκτες γείωσης-τροφοδοσίας κάθε ολοκληρωμένου κυκλώματος. Σε αντίθετη περίπτωση, οι αγωγοί σύνδεσης των πυκνωτών με το ολοκληρωμένο κύκλωμα προσθέτουν τη δική τους παρασιτική αυτεπαγωγή στο κύκλωμα.

Τέλος, για κάθε εφαρμογή θα πρέπει να επιλέγεται η κατάλληλη λογική οικογένεια ανάλογα με την απαιτούμενη ικανότητα οδήγησης. Βαθμίδες εξόδου με ικανότητα οδήγησης μεγαλύτερη από την αναγκαία δεν προσθέτουν στο σύστημα παρά μόνον θόρυβο, εφόσον διαρρέονται από ισχυρότερα ρεύματα και η αναπήδηση της γείωσης είναι μεγαλύτερη.

5.2.6 Βρόχος επιστροφής σήματος.

Η περιγραφή των φαινομένων, τα οποία συμβαίνουν κατά την αλλαγή της στάθμης των εξόδων ενός ψηφιακού κυκλώματος, ολοκληρώνεται με την αναφορά σε ένα συναφές θέμα: την επιστροφή του ρεύματος κατά τη μετάδοση ενός σήματος.

Το ρεύμα που ρέει από την βαθμίδα εξόδου προς το οδηγούμενο κύκλωμα για την αλλαγή της λογικής στάθμης ενός σήματος πρέπει τελικά να επιστρέψει πίσω στο κύκλωμα οδήγησης σχηματίζοντας έναν κλειστό βρόχο (closed loop) ρεύματος. Η επιστροφή του ρεύματος πραγματοποιείται συνήθως μέσω των γραμμών γείωσης.

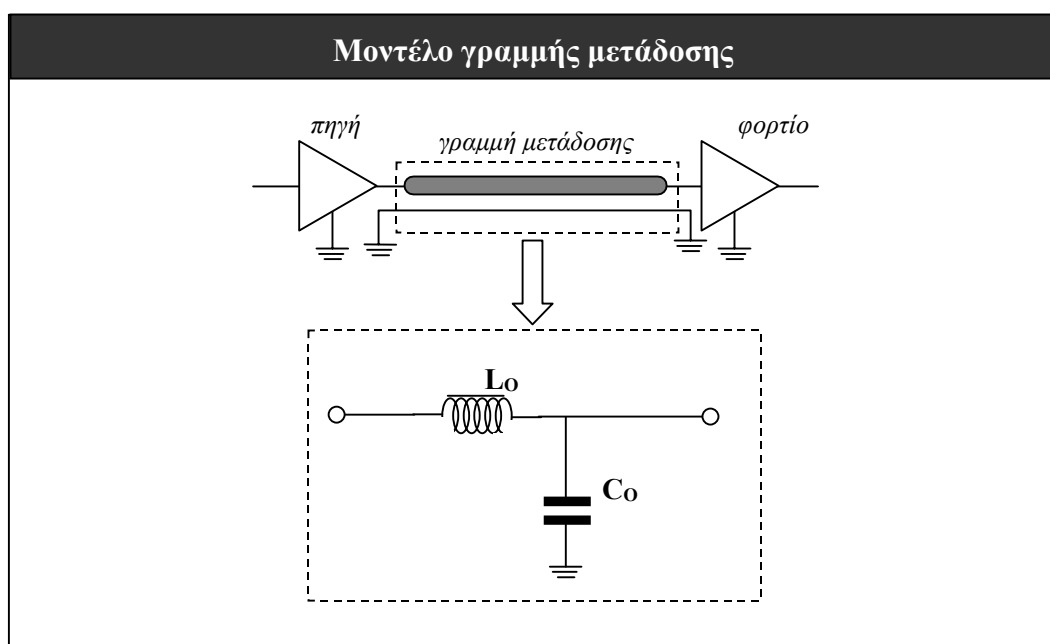
Στα μοντέρνα ψηφιακά συστήματα υψηλών ταχυτήτων, οι βρόχοι επιστροφής, οι οποίοι περικλείουν μεγάλη επιφάνεια, αποτελούν σημαντικές πηγές θορύβου και ηλεκτρομαγνητικών παρεμβολών. Για τον λόγο αυτόν, η επιφάνεια που περικλείεται σε βρόχους επιστροφής πρέπει να είναι όσο το δυνατόν μικρότερη, ή αλλιώς, η γραμμή επιστροφής να είναι όσο το δυνατόν πλησιέστερα στη γραμμή μετάδοσης του σήματος.

Η χρησιμοποίηση ολόκληρων επιπέδων γείωσης και τροφοδοσίας κάτω από τους αγωγούς των σημάτων σε τυπωμένα κυκλώματα πολλαπλών επιπέδων, είναι η κύρια τεχνική μείωσης των βρόχων επιστροφής. Λόγω των ηλεκτρομαγνητικών πεδίων, το σήμα επιστροφής τείνει να κινείται ακριβώς κάτω από τον αγωγό του σήματος, ελαχιστοποιώντας το εμβαδόν της επιφάνειας που περικλείεται στον βρόχο.

5.3 Γραμμές μετάδοσης (transmission lines).

Για τη μετάδοση του ψηφιακού σήματος από την έξοδο του ενός κυκλώματος (πηγή - *source*) στην είσοδο του επόμενου (φορτίο - *load*), χρησιμοποιείται κάποιου είδους αγωγός. Από φυσικής άποψης, κατά μήκος του αγωγού, στα όρια μεταξύ αγωγίμου και μη-αγωγίμου υλικού, αναπτύσσονται μεταβαλλόμενα ηλεκτρικά και μαγνητικά πεδία, τα οποία μεταφέρουν ένα κύμα ηλεκτρομαγνητικής ενέργειας από την πηγή στο φορτίο.

Κάθε γραμμή μετάδοσης χαρακτηρίζεται από συγκεκριμένες τιμές αυτεπαγωγής, χωρητικότητας, αγωγιμότητας και αντίστασης ανά μονάδα μήκους. Στις συχνότητες λειτουργίας των ψηφιακών κυκλωμάτων (1MHz και πλέον) η αγωγιμότητα και η αντίσταση της γραμμής είναι αμελητέες σε σχέση με την αυτεπαγωγή και τη χωρητικότητα. Έτσι, η γραμμή μετάδοσης μπορεί να αναπαρασταθεί από το μοντέλο του σχήματος 5-6:



Σχήμα 5-6

Η γραμμή μετάδοσης χαρακτηρίζεται πλήρως από τις τιμές (ανά μονάδα μήκους) αυτεπαγωγής (L_0 , σε nH/cm) και χωρητικότητας (C_0 , σε pF/cm). Κατά τη μετακίνηση του ηλεκτρομαγνητικού κύματος, η αυτεπαγωγή L_0 και η χωρητικότητα C_0 καθορίζουν τη ροή ρεύματος και την ανάπτυξη δυναμικού στη γραμμή σε κάθε χρονική στιγμή.

Πρέπει να τονιστεί ότι κάθε γραμμή μετάδοσης αποτελείται στην πραγματικότητα από ένα ζεύγος γραμμών. Στο σχήμα 5-6 το ζεύγος αποτελούν: α) η γραμμή διασύνδεσης των δύο κυκλωμάτων και β) η γραμμή της κοινής στάθμης αναφοράς (γείωση).

Με βάση το μοντέλο του σχήματος 5-6, θεωρείται ότι δεν υπάρχει απώλεια ενέργειας πάνω στη γραμμή (lossless line). Αυτό πρακτικά σημαίνει ότι το ψηφιακό σήμα μεταφέρεται από την είσοδο στην έξοδο της γραμμής μετάδοσης με την ελάχιστη παραμόρφωση, ύστερα από ορισμένη χρονική καθυστέρηση. Επίσης, η γραμμή μετάδοσης δεν έχει φορά: οποιοδήποτε άκρο της γραμμής μπορεί να είναι “είσοδος” ή “έξοδος”.

Η ταχύτητα διάδοσης (velocity of propagation - v_p) του σήματος από το ένα άκρο της γραμμής στο άλλο εξαρτάται από το διηλεκτρικό (μονωτικό) υλικό που περιβάλλει τον αγωγό, εφόσον η ενέργεια μετακινείται στην πραγματικότητα γύρω από τον αγωγό. Η μέγιστη ταχύτητα διάδοσης, ίση με την ταχύτητα του φωτός, επιτυγχάνεται όταν ο αγωγός περιβάλλεται από αέρα ή κενό. Η ταχύτητα διάδοσης δίνεται από τη σχέση:

$$v_p = \frac{1}{\sqrt{L_o * C_o}}$$

και συνήθως εκφράζεται ως ποσοστό της ταχύτητας του φωτός ($c = 3 \cdot 10^8$ m/sec ή 30 cm/ns). Συχνά, αντί της ταχύτητας διάδοσης, δίνεται το αντίστροφο μέγεθος, ο χρόνος δηλαδή που απαιτείται για τη διάσχιση μίας μονάδας μήκους της γραμμής. Ο χρόνος αυτός συμβολίζεται ως t_p (propagation delay) και μετριέται σε ns/cm ή ps/cm.

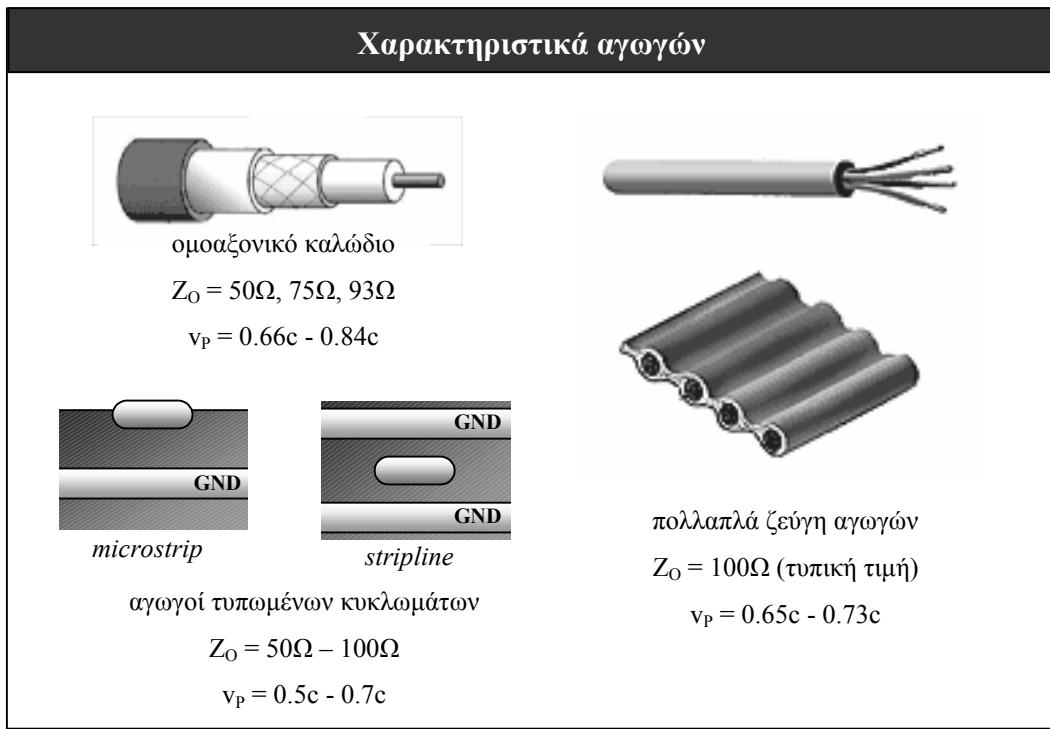
Εκτός από την ταχύτητα διάδοσης, κάθε γραμμή μετάδοσης χαρακτηρίζεται από ένα άλλο μέγεθος, το οποίο ονομάζεται *χαρακτηριστική αντίσταση* (characteristic impedance) και συμβολίζεται ως Z_o . Η χαρακτηριστική αντίσταση δίνεται από τη σχέση:

$$Z_o = \sqrt{\frac{L_o}{C_o}}$$

Η χαρακτηριστική αντίσταση Z_o εξαρτάται από τη γεωμετρία και τα υλικά της γραμμής μετάδοσης. Όσο τα τελευταία παραμένουν ίδια, η Z_o είναι ανεξάρτητη από το μήκος της γραμμής. Η Z_o μετριέται σε Ohms.

Η χαρακτηριστική αντίσταση Z_o έχει θεμελιώδη σημασία για το μοντέλο της γραμμής μετάδοσης, όπως αυτό παρουσιάστηκε προηγουμένως, διότι ο λόγος τάσης-ρεύματος (V/I) σε κάθε σημείο της γραμμής και σε κάθε χρονική στιγμή ισούται με Z_o .

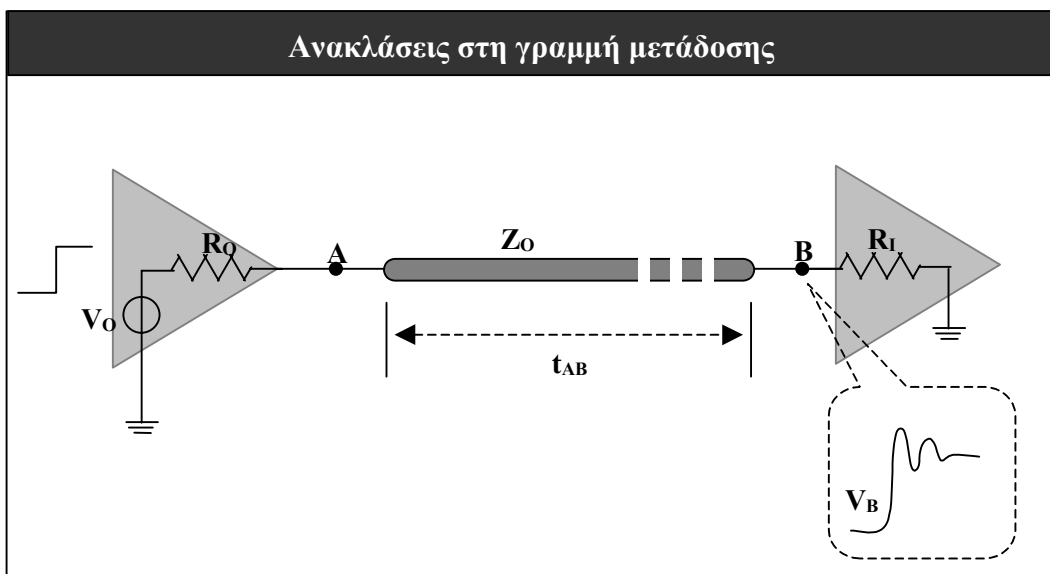
Στο σχήμα 5-7 απεικονίζονται διάφορα είδη αγωγών μαζί με αντιπροσωπευτικές τιμές Z_o και v_p . Τα ομοαξονικά καλώδια αποτελούνται από έναν εσωτερικό αγωγό, ο οποίος περιβάλλεται από διηλεκτρικό (μονωτικό) υλικό, έναν εξωτερικό αγωγό (θωράκιση) και το μονωτικό περίβλημά του. Τα ζεύγη αγωγών διατίθενται σε διάφορες μορφές και αποτελούνται από πολλαπλούς αγωγούς με μονωτικό περίβλημα. Τέλος, υπάρχουν δύο τυποποιημένα είδη αγωγών πάνω σε τυπωμένα κυκλώματα (PCBs): α) στην επιφάνεια της πλακέτας, σε αναφορά με υποκείμενο επίπεδο γείωσης (microstrip) και β) ανάμεσα σε δύο επίπεδα γείωσης (stripline). Η ταχύτητα διάδοσης είναι μεγαλύτερη στην περίπτωση του microstrip, διότι ένα μέρος του αγωγού δεν εφάπτεται στο διηλεκτρικό υλικό της πλακέτας.



Σχήμα 5-7

Κατά τη μετάδοση σημάτων υψηλής συχνότητας πάνω σε μία γραμμή μετάδοσης, εμφανίζονται ορισμένα φαινόμενα, τα οποία δεν μπορούν να αναλυθούν μέσω της κλασσικής θεωρίας κυκλωμάτων. Η μελέτη των φαινομένων αυτών είναι αναγκαία για τη διατήρηση της ακεραιότητας των ψηφιακών σημάτων και τη μείωση του θορύβου. Στις επόμενες παραγράφους αναλύονται τα κυριότερα φαινόμενα των γραμμών μετάδοσης και παρουσιάζονται τρόποι αντιμετώπισης των προκαλούμενων προβλημάτων.

5.3.1 Ανακλάσεις σε γραμμές μετάδοσης.



Σχήμα 5-8

Καθώς το ψηφιακό σήμα διασχίζει μία γραμμή μετάδοσης, ανακλάσεις δημιουργούνται όταν συναντήσει σημεία αλλαγής ή ασυνέχειας της χαρακτηριστικής αντίστασης Z_0 . Για την εξήγηση του φαινομένου των ανακλάσεων χρησιμοποιείται η διάταξη του σχήματος 5-8.

Στο σχήμα 5-8, η έξοδος ενός ψηφιακού κυκλώματος αλλάζει από χαμηλή σε υψηλή στάθμη (από 0 σε V_0 volts). Η βαθμίδα εξόδου του κυκλώματος αυτού έχει εσωτερική εμπέδηση (σύνθετη αντίσταση) εξόδου R_0 και συνδέεται στο άκρο A μίας γραμμής μετάδοσης με χαρακτηριστική αντίσταση Z_0 .

Αμέσως μόλις αλλάξει η τάση εξόδου, στο σημείο A εμφανίζεται αρχική τάση V_{A0} , η οποία είναι ίση με:

$$V_{A0} = \frac{Z_0 * V_0}{R_0 + Z_0}$$

λόγω του διαιρέτη τάσης που σχηματίζουν οι σύνθετες αντιστάσεις R_0 και Z_0 . Το μέτωπο τάσης V_{A0} ονομάζεται “πρωτεύον μέτωπο” (incident wave) και διαδίδεται μέσω της γραμμής μετάδοσης προς το σημείο B.

Κατά τη μετάδοση του μετώπου τάσης ισχύει η σχέση $V/I = Z_0$ σε κάθε σημείο της γραμμής για κάθε χρονική στιγμή. Όταν το σήμα φτάσει στο άκρο B έπειτα από χρόνο t_{AB} , συναντά την εσωτερική εμπέδηση εισόδου R_I του οδηγούμενου κυκλώματος. Στο σημείο εκείνο θα πρέπει να ικανοποιούνται ταυτόχρονα οι σχέσεις $V/I = Z_0$ και $V/I = R_I$. Αν η R_I ισούται ακριβώς με Z_0 , τότε η μεταφερόμενη ενέργεια απορροφάται τελείως. Σε αντίθετη περίπτωση, ένα μέρος του μετώπου ανακλάται πίσω προς το σημείο A.

Το εύρος και η πολικότητα του μετώπου ανάκλασης περιγράφεται από τον *συντελεστή ανάκλασης* ρ (reflection coefficient) ο οποίος δίνεται από τη γενική σχέση:

$$\rho = \frac{R - Z_0}{R + Z_0}$$

για κάθε σημείο αλλαγής της χαρακτηριστικής αντίστασης της γραμμής μετάδοσης από Z_0 σε R .

Εάν το σημείο B ήταν βραχυκυκλωμένο (συνδεδεμένο κατευθείαν στη γείωση, $R = 0$), ο συντελεστής ρ θα ήταν ίσος με -1 . Ένα μέτωπο τάσης ίσο αλλά αντίθετης πολικότητας εκείνου που έφτασε στο σημείο B, θα μηδένιζε την τάση στο σημείο B και στη συνέχεια θα διαδιδόταν προς το σημείο A.

Εάν το σημείο B ήταν ανοικτό κύκλωμα (χωρίς συνδεδεμένο φορτίο, $R = \infty$), το ρ θα ήταν ίσο με 1. Ένα μέτωπο τάσης ίσο και ίδιας πολικότητας εκείνου που έφτασε στο σημείο B, θα διπλασίαζε την τάση στο B και στη συνέχεια θα διαδιδόταν προς το σημείο A.

Στη διάταξη του σχήματος 5-8, το σημείο B συνδέεται στην σύνθετη αντίσταση εισόδου R_I του οδηγούμενου κυκλώματος. Η R_I με συνήθεις τιμές 10-20MΩ είναι πολύ μεγαλύτερη από την Z_0 (50-100Ω) και έτσι είναι $\rho \approx 1$. Η τάση στο σημείο B, η οποία τη στιγμή αυτή είναι ίση με V_{A0} , διπλασιάζεται, ενώ ένα μέτωπο τάσης V_{A0} μεταδίδεται προς το σημείο A.

Όταν το μέτωπο ανάκλασης φτάσει στο σημείο A, η χαρακτηριστική αντίσταση αλλάζει από Z_0 σε R_0 . Εάν η τιμή της R_0 είναι διαφορετική από εκείνη της Z_0 , ένα

μέρος του μετώπου ανάκλασης θα επιστρέψει ξανά προς το σημείο B, ενδεχομένως με διαφορετική πολικότητα.

Το φαινόμενο θα συνεχίσει να επαναλαμβάνεται και η τάση στο σημείο B να ταλαντώνεται μέχρι να φτάσει στην τελική της τιμή ισορροπίας. Οι αλλαγές της τάσης στο σημείο B θα συμβαίνουν κάθε $2 \cdot t_{AB}$ (απαιτούμενος χρόνος για να διασχίσει το σήμα την απόσταση από το B στο A και πάλι στο B, καθυστέρηση ονομαζόμενη round-trip delay). Όσο μακρύτερη είναι η γραμμή μετάδοσης, τόσο αργότερα η τάση στο σημείο B θα φτάσει στην τελική της τιμή.

Η κυμάτωση της τάσης του σήματος αποτελεί μία σημαντική πηγή θορύβου στο συνολικό σύστημα. Επιπλέον, εάν η οδηγούμενη γραμμή είναι σήμα ρολογιού, μπορεί να προκληθεί λανθασμένη πυροδότηση (false triggering) των οδηγούμενων λογικών κυκλωμάτων.

5.3.2 Τερματισμός γραμμών μετάδοσης.

Τα μοντέρνα ψηφιακά κυκλώματα έχουν την ικανότητα να οδηγήσουν ένα σήμα των 5V σε φορτία πάνω από 50pF, διατηρώντας το χρόνο αλλαγής λογικής στάθμης κοντά στο 1ns. Σε αυτούς τους ρυθμούς λειτουργίας, τα φαινόμενα των γραμμών μετάδοσης είναι αναπόφευκτα.

Για την αποφυγή της δημιουργίας ανακλάσεων σε μία γραμμή μετάδοσης πρέπει θεωρητικά η γραμμή να τερματίζεται στην έξοδό της (σημείο B του σχήματος 5-8) με μία αντίσταση R_T ακριβώς ίση με την χαρακτηριστική αντίσταση Z_0 της γραμμής. Στην περίπτωση αυτή, ο συντελεστής ανάκλασης ρ ισούται με 0 και η μεταφερόμενη ενέργεια απορροφάται πλήρως από την αντίσταση R_T χωρίς να δημιουργούνται περαιτέρω ανακλάσεις.

Στην αρχή του “ταιριάσματος” (matching) της Z_0 με τη σύνθετη αντίσταση πρόσθετων στοιχείων (κυρίως αντιστάσεων) βασίζονται όλες οι τεχνικές εξάλειψης ή μείωσης των ανακλάσεων στις γραμμές μετάδοσης. Με την προσθήκη των στοιχείων αυτών η γραμμή τερματίζεται (line termination). Οι διάφορες τεχνικές τερματισμού θα παρουσιαστούν στις επόμενες παραγράφους.

Όμως, επειδή όλες οι τεχνικές τερματισμού απαιτούν πρόσθετα στοιχεία και αυξάνουν κατά κανόνα την κατανάλωση ισχύος στο σύστημα, εφαρμόζονται μόνον όταν αυτό είναι αναγκαίο. Η αναγκαιότητα τερματισμού μίας γραμμής μετάδοσης εξαρτάται από το μήκος της και τη συχνότητα του μεταδιδόμενου ψηφιακού σήματος.

Μία γραμμή μετάδοσης δεν απαιτεί τερματισμό όταν το μήκος της είναι “ηλεκτρικά” μικρό, όταν δηλαδή οι χρόνοι ανόδου (t_r) και καθόδου (t_f) του ψηφιακού σήματος είναι μεγαλύτεροι από τον χρόνο που χρειάζεται το σήμα για να διασχίσει τη γραμμή. Αν αυτό είναι αληθές, θεωρείται ότι ο αγωγός δεν συμπεριφέρεται ως γραμμή μεταφοράς, αλλά ως ενιαίος κόμβος, όπου το ρεύμα και η τάση υπολογίζονται μέσω της κλασσικής ανάλυσης κυκλωμάτων. Στην περίπτωση αυτή, φαινόμενα όπως οι ανακλάσεις, δεν επηρεάζουν την ακεραιότητα του σήματος.

Ο εμπειρικός κανόνας που εφαρμόζεται για να καθοριστεί εάν ένας αγωγός θα συμπεριφερθεί ως γραμμή μετάδοσης δίνεται από τη σχέση:

$$t_r < \alpha \cdot t_{PD}$$

όπου t_r είναι ο ελάχιστος από τους χρόνους ανόδου και καθόδου του σήματος και t_{PD} είναι ο χρόνος που χρειάζεται το σήμα να διασχίσει τον αγωγό. Ο συντελεστής α έχει

συνήθως την τιμή 2 ($2 \cdot t_{PD}$ είναι ο χρόνος που χρειάζεται το σήμα να διασχίσει τη γραμμή και να επιστρέψει πίσω η πρώτη ανάκλαση), ενώ σε κρίσιμους σχεδιασμούς μπορεί να πάρει την τιμή 4, λαμβάνοντας υπ' όψη και τη δεύτερη ανάκλαση του σήματος.

Αν η πιο πάνω σχέση είναι αληθής, τότε ο αγωγός θα συμπεριφερθεί ως γραμμή μετάδοσης. Στην αντίθετη περίπτωση, οι ανακλάσεις είναι αμελητέες και δεν απαιτείται τερματισμός της γραμμής.

Αντικαθιστώντας στην προηγούμενη σχέση τον παράγοντα t_{PD} με το γινόμενο $t_p \cdot L$, όπου t_p είναι ο απαιτούμενος χρόνος διάδοσης στη μονάδα μήκους της γραμμής και L το μήκος του αγωγού, καταλήγουμε στη σχέση που δίνει το μέγιστο μήκος αγωγού που δεν θα συμπεριφερθεί ως γραμμή μετάδοσης και δεν απαιτεί τερματισμό:

$$L_{\max} = \frac{t_r}{\alpha \cdot t_p}$$

Το t_p εξαρτάται από τον τύπο του αγωγού, ενώ το t_r από την οικογένεια του ψηφιακού κυκλώματος οδήγησης. Στον πίνακα 5-2 που ακολουθεί, δίνεται ως παράδειγμα το μέγιστο επιτρεπόμενο μήκος ατερμάτιστου αγωγού τύπου microstrip σε πλακέτα τυπωμένου κυκλώματος με διηλεκτρικό υλικό FR-4 (Epoxy/Glass) και διηλεκτρική σταθερά 4.6, όπου $t_p = 56\text{ps/cm}$.

αγωγός: FR-4 microstrip $t_p = 56\text{ps/cm}$							
τεχνολογία	TTL			CMOS		ECL	
λογική οικογένεια	LS	ALS	FAST	HC	FACT	10H	100K
t_r (ns)	6	3	2	4	2	1	0.7
$L_{\max} (\alpha = 2)$ (cm)	54	27	18	36	18	9	6
$L_{\max} (\alpha = 4)$ (cm)	27	13	9	18	9	4	3

Πίνακας 5-2

Όταν το μήκος του αγωγού ξεπερνά το μέγιστο επιτρεπόμενο για τη χρησιμοποιούμενη λογική οικογένεια, τότε είναι απαραίτητος ο τερματισμός της γραμμής. Υπάρχουν τεχνικές τερματισμού με προσθήκη στοιχείων τόσο στην πλευρά του φορτίου (οδηγούμενα κυκλώματα), όσο και στην πλευρά της πηγής του σήματος (κύκλωμα οδήγησης). Οι τεχνικές αυτές παρουσιάζονται στη συνέχεια.

5.3.3 Μέθοδοι τερματισμού στην πλευρά του φορτίου.

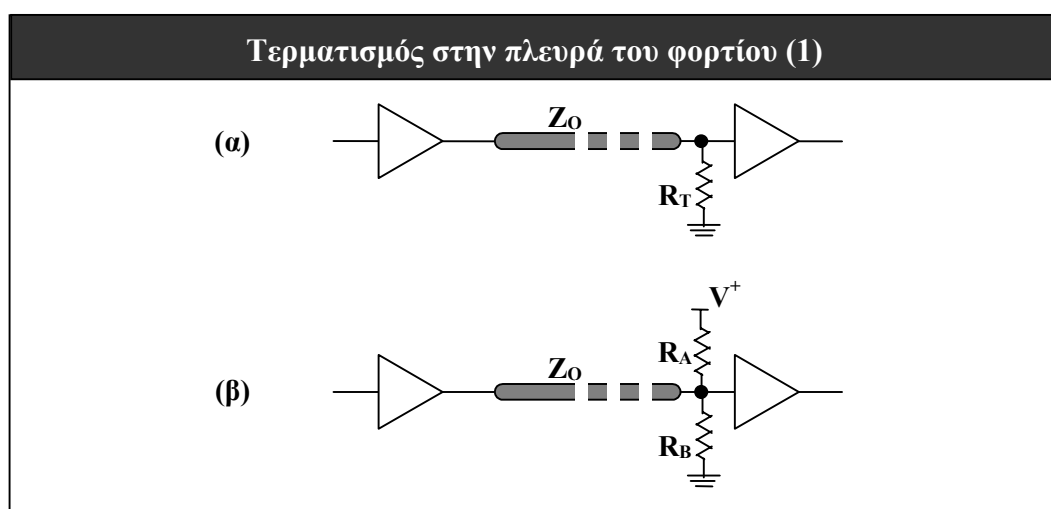
Η πιο απλή μέθοδος τερματισμού ονομάζεται “παράλληλος τερματισμός” και υλοποιείται με την προσθήκη μίας αντίστασης τερματισμού R_T στην πλευρά του φορτίου, ανάμεσα στη γραμμή μετάδοσης και τη γείωση (σχήμα 5-9α). Η αντίσταση R_T ισούται με την χαρακτηριστική αντίσταση Z_0 της γραμμής μετάδοσης, οπότε ο συντελεστής ανάκλασης στην είσοδο του φορτίου είναι 0.

Ο παράλληλος τερματισμός των γραμμών μετάδοσης απλουστεύει τον σχεδιασμό του συστήματος, έχει όμως και σοβαρά μειονεκτήματα:

α) Η κατανάλωση ισχύος αυξάνεται. Επειδή η χαρακτηριστική Z_0 της γραμμής μετάδοσης είναι μικρή (50-100Ω), πρέπει και η τιμή της R_T να κυμαίνεται σε αντίστοιχα επίπεδα. Η μικρή τιμή της R_T συνεπάγεται αυξημένο ρεύμα και κατανάλωση ισχύος κατά τη μία λογική κατάσταση της εξόδου. Για παράδειγμα, για

υψηλή στάθμη 5V, η κατανάλωση ισχύος πάνω σε R_T των 50Ω είναι $\frac{1}{2}$ W. Η κατανάλωση αυτή πολλαπλασιάζεται ανάλογα με τον αριθμό των τερματισμένων γραμμών και δεν είναι αποδεκτή σε συστήματα χαμηλής ισχύος και συστήματα τροφοδοτούμενα με μπαταρίες. Επίσης, οι βαθμίδες εξόδου πολλών λογικών οικογενειών (όπως τα κοινά CMOS κυκλώματα) δεν μπορούν να παρέχουν το αυξημένο ρεύμα που απαιτεί αυτή η μέθοδος τερματισμού.

β) Ο τερματισμός στη γείωση διαταράσσει την σωστή DC πόλωση της γραμμής, μειώνοντας το επίπεδο V_{OH} του σήματος και αντίστοιχα την ανοχή θορύβου του οδηγούμενου κυκλώματος. Επίσης ο τερματισμός στη γείωση αλλοιώνει το duty cycle του σήματος. Σε γενικές γραμμές, η χρήση του παράλληλου τερματισμού απαιτεί ιδιαίτερη προσοχή, έτσι ώστε να μην παραβιάζονται οι προδιαγραφές $V_{OL(max)}$ και $V_{OH(min)}$ του κυκλώματος οδήγησης.



Σχήμα 5-9

Η αδυναμία ρύθμισης της σωστής πόλωσης της γραμμής μετάδοσης αντιμετωπίζεται ευκολότερα με τον “τερματισμό Thevenin” (σχήμα 5-9β). Κατά τη μέθοδο αυτή, χρησιμοποιούνται δύο αντιστάσεις τερματισμού, R_A και R_B . Η R_A συνδέει τη γραμμή με την τάση τροφοδοσίας V^+ , ενώ η R_B με τη γείωση.

Λόγω της εναλλασσόμενης στάθμης του ψηφιακού σήματος στη γραμμή μετάδοσης, ο συνδυασμός των δύο αντιστάσεων ισοδυναμεί (AC ισοδύναμο κατά Thevenin) με τις R_A και R_B παράλληλα συνδεδεμένες προς τη γείωση. Αρκεί λοιπόν ο παράλληλος συνδυασμός των R_A και R_B να ισούται με τη χαρακτηριστική αντίσταση Z_0 της γραμμής μετάδοσης για την αποφυγή δημιουργίας ανακλάσεων:

$$Z_0 = \frac{R_A * R_B}{R_A + R_B}$$

Για την εύρεση των τιμών των R_A και R_B επιλέγεται πρώτα η επιθυμητή τάση V_T στο σημείο μεταξύ των αντιστάσεων και στη συνέχεια χρησιμοποιείται η προηγούμενη σχέση μαζί με την σχέση:

$$V_T = \frac{V^+ * R_B}{R_A + R_B}$$

η οποία δίνει την τάση V_T ως συνάρτηση του διαιρέτη τάσης που σχηματίζουν οι R_A και R_B . Όπως και στην περίπτωση του παράλληλου τερματισμού, ιδιαίτερη

προσοχή απαιτείται στην εκλογή του V_T για να μην παραβιάζονται τα $V_{OL(max)}$, $V_{OH(min)}$.

Οι αντιστάσεις R_A και R_B υποβοηθούν το κύκλωμα οδήγησης στην παραγωγή των λογικών τάσεων στην είσοδο του φορτίου. Μέσω της R_A παρέχεται ρεύμα για την παραγωγή της υψηλής λογικής στάθμης (pullup), ενώ η R_B καταβυθίζει ρεύμα, βοηθώντας στην παραγωγή της χαμηλής στάθμης (pulldown). Για τον λόγο αυτόν, ο τερματισμός Thevenin χρησιμοποιείται όταν το κύκλωμα οδήγησης δεν είναι σε θέση να παράγει ισχυρές λογικές στάθμες εξόδου.

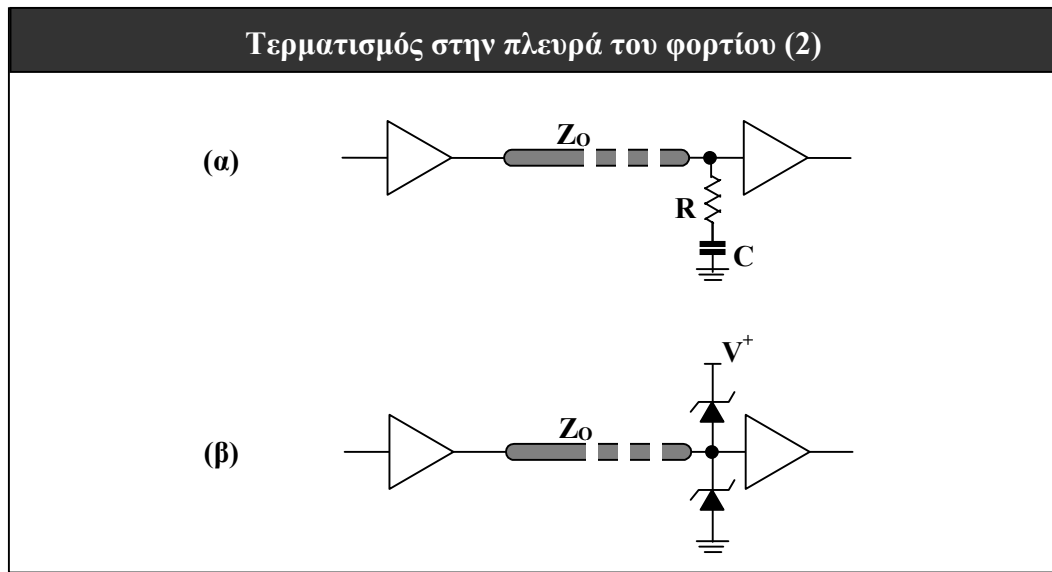
Η επιλογή των R_A και R_B (άρα και του V_T) εξαρτάται από την οδηγητική ικανότητα (πολλές φορές ασύμμετρη) της βαθμίδας εξόδου στις δύο λογικές καταστάσεις. Οι περισσότερες λογικές οικογένειες δυσκολεύονται στην παραγωγή ισχυρής υψηλής λογικής στάθμης. Για τον λόγο αυτόν επιλέγεται V_T κοντά στην υψηλή λογική στάθμη, διευκολύνοντας το έργο των βαθμίδων εξόδου.

Η ενίσχυση του ψηφιακού σήματος μέσω του συνδυασμού των R_A και R_B παράγει καθαρότερους παλμούς στην είσοδο του φορτίου και περιορίζει τις στιγμιαίες υπερβάσεις των λογικών τάσεων ψηλότερα από την τάση τροφοδοσίας και χαμηλότερα από τη γείωση. Οι καθαρότεροι παλμοί βελτιώνουν το περιθώριο θορύβου του οδηγούμενου κυκλώματος. Μέσω του V_T είναι επίσης δυνατή η ρύθμιση των χρόνων ανόδου και καθόδου του σήματος: για παράδειγμα, υψηλότερο V_T συνεπάγεται και ταχύτερο χρόνο ανόδου του σήματος.

Το μεγαλύτερο μειονέκτημα του τερματισμού Thevenin είναι η συνεχής ροή ρεύματος από την τάση τροφοδοσίας στη γείωση, ανεξάρτητα από τη λογική στάθμη του σήματος. Επιπλέον, απαιτούνται αντιστάσεις με ακριβείς αναλογίες, καθώς και πρόσθετες διασυνδέσεις των αντιστάσεων αυτών στην τάση τροφοδοσίας και γείωσης.

Ένα πρόσθετο πρόβλημα προκύπτει όταν έχει επιλεγεί V_T στο μέσο της διαφοράς υψηλής και χαμηλής στάθμης: εάν η γραμμή μετάδοσης αφεθεί χωρίς οδήγηση και το οδηγούμενο κύκλωμα είναι τύπου CMOS, μία τάση εισόδου κοντά στο επίπεδο κατωφλίου αυξάνει σημαντικά την κατανάλωση ισχύος του.

Στα σχήματα 5-9α και 5-9β φαίνεται καθαρά ότι ο παράλληλος τερματισμός είναι στην πραγματικότητα μία υποπερίπτωση του τερματισμού Thevenin, όπου έχει αφαιρεθεί η R_A . Με την ίδια λογική, μία γραμμή μπορεί να τερματιστεί μόνο στην τάση τροφοδοσίας -ή την υψηλή λογική στάθμη, όταν αυτή είναι μικρότερη από την τάση τροφοδοσίας- παραλείποντας τη R_B . Η μέθοδος παράλληλου τερματισμού σε υψηλή τάση εφαρμόζεται στην οδήγηση διαύλων με βαθμίδες εξόδου ανοικτού συλλέκτη.



Σχήμα 5-10

Ο παράλληλος τερματισμός μίας γραμμής μετάδοσης, όσο και ο τερματισμός Thevenin, έχουν το βασικό μειονέκτημα της αυξημένης κατανάλωσης ισχύος. Στο σχήμα 5-10α απεικονίζεται μία παραλλαγή τερματισμού (“τερματισμός AC”), όπου η προσθήκη ενός πυκνωτή C εμποδίζει την συνεχή ροή ρεύματος και μειώνει την κατανάλωση ισχύος.

Κατά τις αλλαγές της στάθμης του σήματος ο πυκνωτής C δρά ως βραχυκύκλωμα “εμφανίζοντας” έτσι την αντίσταση R , η οποία ισούται με την χαρακτηριστική αντίσταση Z_0 της γραμμής. Όσο το ψηφιακό σήμα βρίσκεται σε σταθερή κατάσταση ο C ισοδυναμεί με ανοικτό κύκλωμα, εμποδίζοντας έτσι την κατανάλωση ισχύος πάνω στην R .

Πρέπει να τονιστεί όμως ότι, ενώ σε χαμηλές συχνότητες λειτουργίας ο τερματισμός AC παρουσιάζει χαμηλότερη κατανάλωση ισχύος από τον παράλληλο και Thevenin τερματισμό, η διαφορά μειώνεται σε μεγάλο βαθμό όσο η συχνότητα του σήματος αυξάνεται.

Η επιλογή του πυκνωτή C είναι καθοριστική για την σωστή λειτουργία του τερματισμού AC: πυκνωτές με μικρή τιμή εντείνουν την κυμάτωση του σήματος, ενώ μεγάλες τιμές χωρητικότητας αυξάνουν την ισχύ που απαιτείται για τη φόρτιση και εκφόρτισή της. Συνήθως ο πυκνωτής C επιλέγεται με τέτοιο τρόπο, ώστε η χρονική σταθερά RC του κυκλώματος να είναι μεγαλύτερη από το χρόνο διάδοσης και επιστροφής του σήματος στη γραμμή μετάδοσης (round-trip delay).

Ο τερματισμός AC απαιτεί περισσότερα πρόσθετα στοιχεία για την υλοποίησή του. Επίσης, η φόρτιση και εκφόρτιση του C εξαρτάται από πολλούς παράγοντες όπως η συχνότητα και το duty cycle του σήματος καθώς και από τη μορφή των δεδομένων (bit pattern). Για παράδειγμα, μία παρατεταμένη ακολουθία όμοιων bits θα φορτίσει τον C στον μέγιστο βαθμό, οπότε θα απαιτηθεί μεγαλύτερος χρόνος από τον κανονικό για την εμφάνιση του πρώτου αντίθετου bit.

Ολοκληρώνοντας την παρουσίαση των μεθόδων τερματισμού στην πλευρά του φορτίου, παρουσιάζεται στο σχήμα 5-10β ο *τερματισμός διόδων Schottky*. Η μέθοδος αυτή τερματισμού είναι διαφορετική από τις προηγούμενες, επειδή δεν προσπαθεί να ταιριάζει την χαρακτηριστική αντίσταση Z_0 της γραμμής μετάδοσης.

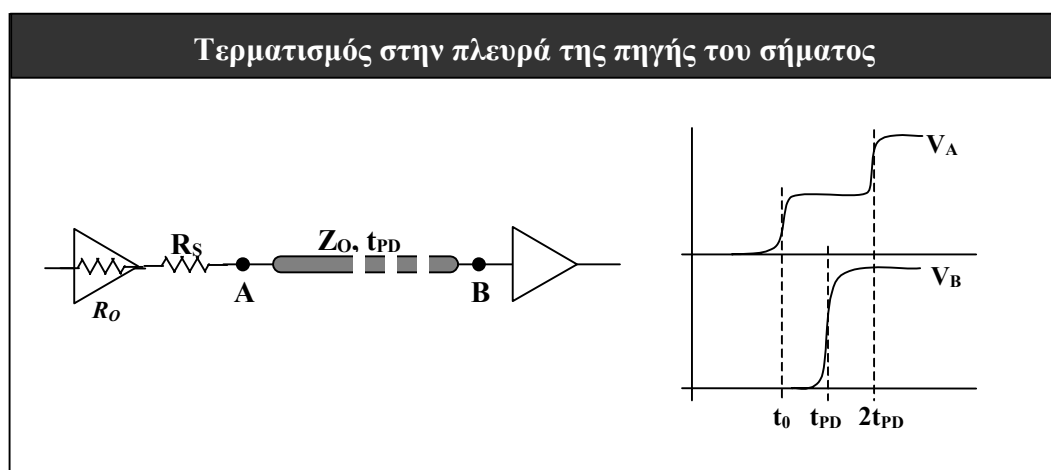
Οι δίοδοι Schottky άγουν όταν το εύρος της τάσης ξεπεράσει τα όρια τροφοδοσίας ή γείωσης κατά ένα ποσό ίσο με την πτώση τάσης των διόδων, οδηγώντας την πρόσθετη ενέργεια προς τις γραμμές τροφοδοσίας. Αντίθετα με τις προηγούμενες μεθόδους τερματισμού, οι ανακλάσεις στη γραμμή μετάδοσης δεν αποφεύγονται τελείως. Τα χαρακτηριστικά απόκρισης των διόδων πρέπει να είναι γρήγορα για να μπορούν να λειτουργήσουν σε μεγάλες συχνότητες σημάτων.

Όπως αναφέρθηκε προηγουμένως, ο τερματισμός με διόδους Schottky δεν εξαρτάται από τη χαρακτηριστική Z_0 της γραμμής μετάδοσης. Για τον λόγο αυτόν χρησιμοποιείται όταν η τιμή της Z_0 είναι άγνωστη, ή όταν συνδέονται στη γραμμή πολλά χωρητικά φορτία, τα οποία μειώνουν την τελική τιμή της εμπεδήσης της γραμμής. Ο τερματισμός Schottky μπορεί να χρησιμοποιηθεί σε όσα σημεία παρουσιάζονται ανακλάσεις και καταναλώνει πολύ χαμηλότερη ισχύ από τον παράλληλο τερματισμό.

Το βασικότερο όμως πλεονέκτημα της μεθόδου τερματισμού με διόδους έγκειται στο ότι οι περισσότερες λογικές οικογένειες διαθέτουν ενσωματωμένες στις εισόδους τους διόδους Schottky για των περιορισμό των εκτός ορίων τάσεων εισόδων (clamp diodes). Έτσι δεν απαιτούνται πρόσθετα στοιχεία για τον τερματισμό των γραμμών μετάδοσης με τη μέθοδο αυτή.

5.3.4 Τερματισμός στην πλευρά της πηγής του σήματος.

Μία διαφορετική μέθοδος τερματισμού, η οποία ονομάζεται “*τερματισμός σε σειρά*” (series termination ή back-matching), υλοποιείται με την προσθήκη μίας αντίστασης R_S στην αρχή της γραμμής μετάδοσης, στην έξοδο του κυκλώματος οδήγησης (σχήμα 5-11).



Σχήμα 5-11

Η αντίσταση R_S επιλέγεται έτσι ώστε να ισχύει:

$$R_O + R_S = Z_0$$

όπου R_O είναι η σύνθετη αντίσταση εξόδου του κυκλώματος οδήγησης και Z_O η χαρακτηριστική αντίσταση της γραμμής μετάδοσης. Με συνήθεις τιμές $Z_O = 50-75\Omega$, και $R_O = 10-60\Omega$, μία τυπική τιμή της R_S είναι 33Ω .

Εάν η νέα λογική στάθμη είναι V_O , το αρχικό εύρος του παλμού στο σημείο A (V_{A0}) καθορίζεται από τον διαιρέτη τάσης που σχηματίζουν οι R_O , R_S και Z_O :

$$V_{A0} = \frac{Z_O * V_O}{(R_O + R_S) + Z_O}$$

και έχει την μισή τιμή της V_O . Το σήμα διασχίζει τη γραμμή μετάδοσης σε χρόνο t_{PD} φτάνοντας στο σημείο B. Ο συντελεστής ανάκλασης ρ_B ισούται περίπου με 1, διότι η σύνθετη αντίσταση εισόδου του φορτίου έχει πολύ μεγάλη τιμή (της τάξης των $M\Omega$) σε σχέση με τη Z_O . Το εύρος του σήματος διπλασιάζεται αμέσως στο σημείο B (αποκτά την τιμή V_O).

Ταυτοχρόνως, ένα μέτωπο ανάκλασης με μέγεθος $\frac{1}{2} V_O$ επιστρέφει προς το σημείο A, όπου θα φτάσει σε χρόνο $2*t_{PD}$ από την αρχική στιγμή εκκίνησης του σήματος. Στο σημείο A, το εύρος του σήματος θα αποκτήσει την τιμή V_O , αλλά δεν θα υπάρξουν περαιτέρω ανακλάσεις, διότι ο συντελεστής ανάκλασης ρ_A ισούται με 0 ($R_O + R_S = Z_O$).

Η μέθοδος τερματισμού σε σειρά χρησιμοποιείται συχνά για τον τερματισμό διασυνδέσεων από σημείο σε σημείο (point-to-point) και παρουσιάζει τη χαμηλότερη κατανάλωση ισχύος από όλες τις προηγούμενες μεθόδους τερματισμού, διότι δεν υπάρχει συνεχής ροή ρεύματος προς τις γραμμές τροφοδοσίας. Επιπλέον, δεν προστίθεται άλλη εμπέδηση ανάμεσα στη γραμμή του σήματος και τη γείωση. Είναι ιδιαίτερα κατάλληλη για την διασύνδεση κυκλωμάτων CMOS, τα οποία παρουσιάζουν σχεδόν μηδενικό ρεύμα εισόδου. Ο τερματισμός γραμμών διευθύνσεων και ελέγχου μνημών αποτελεί το τυπικό παράδειγμα χρήσης της μεθόδου αυτής.

Ο τερματισμός σε σειρά έχει και ορισμένα μειονεκτήματα. Η τιμή της R_O είναι συνήθως διαφορετική για κάθε λογική κατάσταση και παρουσιάζει αποκλίσεις από κύκλωμα σε κύκλωμα, ενώ εξαρτάται και από τη θερμοκρασία. Για τον λόγο αυτόν, η επιλογή της αντίστασης τερματισμού R_S γίνεται κατά προσέγγιση κι όχι με απόλυτη ακρίβεια. Ο συντελεστής ανάκλασης ρ_A δεν ισούται ακριβώς με 0 και έτσι οι πολλαπλές ανακλάσεις δεν αποκλείονται τελείως, απλώς ελαχιστοποιούνται.

Η επιτυχής λειτουργία του τερματισμού σε σειρά βασίζεται στο πρώτο μέτωπο ανάκλασης για να αποκτήσει τη σωστή λογική στάθμη όλη η γραμμή. Αυτό πρακτικά σημαίνει ότι κάθε σημείο της γραμμής αποκτά τη σωστή λογική στάθμη σε διαφορετικό χρόνο, ανάλογα με την καθυστέρηση του πρώτου μετώπου ανάκλασης.

Εάν συνδεθούν και άλλα φορτία (είσοδοι) κατά μήκος της γραμμής υπάρχει πάντοτε ο κίνδυνος μη ταυτόχρονων λογικών μεταβάσεων. Επιπλέον, οι χωρητικότητες των πρόσθετων φορτίων αλλάζουν τα χαρακτηριστικά του μετώπου ανάκλασης, καθιστώντας μη προβλέψιμη την αλλαγή της στάθμης του σήματος. Για τους πιο πάνω λόγους, ο τερματισμός σε σειρά χρησιμοποιείται μόνον όταν το φορτίο βρίσκεται συγκεντρωμένο στο τέλος της γραμμής μετάδοσης.

5.3.5 Σύνοψη χρήσης των διαφόρων μεθόδων τερματισμού.

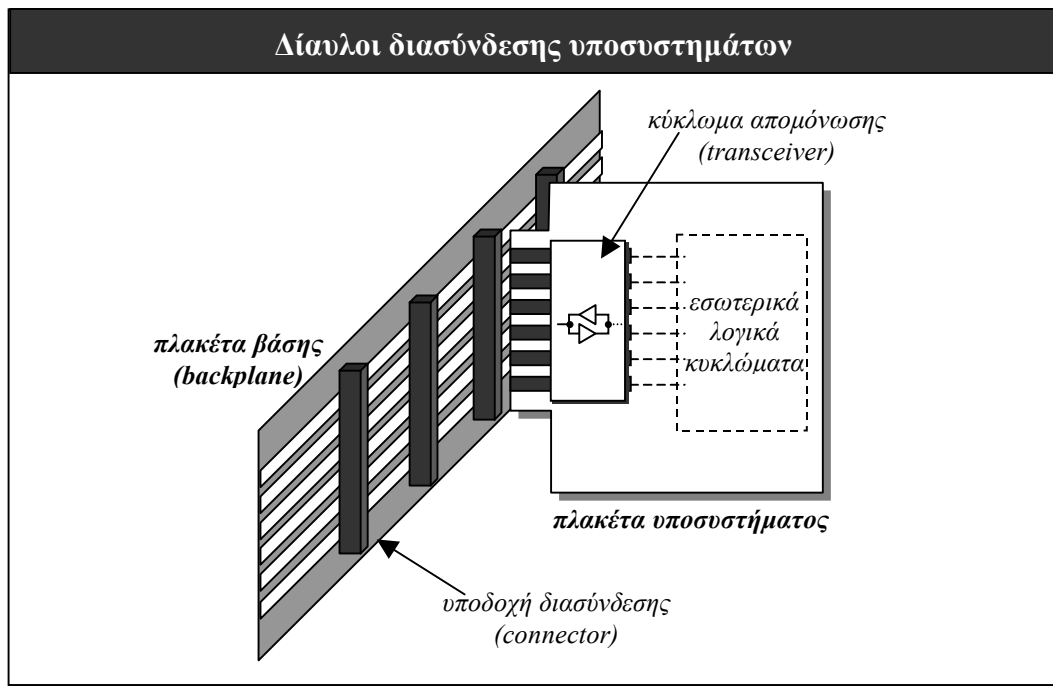
Στον πίνακα 5-3 που ακολουθεί, συνοψίζονται οι προτεινόμενες χρήσεις των διαφόρων μεθόδων τερματισμού, όταν αυτό απαιτείται από το μήκος της γραμμής μετάδοσης:

Περίπτωση	Μέθοδος τερματισμού
TTL και CMOS με ισχυρή οδηγητική ικανότητα	Παράλληλη (είτε προς τη γείωση, είτε προς την τάση τροφοδοσίας)
TTL και CMOS με ασθενή οδηγητική ικανότητα	Thevenin (παρέχει ή καταβυθίζει ρεύμα, υποβοηθώντας την οδήγηση)
Διασύνδεση CMOS (από σημείο σε σημείο)	Σε σειρά
FACT (advanced CMOS) σε εφαρμογές χαμηλής ισχύος	Σε σειρά (περιορίζει την κατανάλωση ισχύος)
FAST (advanced Schottky TTL)	Thevenin (υποβοηθά την περιορισμένη ικανότητα παροχής ρεύματος)
cache memory / SDRAM arrays	Σε σειρά
Δίαυλοι με μεταβλητό αριθμό ολοκληρωμένων με εξόδους τριών καταστάσεων	με διόδους Schottky (προσαρμογή σε διάφορες τιμές σύνθετης αντίστασης του διαύλου)
Οδήγηση γραμμών με βαρύ φορτίο	Thevenin (υποβοήθηση οδήγησης)
Συστήματα χαμηλής ισχύος	Σε σειρά, με διόδους Schottky, AC
ECL	Παράλληλη (τερματισμός σε τάση $-2.0V$) Thevenin (αποφυγή χρήσης $-2.0V$, αλλά 8 φορές μεγαλύτερη κατανάλωση ισχύος από παράλληλη) Σε σειρά

Πίνακας 5-3

5.4 Οδήγηση διασυνδετικών διαύλων.

Στα μοντέρνα ψηφιακά συστήματα, το μεγαλύτερο μέρος της λογικής του συστήματος ενσωματώνεται πλέον σε έναν περιορισμένο αριθμό ολοκληρωμένων κυκλωμάτων υψηλής πυκνότητας. Με τον ίδιο τρόπο “εξαφανίζονται” μέσα στα ολοκληρωμένα κυκλώματα οι άλλοτε διακριτές γραμμές διασύνδεσης από πύλη σε πύλη. Στην επιφάνεια των τυπωμένων κυκλωμάτων παραμένουν μόνον οι *διασυνδετικοί δίαυλοι* (interconnection busses), κοινές αρτηρίες σημάτων, οι οποίες διασυνδέουν πολλαπλά υποσυστήματα. Για τη διασύνδεση των ολοκληρωμένων κυκλωμάτων σε έναν δίαυλο απαιτούνται επίσης ειδικές λογικές οικογένειες με αυξημένη οδηγητική ικανότητα: απομονωτές (buffers), καταχωρητές (registers και latches), πολυπλέκτες (multiplexers) και μεταφραστές λογικών επιπέδων (level shifters).



Σχήμα 5-12

Στο σχήμα 5-12 απεικονίζεται η τυπική οργάνωση ενός ψηφιακού συστήματος, το οποίο απαρτίζεται από διάφορα υποσυστήματα και έναν κοινό διασυνδετικό δίαυλο. Ο δίαυλος αυτός υλοποιείται σε ένα τυπωμένο κύκλωμα βάσης (backplane). Κατά μήκος του διαύλου υπάρχουν υποδοχές διασύνδεσης (connectors) των πλακετών των υποσυστημάτων. Τα λογικά κυκλώματα κάθε υποσυστήματος συνδέονται στον κοινό δίαυλο μέσω ειδικών κυκλωμάτων απομόνωσης/οδήγησης εισόδου-εξόδου (transceivers).

Τα πλεονεκτήματα της οργάνωσης σε υποσυστήματα είναι:

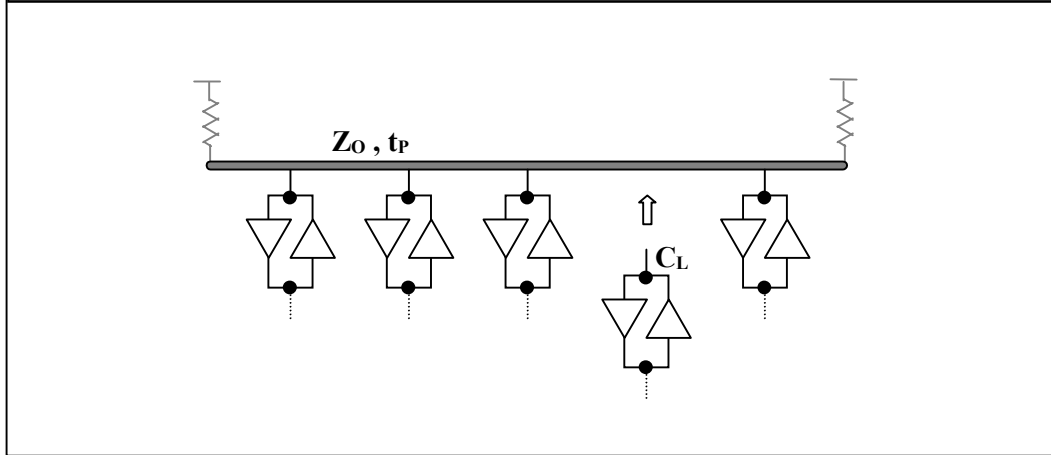
α) η πλακέτα βάσης που περιλαμβάνει τον διασυνδετικό δίαυλο σχεδιάζεται με βελτιστοποιημένα χαρακτηριστικά, με πρόβλεψη για τα μέγιστα φορτία που είναι πιθανόν να συνδεθούν σε αυτόν. Σε σχεδιάσεις υψηλών ταχυτήτων η πλακέτα βάσης είναι πάντοτε πολλαπλών επιπέδων και διαθέτει ομοιόμορφα χαρακτηριστικά για το σύνολο των αγωγών του διαύλου. Έτσι, οι γραμμές μετάδοσης που σχηματίζονται έχουν προβλέψιμες τιμές χαρακτηριστικής αντίστασης και καθυστέρηση διάδοσης του σήματος.

β) στην πλευρά των υποσυστημάτων, τα ειδικά κυκλώματα οδήγησης (transceivers) απομονώνουν τα υπόλοιπα λογικά κυκλώματα του υποσυστήματος από τον δίαυλο, περιορίζοντας το μέγεθος του χωρητικού φορτίου που προστίθεται στις γραμμές μετάδοσης του διαύλου. Τα κυκλώματα οδήγησης τοποθετούνται όσο το δυνατόν πλησιέστερα στο σημείο διασύνδεσης (connector) για την ελαχιστοποίηση των παρασιτικών χωρητικότητας.

5.4.1 Κατανεμημένη χωρητικότητα γραμμών διαύλων.

Για την μελέτη της συμπεριφοράς των διαύλων ως γραμμές μετάδοσης δεν αρκεί το απλό μοντέλο κυκλώματος οδήγησης-φορτίου. Σε κάθε γραμμή του διαύλου με χαρακτηριστική αντίσταση Z_0 προστίθενται σε ισαπέχοντα σημεία τα διάφορα χωρητικά φορτία των υποσυστημάτων (σχήμα 5-13).

Μετάδοση σήματος σε διάυλο δεδομένων



Σχήμα 5-13

Ο αριθμός των υποσυστημάτων, τα οποία συνδέονται στον διάυλο, δεν είναι πάντοτε ο ίδιος, ούτε και οι θέσεις σύνδεσης. Κατά τη λειτουργία μερικές υποδοχές διασύνδεσης πιθανόν να είναι ελεύθερες. Η σχεδίαση όμως οφείλει να λαμβάνει υπ' όψη τη χειρότερη περίπτωση, όταν δηλαδή στον διάυλο συνδέεται ο μέγιστος αριθμός υποσυστημάτων.

Η προσθήκη ενός υποσυστήματος ισοδυναμεί με την προσθήκη ενός χωρητικού φορτίου C_L στις γραμμές του διαύλου. Το φορτίο αυτό απαρτίζεται από τις επιμέρους χωρητικότητες: του αγωγού που ενώνει τον διάυλο με την υποδοχή διασύνδεσης ($\sim 1\text{pF}$), της ίδιας της υποδοχής διασύνδεσης ($\sim 1\text{pF}$), του αγωγού στην πλακέτα του υποσυστήματος μέχρι το κύκλωμα απομόνωσης ($\sim 2\text{pF}$) και τη χωρητικότητα εισόδου/εξόδου του κυκλώματος απομόνωσης ($7\text{--}10\text{pF}$).

Όταν τα υποσυστήματα είναι ομοιόμορφα καταναμημένα στο συνολικό μήκος του διαύλου, τότε διαιρώντας τη συνολική χωρητικότητα όλων των υποσυστημάτων με το μήκος του διαύλου υπολογίζεται η *κατανεμημένη χωρητικότητα* C_D ανά μονάδα μήκους.

Το μέγεθος της κατανεμημένης χωρητικότητας C_D προστίθεται στην χωρητικότητα ανά μονάδα μήκους C_0 της γραμμής μετάδοσης και επηρεάζει την τελική τιμή της σύνθετης αντίστασης ($Z_{O(\text{eff})}$) και της καθυστέρησης διάδοσης ($t_{p(\text{eff})}$) της γραμμής:

$$Z_{O(\text{eff})} = \frac{Z_0}{\sqrt{1 + (C_D / C_0)}}$$

$$t_{p(\text{eff})} = t_p * \sqrt{1 + (C_D / C_0)}$$

Από τις προηγούμενες σχέσεις φαίνεται ότι με την αύξηση της C_D η σύνθετη αντίσταση της γραμμής μειώνεται, ενώ η καθυστέρηση διάδοσης του σήματος

αυξάνεται. Όσο μικρότερη είναι η $Z_{O(eff)}$, τόσο περισσότερο ρεύμα απαιτείται από το κύκλωμα οδήγησης για τη μετάδοση του σήματος.

Στον πίνακα 5-4 που ακολουθεί δίνεται ένα πραγματικό παράδειγμα για το πώς μεταβάλλονται τα $Z_{O(eff)}$ και τα $t_{P(eff)}$, από έναν απλό αγωγό (χωρίς υποδοχές διασύνδεσης) σε έναν αγωγό διαύλου χωρίς και με πλήρες φορτίο.

Παράμετρος	Απλός αγωγός σε τυπωμένο κύκλωμα	Αγωγός διαύλου χωρίς φορτίο	Αγωγός διαύλου με πλήρες φορτίο
αυτεπαγωγή L_O	6.5 nH/cm	6.5 nH/cm	6.5 nH/cm
χωρητικότητα C_O	0.4 pF/cm	0.4 pF/cm	0.4 pF/cm
υποδοχή σύνδεσης	-	2pF / υποδοχή	2pF / υποδοχή
αγωγός προς υποδοχή (πλακέτα βάσης)	-	$\ll 1$ pF	$\ll 1$ pF
αγωγός έως απομονωτή (υποσύστημα)	-	-	~ 1 pF
χωρητικότητα εισόδου απομονωτή	-	-	9pF
Κατανεμημένη χωρητικότητα C_D	0.4 pF/cm	1.2p F/cm	4.73 pF/cm
τελική σύνθετη αντίσταση $Z_{O(eff)}$	127Ω	74Ω	37Ω
τελική καθυστέρηση διάδοσης $t_{P(eff)}$	5.1 ns/m	8.8 ns/m	17.5 ns/m

(πηγή: "Achieving Maximum Speed on Parallel Buses With GTLP", TI Application Report SCEA022, April 2001)

Πίνακας 5-4

5.4.2 Τερματισμός γραμμών διαύλων.

Οι γραμμές των διασυνδεδετικών διαύλων πρέπει να τερματίζονται, όπως κάθε είδος αγωγού, για την αποφυγή ανακλάσεων και λανθασμένης μετάδοσης του ψηφιακού σήματος. Οι δίαυλοι στις πλακέτες βάσης έχουν μήκος έως και μισό μέτρο, καθιστώντας έτσι αναγκαίο τον τερματισμό τους.

Ο τερματισμός των αγωγών των διαύλων υλοποιείται με την προσθήκη αντιστάσεων και στα δύο άκρα της γραμμής, ο παράλληλος συνδυασμός των οποίων ταιριάζει με τη σύνθετη αντίσταση $Z_{O(eff)}$. Εναλλακτικά προστίθενται και άλλα στοιχεία όπως οι δίοδοι Schottky, ενώ δεν μπορεί να χρησιμοποιηθεί η μέθοδος τερματισμού σε σειρά (στην πηγή του σήματος), διότι το κύκλωμα οδήγησης δεν βρίσκεται στο άκρο της γραμμής μετάδοσης.

Όπως φαίνεται και από τον πίνακα 5-4 της προηγούμενης παραγράφου, ο υπολογισμός των αντιστάσεων τερματισμού είναι ιδιαίτερα δύσκολος, διότι η τελική σύνθετη αντίσταση $Z_{O(eff)}$ μεταβάλλεται ανάλογα με τον αριθμό των συνδεδεμένων φορτίων στη γραμμή. Η επιλογή των αντιστάσεων τερματισμού έτσι ώστε ο παράλληλος συνδυασμός τους να ταιριάζει με την χαρακτηριστική αντίσταση Z_O δεν είναι ικανοποιητική, όταν η τελική σύνθετη αντίσταση της γραμμής $Z_{O(eff)}$ έχει πολύ μικρότερη τιμή. Στην περίπτωση αυτή επιλέγονται μικρότερες αντιστάσεις τερματισμού έτσι ώστε να ταιριάζουν με την $Z_{O(eff)}$ του διαύλου με πλήρες φορτίο.

Η πιο συνήθης μέθοδος τερματισμού γραμμών διαύλων είναι ο παράλληλος τερματισμός στην τάση τροφοδοσίας, με δύο αντιστάσεις ίσες με την $Z_{O(eff)}$ του διαύλου στα δύο άκρα (σχήμα 5-13). Η μέθοδος αυτή χρησιμοποιείται ιδιαίτερα όταν τα κυκλώματα οδήγησης έχουν εξόδους ανοικτού συλλέκτη, οπότε οι αντιστάσεις τερματισμού χρησιμοποιούνται και για την ανύψωση της γραμμής στην υψηλή λογική στάθμη.

Θα πρέπει να σημειωθεί ότι, όταν οι γραμμές του διαύλου τερματίζονται και στα δύο άκρα, τότε το κύκλωμα οδήγησης οφείλει να παρέχει ή να καταβυθίζει τη διπλάσια ποσότητα ρεύματος από την περίπτωση τερματισμού με μία μόνον αντίσταση. Ταιριάζοντας τις αντιστάσεις τερματισμού με την $Z_{O(eff)}$ του διαύλου με πλήρες φορτίο, απαιτεί συχνά τη χρήση αντιστάσεων με χαμηλή τιμή έως και 20Ω . Στην περίπτωση αυτή, το απαιτούμενο ρεύμα οδήγησης είναι ιδιαίτερα υψηλό ($\geq 100\text{mA}$ ανά ακροδέκτη) και πέρα από τις ικανότητες των κοινών ψηφιακών κυκλωμάτων.

Ένας άλλος λόγος, για τον οποίο είναι επιθυμητή η χρήση κυκλωμάτων με αυξημένη οδηγητική ικανότητα, είναι η οδήγηση των φορτίων με το πρωτεύον μέτωπο του σήματος (incident wave switching).

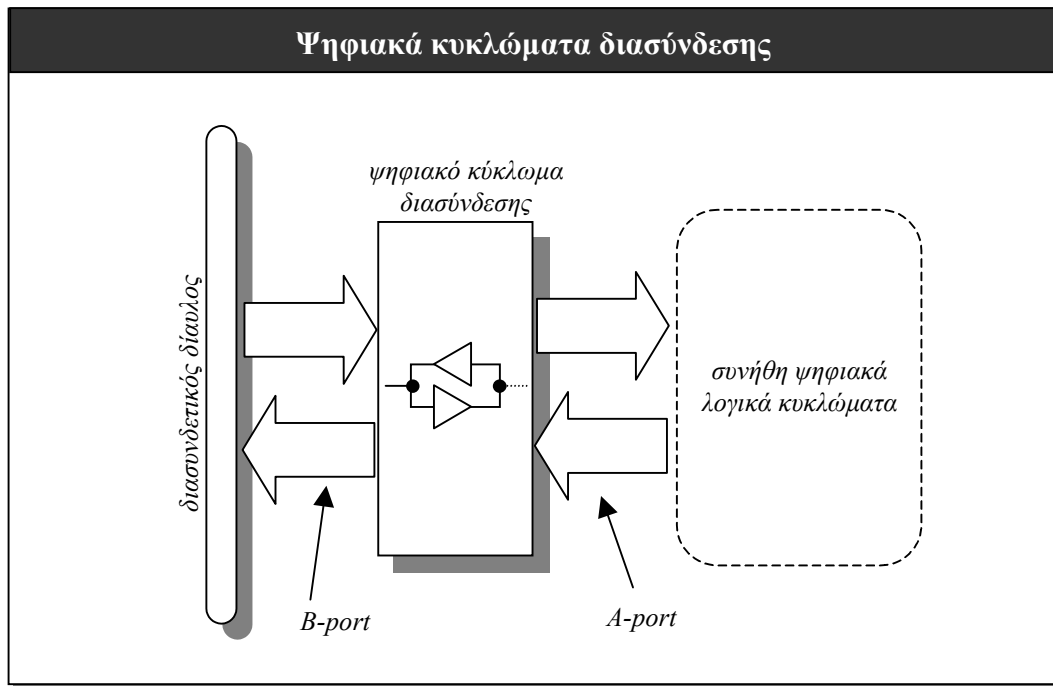
Όπως και στην περίπτωση των γραμμών μετάδοσης από σημείο σε σημείο (point-to-point), έτσι και στην περίπτωση των γραμμών των διαύλων, το αρχικό μέτωπο τάσης στην έξοδο του κυκλώματος οδήγησης εξαρτάται από τη σχέση των τιμών της εμπέδησης εξόδου R_O του κυκλώματος οδήγησης και την χαρακτηριστική $Z_{O(eff)}$ του διαύλου. Εάν το εύρος του αρχικού μετώπου είναι μεγαλύτερο από την τάση κατωφλίου V_{TH} των οδηγούμενων εισόδων, τότε η αλλαγή της λογικής κατάστασης των οδηγούμενων κυκλωμάτων θα συμβεί κατά τη διάδοση του πρώτου μετώπου του σήματος στη γραμμή, απαιτώντας τον ελάχιστο χρόνο καθυστέρησης. Σε αντίθετη περίπτωση, θα χρειαστεί ο χρόνος επιστροφής των ανακλώμενων μετώπων για να αποκτήσουν όλα τα σημεία της γραμμής την επιθυμητή τιμή.

Για να επιτευχθεί η οδήγηση των φορτίων με το πρωτεύον μέτωπο του σήματος θα πρέπει η R_O να είναι η μικρότερη δυνατή (κάτι που πρακτικά σημαίνει ότι το κύκλωμα οδήγησης παρέχει αυξημένη ποσότητα ρεύματος), ενώ η $Z_{O(eff)}$ πρέπει να διατηρείται όσο το δυνατόν υψηλότερη.

Η οδήγηση με το πρωτεύον μέτωπο είναι μεν η ταχύτερη, αλλά παρουσιάζει αυξημένη κατανάλωση ισχύος. Για τον λόγο αυτόν, ορισμένα συστήματα διαύλων, όπως η προδιαγραφή PCI, επωφελούνται από τις ανακλάσεις του σήματος για να επιτύχουν την τελική στάθμη του σήματος με χαμηλότερη καταναλισκόμενη ενέργεια (“πράσινα συστήματα”).

5.4.3 Λογικές οικογένειες διασύνδεσης και οδήγησης διαύλων.

Τα ψηφιακά κυκλώματα οδήγησης των γραμμών των διασυνδετικών διαύλων παρεμβάλλονται μεταξύ των λογικών κυκλωμάτων του συστήματος και του διαύλου διασύνδεσης, όπως φαίνεται στο σχήμα 5-5-14. Η πλευρά διασύνδεσης με τα υπόλοιπα λογικά κυκλώματα ονομάζεται *A-port*, ενώ η διασύνδεση με τις γραμμές του διαύλου γίνεται μέσω του *B-port*. Οι δύο πλευρές διασύνδεσης έχουν συνήθως διαφορετική σχεδίαση, λογικές στάθμες και οδηγητική ικανότητα.



Σχήμα 5-14

Οι λογικές οικογένειες ψηφιακών κυκλωμάτων γενικής χρήσης δεν είναι σε θέση να καλύψουν τα ιδιαίτερα χαρακτηριστικά, τα οποία απαιτούνται από τα κυκλώματα διασύνδεσης. Για τον λόγο αυτόν, έχουν σχεδιαστεί ειδικές λογικές οικογένειες διασύνδεσης (interface logic). Τα επιθυμητά χαρακτηριστικά των λογικών οικογενειών διασύνδεσης περιγράφονται στη συνέχεια:

α) Η καθυστέρηση διάδοσης του σήματος μέσω των κυκλωμάτων διασύνδεσης πρέπει να είναι η ελάχιστη δυνατή, ανεξάρτητα από τον αριθμό των bits που αλλάζουν ταυτόχρονα. Η μικρή καθυστέρηση διάδοσης επιτρέπει την μέγιστη συχνότητα λειτουργίας του διαύλου. Οι ταχύτερες οικογένειες διασύνδεσης του εμπορίου επιτυγχάνουν ελάχιστη καθυστέρηση διάδοσης 2ns.

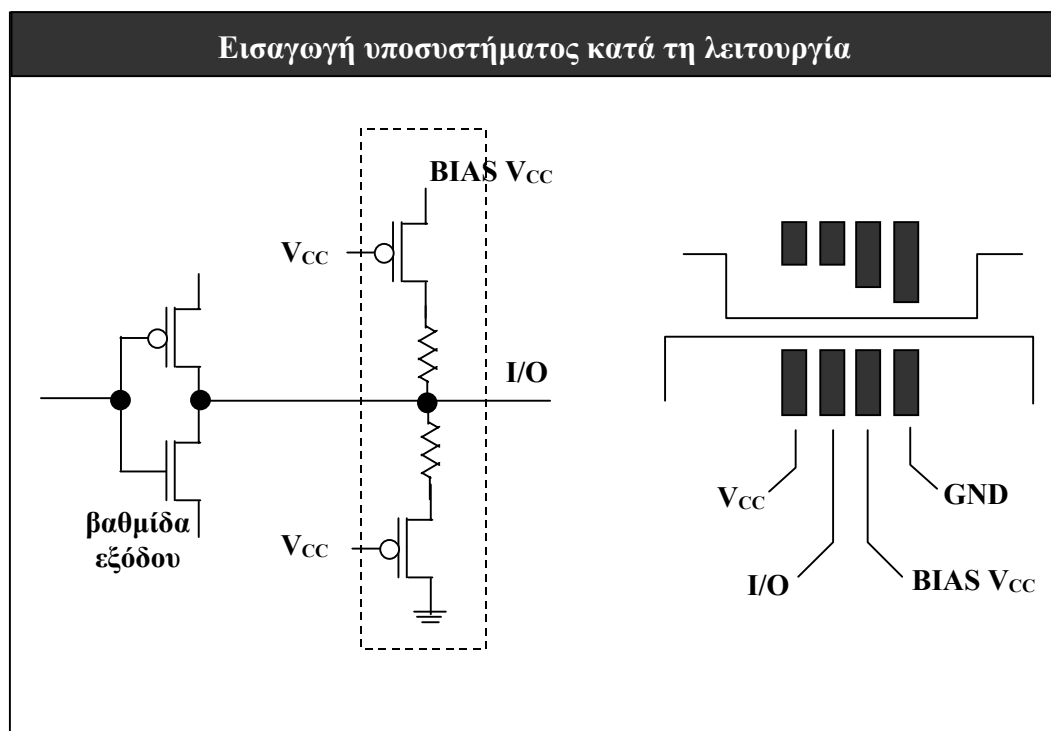
β) Τα κυκλώματα οδήγησης στην πλευρά του διαύλου (B-port) πρέπει να διαθέτουν αυξημένη οδηγητική ικανότητα για την επιτυχή οδήγηση του διαύλου, ακόμα κι όταν συνδέεται σε αυτόν πλήρες φορτίο. Το παρεχόμενο ρεύμα ανάλογα με την οικογένεια διασύνδεσης μπορεί να ξεπερνά τα 100mA ανά ακροδέκτη για την οδήγηση γραμμών με χαρακτηριστική εμπέδηση έως και 20Ω.

γ) η οδήγηση των γραμμών του διαύλου πρέπει να πραγματοποιείται με την ελάχιστη δημιουργία θορύβου και ανακλάσεων. Για τον λόγο αυτόν, τα κυκλώματα οδήγησης διαθέτουν διατάξεις ελέγχου και περιορισμού του ρυθμού ανόδου/καθόδου του σήματος εξόδου (slew-rate control) για την αποφυγή αναπηδήσεων των λογικών σταθμών.

δ) Για την οδήγηση του διαύλου πρέπει να καταναλώνεται η ελάχιστη δυνατή ενέργεια. Αυτό επιτυγχάνεται με τη μείωση των λογικών σταθμών στην πλευρά του διαύλου. Τα μοντέρνα οδηγητικά κυκλώματα χρησιμοποιούν στην πλευρά του διαύλου λογικές στάθμες με διαφορά της τάξης του 1V, και ρυθμίζουν την τάση κατωφλίου με ακρίβεια $\pm 75\text{mV}$.

ε) Στην πλευρά διασύνδεσης με τα υπόλοιπα λογικά κυκλώματα επιτρέπεται η σύνδεση ολοκληρωμένων κυκλωμάτων με τάσεις τροφοδοσίας από 5V έως και 3.3V, ή και ακόμα χαμηλότερα.

στ) Τα μοντέρνα κυκλώματα διασύνδεσης διαθέτουν ειδικές διατάξεις προ-φόρτισης, οι οποίες επιτρέπουν την προσθήκη ή αφαίρεση πλακετών υποσυστημάτων, κατά τη διάρκεια της λειτουργίας (live insertion – σχήμα 5-15).



Σχήμα 5-15

Οι διαφορετικού μήκους επαφές επιτρέπουν την παροχή μίας βοηθητικής τάσης (BIAS Vcc) στους ακροδέκτες των εξόδων, πριν αυτοί έρθουν σε επαφή με την υποδοχή σύνδεσης του διαύλου. Η παρουσία της τάσης αυτής αποτρέπει την εμφάνιση σπινθήρων φόρτισης/εκφόρτισης στις γραμμές του διαύλου τη στιγμή σύνδεσης των εξόδων. Η διαδικασία ολοκληρώνεται με την παροχή της κανονικής τάσης τροφοδοσίας, η οποία διακόπτει την βοηθητική τάση και αποκαθιστά την κανονική λειτουργία του κυκλώματος.

Η προσθήκη και αφαίρεση πλακετών υποσυστημάτων κατά την λειτουργία είναι αναγκαία σε πολλά συστήματα ελέγχου ή τηλεπικοινωνιών, όπου π.χ. δεν είναι δυνατή η συνολική διακοπή λειτουργίας για την αντικατάσταση ή συντήρηση υποσυστημάτων, τα οποία έχουν παρουσιάσει βλάβη.

Συνοψίζοντας τις ιδιότητες των μοντέρνων λογικών οικογενειών διασύνδεσης, παρουσιάζονται στον πίνακα 5-5 που ακολουθεί τα χαρακτηριστικά της λογικής οικογένειας GTLP (Gunning Transceiver Logic Plus) τεχνολογίας CMOS:

A-port	Λογικές στάθμες	LVTTL
	Τρανζίστορ – είσοδος/έξοδος	CMOS/CMOS
	Οδηγητική ικανότητα	±24mA
B-port	Λογικές στάθμες	LOW:0.55V HIGH:1.5V
	Τάση κατωφλίου	1.0V ± 50mV
	Τρανζίστορ εξόδου	CMOS open drain
	Οδηγητική ικανότητα	100mA @ 0.55V
	Χωρητικότητα εισόδου/εξόδου	10.5 pF (max)
	Ρυθμός ανόδου/καθόδου σήματος	0.5/0.43 V/ns
	BIAS V _{CC} (live insertion)	0.95 V – 1.05V
Γενικά	Τροφοδοσία	3.3V
	Τεχνολογία	0.65-μ CMOS
	I _{CC}	40mA
	Κατανάλωση ισχύος	50mW
	Καθυστερήση διάδοσης (μέγιστη)	A -> B : 7.7 ή 6.3 ns B -> A : 5.5ns

(πηγή: “GTLP in BTL Applications”, TI Application Report SCEA017, April 2001)

Πίνακας 5-5

5.5 Αλληλεπίδραση σημάτων (crosstalk).

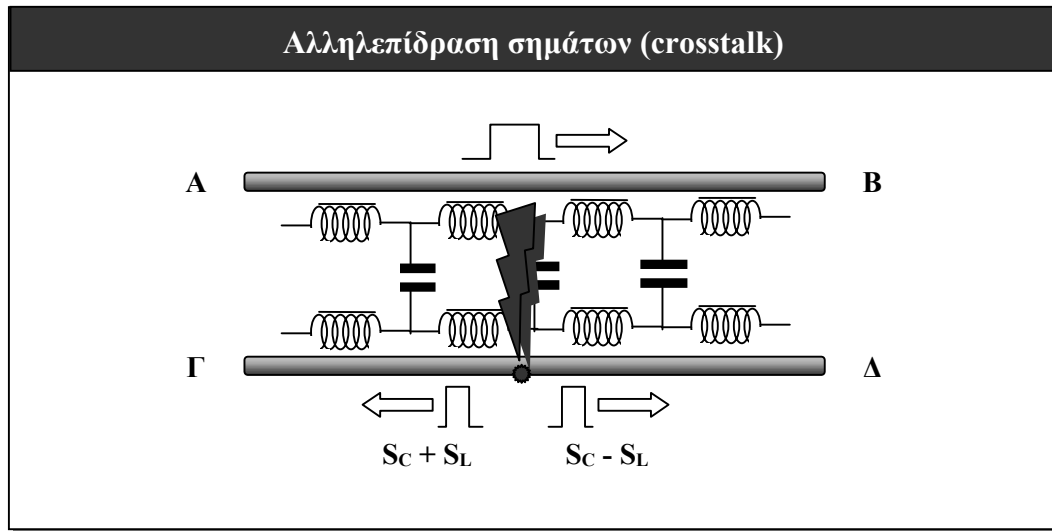
Όταν δύο αγωγοί βρίσκονται κοντά και παράλληλα ο ένας στον άλλον παρουσιάζουν αμοιβαία χωρητική και επαγωγική σύζευξη: ροή ρεύματος στον έναν αγωγό προκαλεί αντίστροφη ροή στον δεύτερο, ενώ οποιαδήποτε μεταβολή της τάσης σε κάποιο σημείο του πρώτου αγωγού αποτυπώνεται χωρητικά και στον δεύτερο.

Η αμοιβαία αλληλεπίδραση γειτονικών σημάτων ονομάζεται crosstalk. Στην περίπτωση των ψηφιακών σημάτων, όπου κάθε σήμα είναι ανεξάρτητο των άλλων, η αμοιβαία αλληλεπίδραση είναι ανεπιθύμητη, εισάγει θόρυβο στο σύστημα και υποβαθμίζει την ποιότητα του σήματος.

Η επαγωγική και χωρητική σύζευξη των ψηφιακών σημάτων συμβαίνει κατά τη διάρκεια αλλαγής της στάθμης των σημάτων και όχι όσο ένα σήμα βρίσκεται σε σταθερή κατάσταση. Η σύζευξη είναι μεγαλύτερη όσο αυξάνεται η συχνότητα και μειώνονται οι χρόνοι ανόδου/καθόδου των σημάτων.

Οι αμοιβαία συζευγμένοι αγωγοί βρίσκονται πάντοτε κοντά ή ανάμεσα σε γραμμές ή επίπεδα της τάσης αναφοράς (γείωσης). Όταν η απόσταση μεταξύ των δύο αγωγών μεγαλώνει, η αμοιβαία αλληλεπίδραση εξασθενεί, καθώς υπερिσχύει η σύζευξη κάθε αγωγού με τη γείωση. Το φαινόμενο του crosstalk ενισχύεται όσο η απόσταση μεταξύ των αγωγών των σημάτων μειώνεται.

Στο σχήμα 5-16 απεικονίζεται σχηματικά ο μηχανισμός της αλληλεπίδρασης δύο γειτονικών, παράλληλα τοποθετημένων αγωγών.



Σχήμα 5-16

Κατά μήκος του αγωγού AB ένας παλμός σήματος μετακινείται προς το σημείο B. Στη θέση που βρίσκεται ο παλμός σε τυχαία χρονική στιγμή, μέσω ηλεκτρομαγνητικών πεδίων εμφανίζεται παρασιτική ροή ρεύματος και αντίστοιχα μέτωπα τάσης στον διπλανό αγωγό ΓΔ, τόσο προς το σημείο Δ, όσο και προς το Γ.

Λόγω της χωρητικής σύζευξης μεταξύ των δύο αγωγών ένα παρασιτικό σήμα S_C μεταδίδεται με την ίδια πολικότητα προς τα σημεία Γ και Δ. Ένα αντίστοιχο, αλλά με ανάστροφη πολικότητα, παρασιτικό σήμα S_L διαδίδεται επίσης προς τα σημεία Γ και Δ, εξαιτίας της επαγωγικής σύζευξης μεταξύ των αγωγών.

Το παρασιτικό σήμα προς το σημείο Δ ονομάζεται forward crosstalk και επειδή οι δύο συνιστώσες του (χωρητική και επαγωγική) έχουν αντίστροφη πολικότητα, ελαχιστοποιείται με την επαγωγική συνιστώσα να επικρατεί. Εάν οι αγωγοί AB και ΓΔ βρίσκονται σε ομοιογενές υλικό (π.χ. striplines σε τυπωμένο κύκλωμα), τότε το παρασιτικό σήμα προς τα εμπρός ισούται με μηδέν.

Στην περίπτωση του παρασιτικού σήματος προς το σημείο Γ, η κατάσταση είναι διαφορετική. Η επαγωγική και η χωρητική συνιστώσα του σήματος έχουν την ίδια πολικότητα και αθροίζονται, δημιουργώντας το λεγόμενο reverse crosstalk. Η παρασιτική αλληλεπίδραση προς τα πίσω αποτελεί και την κυριότερη αιτία θορύβου στο συνολικό φαινόμενο.

Το μέγεθος των δύο παρασιτικών σημάτων εξαρτάται από τους χρόνους ανόδου/καθόδου του κυρίως σήματος, την απόσταση μεταξύ των αγωγών, το διάστημα κατά το οποίο οι δύο αγωγοί είναι παράλληλοι και τέλος από την ύπαρξη διατάξεων τερματισμού στις άκρες των αγωγών. Εάν ο αγωγός ΓΔ δεν τερματίζεται στα άκρα του, τα παρασιτικά σήματα θα ανακλαστούν και θα μεγεθύνουν το φαινόμενο της αλληλεπίδρασης. Το παρασιτικό σήμα προς τα πίσω (reverse crosstalk) παρουσιάζει ένα μέγιστο όριο, μετά το οποίο δεν εξαρτάται πλέον από το μήκος των παράλληλων αγωγών.

Για την αντιμετώπιση του φαινομένου της αλληλεπίδρασης των σημάτων προτείνονται οι εξής λύσεις:

α) Αύξηση της απόστασης μεταξύ των αγωγών, κάτι το οποίο όμως απαιτεί περισσότερο χώρο στο τυπωμένο κύκλωμα.

β) Μείωση της απόστασης κάθε αγωγού από τη γραμμή ή το επίπεδο γείωσης. Η λύση αυτή όμως έχει ως παρενέργεια τη μείωση της χαρακτηριστικής αντίστασης των αγωγών και αύξηση αντίστοιχα της απαιτούμενης οδηγητικής ισχύος.

γ) Θωράκιση των γραμμών μετάδοσης κρίσιμων σημάτων (shielding ή ground stripping), με γραμμές γείωσης ή σχεδιάζοντας τους αγωγούς σε ξεχωριστά επίπεδα του τυπωμένου κυκλώματος και παρεμβάλλοντας επίπεδα γείωσης ή τροφοδοσίας μεταξύ τους.

δ) Τερματισμός των αγωγών στα δύο άκρα για την ελαχιστοποίηση των ανακλάσεων των παρασιτικών σημάτων.

ε) Εξασφάλιση χαμηλότερων ρυθμών ανόδου και καθόδου του ψηφιακού σήματος με χρησιμοποίηση κυκλωμάτων οδήγησης με διατάξεις ελέγχου του ρυθμού αλλαγής της στάθμης εξόδου.

στ) Σε αγωγούς τυπωμένων κυκλωμάτων τα κρίσιμα σήματα (π.χ. γραμμές ρολογιού) πρέπει να χρησιμοποιούν striplines για την ελαχιστοποίηση του παρασιτικού σήματος προς τα εμπρός (forward crosstalk).

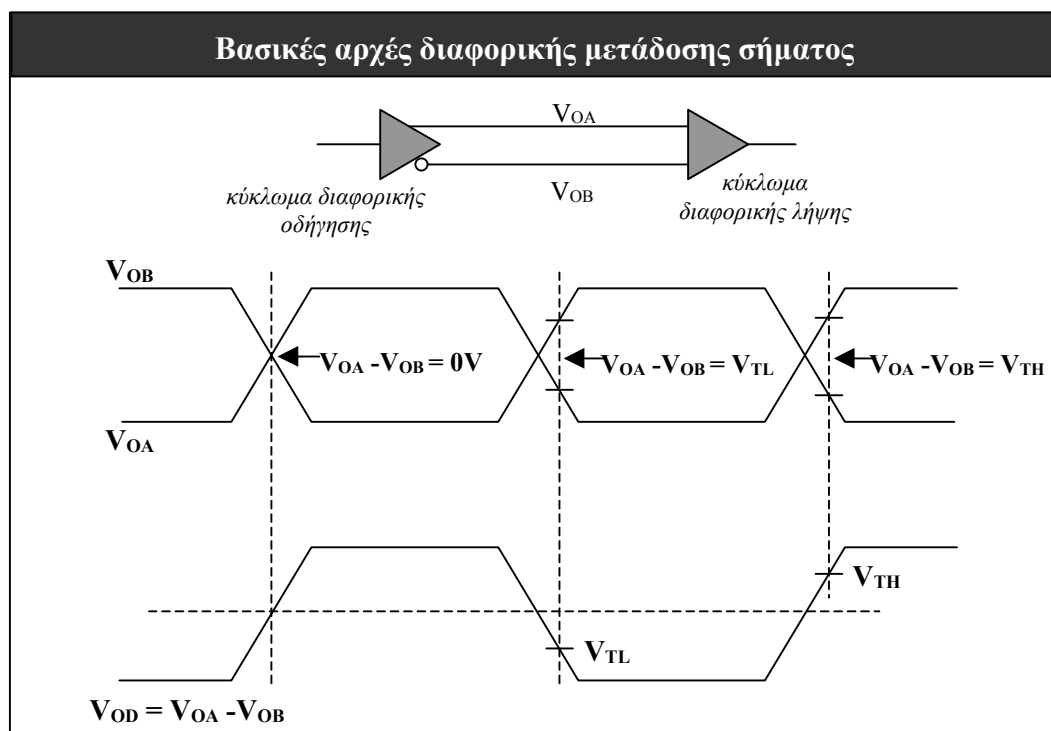
5.6 Διαφορική μετάδοση σήματος.

Στις προηγούμενες παραγράφους εξετάστηκε η μετάδοση του ψηφιακού σήματος μέσω ενός αγωγού σήματος και της αντίστοιχης γραμμής γείωσης. Η γείωση χρησιμεύει ως τάση αναφοράς τόσο στο κύκλωμα οδήγησης, το οποίο δημιουργεί το σήμα, όσο και στο οδηγούμενο κύκλωμα, το οποίο λαμβάνει το σήμα. Οι λογικές στάθμες του σήματος συγκρίνονται με την τάση αναφοράς, και έχουν νόημα μόνον ως προς αυτήν. Το σήμα μεταδίδεται κατά μήκος του αγωγού και επιστρέφει μέσω της γραμμής γείωσης. Ο τρόπος αυτός μετάδοσης ονομάζεται single-ended mode.

Για αγωγούς με μήκος μεγαλύτερο του ενός μέτρου, ο λόγος του θορύβου προς το σήμα (signal/noise ratio) είναι τέτοιος ώστε να δημιουργεί προβλήματα στην ασφαλή μετάδοση του σήματος. Για τον λόγο αυτόν χρησιμοποιούνται διαφορικές (differential) τεχνικές μετάδοσης του σήματος.

Στη διαφορική μετάδοση σημάτων (differential mode) χρησιμοποιείται ένα ζεύγος αγωγών μεταξύ του οδηγού και του οδηγούμενου κυκλώματος. Ο ένας αγωγός μεταφέρει το σήμα στην θετική του μορφή, ενώ ο δεύτερος μεταφέρει ένα σήμα ίσο αλλά με αντίθετη πολικότητα από το πρώτο.

Το διαφορικό κύκλωμα λήψης του σήματος (differential receiver) λειτουργεί ως διαφορικός ενισχυτής και αναπαράγει το λογικό σήμα από τη διαφορά των δύο σημάτων εισόδου, όπως απεικονίζεται στο σχήμα 5-5-17 που ακολουθεί.



Σχήμα 5-17

Η λογική κατάσταση που αντιπροσωπεύει το διαφορικό σήμα καθορίζεται από τη διαφορά (V_{OD}) του “ορθού” σήματος V_{OA} και του “συμπληρωματικού” V_{OB} . Οι τάσεις κατωφλίου V_{TL} και V_{TH} του σχήματος 5-17 καθορίζονται με ακρίβεια από την διαφορά V_{OD} .

Με την πρώτη ματιά, η διαφορική μετάδοση του σήματος έχει το σοβαρό μειονέκτημα της χρήσης δύο αγωγών αντί ενός. Ταυτόχρονα όμως έχει το θεμελιώδες πλεονέκτημα της μεγάλης ανοσίας στο θόρυβο.

Η ανοσία αυτή οφείλεται κατά κύριο λόγο στην ικανότητα του διαφορικού κυκλώματος λήψης να απορρίπτει οποιαδήποτε τάση θορύβου, η οποία εισάγεται ταυτόχρονα και στις δύο γραμμές. Οποιαδήποτε μετατόπιση τάσης κοινή και στις δύο εισόδους (θόρυβος common-mode) δεν επηρεάζει τη διαφορά τους (V_{OD}) και κατά συνέπεια ούτε τη λαμβανόμενη λογική κατάσταση. Η ικανότητα του κυκλώματος λήψης να απορρίπτει τον κοινό θόρυβο εκφράζεται από τον *βαθμό απόρριψης του κοινού σήματος* (common-mode rejection ratio – CMRR) που διαθέτει.

Λόγω της απόρριψης του κοινού σήματος θορύβου, τα κυκλώματα διαφορικής μετάδοσης παρουσιάζουν ανοσία σε ηλεκτρομαγνητικές παρεμβολές, στην αλληλεπίδραση από γειτονικά σήματα και στον θόρυβο από την αναπήδηση της γείωσης.

Η διαφορική μετάδοση μπορεί επίσης να βοηθήσει σε περιπτώσεις όπου τα επίπεδα του σήματος είναι πολύ χαμηλά. Τέτοια επίπεδα χρησιμοποιούνται για την μείωση της κατανάλωσης ισχύος και την αύξηση της ταχύτητας μετάδοσης. Στις περιπτώσεις αυτές, η διαφορά των δύο σημάτων διπλασιάζει στην πράξη τα επίπεδα του σήματος ($+V - (-V) = 2V$), διευκολύνοντας τον χειρισμό του.

Όσον αφορά την επιστροφή του σήματος, δεν απαιτείται αγωγός γείωσης για να συντελεστεί. Θεωρητικά, ό,τι μεταδίδεται στον έναν αγωγό, επιστρέφει από τον άλλον. Χωρίς ρεύμα επιστροφής μέσω της γείωσης η σχεδίαση των αγωγών ή των επιπέδων της τάσης αναφοράς δεν είναι κρίσιμη.

Επειδή το ένα από τα δύο διαφορεικά σήματα χρησιμοποιεί ως αναφορά το άλλο, είναι πιο εύκολος ο ακριβής έλεγχος του χρονικού σημείου αλλαγής λογικής κατάστασης, από ότι στην περίπτωση της μετάδοσης μέσω ενός αγωγού. Ο ακριβέστερος χρονικός έλεγχος επιτρέπει τη μετάδοση διαφορικών σημάτων με μεγαλύτερη ταχύτητα απ'ότι η μετάδοση μέσω ενός μόνο αγωγού.

Τα παραπάνω πλεονεκτήματα της διαφορικής μετάδοσης προϋποθέτουν ακριβώς ίδια χαρακτηριστικά των δύο αγωγών μετάδοσης. Οι βασικοί κανόνες σχεδίασης στην περίπτωση αυτή είναι:

α) Οι δύο αγωγοί πρέπει να έχουν το ίδιο μήκος. Στην αντίθετη περίπτωση τα σήματα παύουν να είναι όμοια και συμπληρωματικά όταν φτάνουν στο κύκλωμα λήψης. Για όσο χρονικό διάστημα συμβαίνει αυτό, εμφανίζεται ρεύμα επιστροφής μέσω της γείωσης και κατά πάσα πιθανότητα παράγεται θόρυβος στο σύστημα.

β) Οι δύο αγωγοί πρέπει να είναι όσο το δυνατόν πλησιέστερα ο ένας στον άλλον (σε περίπτωση τυπωμένου κυκλώματος) ή σε στριμμένο ζεύγος (σε περίπτωση καλωδίων). Όταν συμβαίνει αυτό, οποιοσδήποτε εξωτερικός παρασιτικός θόρυβος επηρεάζει εξ'ίσου το σήμα των δύο αγωγών, άρα απορρίπτεται πλήρως κατά τη λήψη ως σήμα common-mode. Επιπλέον, η αμοιβαία σύζευξη των δύο κοντινών αγωγών εξουδετερώνει κατά μεγάλο μέρος τις ηλεκτρομαγνητικές παρεμβολές που εκπέμπουν προς άλλα κυκλώματα.

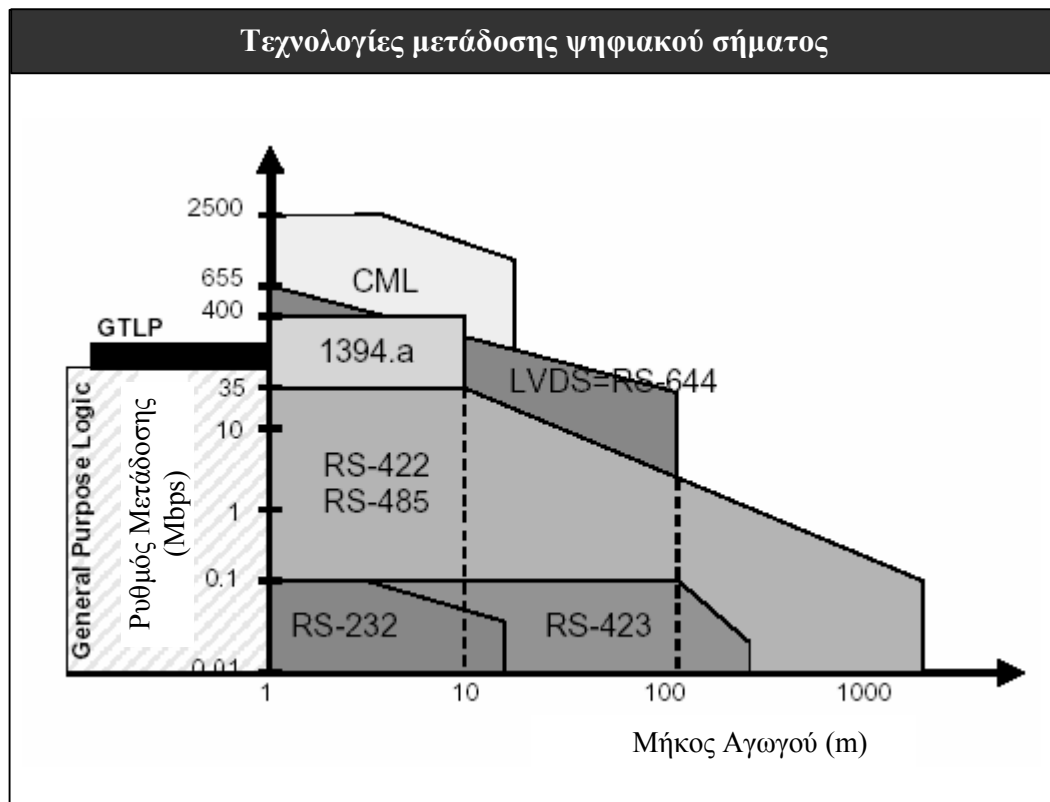
γ) Η απόσταση μεταξύ των δύο αγωγών πρέπει να είναι σταθερή. Ανάμεσα στους δύο αγωγούς παρουσιάζεται σύζευξη όταν βρίσκονται κοντά ο ένας στον άλλον. Η σύζευξη αυτή έχει ως αποτέλεσμα τη μείωση της σύνθετης αντίστασης των δύο αγωγών σε τιμή διαφορετική από τη χαρακτηριστική τους Z_0 . Η νέα σύνθετη αντίσταση ονομάζεται *διαφορική* (differential impedance) και εξαρτάται από την απόσταση μεταξύ των αγωγών. Διατηρώντας την απόσταση αυτή σταθερή, επιτυγχάνεται ομοιόμορφη σύνθετη αντίσταση σε όλο το μήκος των αγωγών, κάτι που, όπως αναφέρθηκε σε προηγούμενες παραγράφους για τις γραμμές μετάδοσης, είναι ιδιαίτερα σημαντικό για την αποφυγή ανακλάσεων.

5.6.1 Εξέλιξη τεχνολογιών διαφορικής μετάδοσης.

Διαφορικές μέθοδοι μετάδοσης του ψηφιακού σήματος χρησιμοποιήθηκαν αρχικά για τη διασύνδεση, μέσω ζεύγους καλωδίων, συστημάτων, τα οποία απείχαν μεταξύ τους. Η μεγάλη ανοσία των διαφορικών σημάτων στον θόρυβο αποτέλεσε την κύρια αιτία χρήσης τους για μήκη αγωγών μεγαλύτερα του ενός μέτρου (σχήμα 5-18).

Οι μέθοδοι διαφορικής μετάδοσης περιγράφονται από πρότυπα (standards), τα οποία προσδιορίζουν τα επιθυμητά χαρακτηριστικά του διαφορικού σήματος και των κυκλωμάτων οδήγησης και λήψης.

Ένα από τα παλαιότερα πρότυπα διαφορικής μετάδοσης μέσω ζεύγους στριμμένων καλωδίων χαρακτηριστικής Z_0 ίσης με 100Ω είναι το RS-422. Το μεγάλο εύρος των σημάτων ($\pm 2V$ έως $\pm 5V$) και ο χαμηλός ρυθμός μετάδοσης ($< 30\text{Mbps}$) του προτύπου, το καθιστούν ιδανικό για τη μετάδοση σε περιβάλλον με ισχυρό θόρυβο.



Σχήμα 5-18

Ένα από τα νεώτερα (1995) πρότυπα διαφορικής μετάδοσης, το οποίο ονομάζεται LVDS (Low Voltage Differential Signaling), παρουσιάζει σημαντικές βελτιώσεις στον τομέα της ταχύτητας μετάδοσης και της κατανάλωσης ισχύος. Χρησιμοποιώντας το πρότυπο LVDS επιτυγχάνονται ταχύτητες έως και 40 φορές υψηλότερες (400Mbps) από παλαιότερες μεθόδους διαφορικής μετάδοσης, μειώνοντας ταυτοχρόνως την καταναλισκόμενη ισχύ έως και 10 φορές. Οι επιδόσεις του LVDS οφείλονται στη ελαχιστοποίηση των σταθμών τάσης των διαφορικών σημάτων. Επιπλέον, το πρότυπο LVDS μπορεί να χρησιμοποιήσει για τη μετάδοση ζεύγη αγωγών, ομοαξονικό καλώδιο και αγωγούς σε τυπωμένα κυκλώματα.

Στον πίνακα 5-6 που ακολουθεί συνοψίζεται η εξέλιξη της τεχνολογίας στον τομέα της διαφορικής μετάδοσης μέσω των χαρακτηριστικών των RS-422 και LVDS:

Πρότυπο	RS-422	LVDS
Εύρος διαφορικού σήματος	$\pm 2-5$ V	$\pm 250 - 450$ mV
Τάση κατωφλίου λήψης	± 200 mV	± 100 mV
Ρυθμός Μετάδοσης	< 30 Mbps	> 400 Mbps
Στατική Κατανάλωση Ισχύος (κύκλωμα οδήγησης, 4 έξοδοι)	60mA	8mA
Στατική Κατανάλωση Ισχύος (κύκλωμα λήψης, 4 είσοδοι)	23mA	15mA
Καθυστέρηση διάδοσης σήματος (κύκλωμα οδήγησης)	11ns	1.7ns
Καθυστέρηση διάδοσης σήματος (κύκλωμα λήψης)	30ns	2.7ns

(πηγή: "Introduction to LVDS", National Semiconductor)

Πίνακας 5-6

5.7 Πληροφοριακό Υλικό

Για τη συγγραφή του παρόντος χρησιμοποιήθηκαν οι εξής πηγές:

- **Θόρυβος βαθμίδων εξόδου**

1. S.Hronik, "The Myth of Ground Bounce. Measurements and Comparisons", IDT AN-147
2. D.Brooks, "Ground Bounce, Parts 1 & 2", Printed Circuit Design, Aug/Sept 1997
3. "Ground Bounce in 8-bit High-Speed Logic", Pericom App.Note-5
4. "Controlling Ground Bounce", Lucent Technologies App.Note, Jan 2000
5. Dante Del Corso, "Signal Integrity in Digital Circuits", E-learning Resources in Microelectronics, <http://www.boton.ac.uk/technology/mind/corep/sig-int>
6. "Advanced High-Speed CMOS (AHC)", TI SCAA034B, Jan 1998,

- **Γραμμές μετάδοσης**

1. "ECL Backplane Design", FAIRCHILD Semiconductor AN-768, May 2000
2. Dante Del Corso, "Interconnections for High Speed Digital Circuits", E-learning Resources in Microelectronics, <http://www.boton.ac.uk/technology/mind/corep/intercon>
3. "Terminating Clock Lines", Triquint Semiconductor Inc. Application Note
4. K.Ethirajan, J.Nemec, "Termination techniques for high-speed buses", EDN Access, Feb 16 1998
5. L.Hill, "Digital Clock Transmission Lines and Terminations on Printed Circuit boards", IEEE EMCS Newsletter, Jan 1998
6. Z.Ayoub, "Beware of analog effects in pc-board conductors of fast digital systems", EDN Access, Jan 18 1996

- **Οδήγηση διαύλων**

1. D.Bursky, "Bus Interface Logic Evolves to Meet VLSI Needs", Electronic Design, Feb 23 1998
2. "GTL/BTL: A low-swing solution for high-speed digital logic", TI SCEA003A, Mar 1997
3. "GTLP Frequently asked Questions", TI SCEA019, Jan 2001
4. "Achieving Maximum Speed on Parallel Buses with GTLP", TI App. Report, Apr 2001

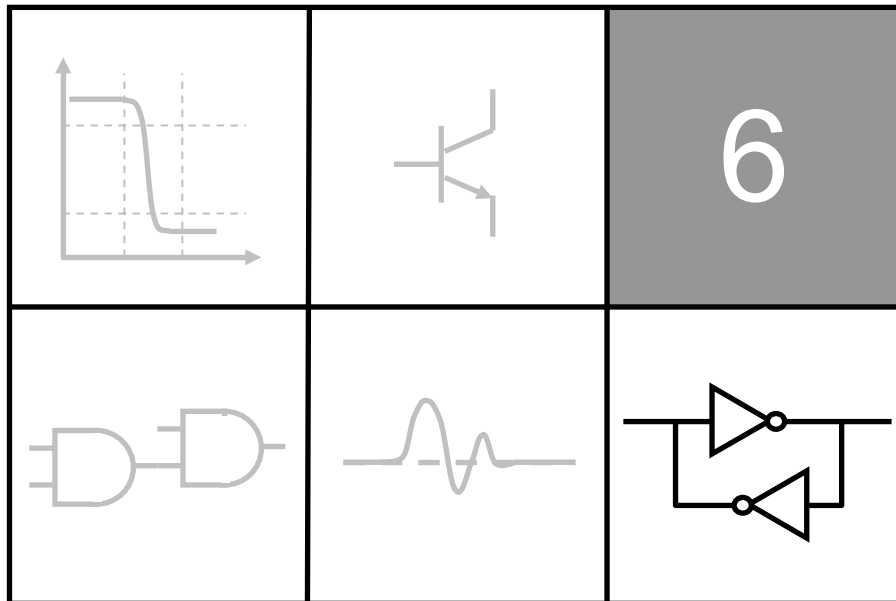
- **Αλληλεπίδραση σημάτων**

1. "What is Crosstalk?", <http://www.chipcenter.com>
2. D.Brooks, "Crosstalk Part1 & 2", Printed Circuit Design, Nov & Dec 1997

- **Διαφορική Μετάδοση**

1. "Introduction to LVDS", LVDS Owner Manual, National Semiconductor
2. K.Gingerich, "New LVDS Capabilities Giving 422 and 485 a Run for the Money", <http://www.chipcenter.com>
3. J.Goldie, Jinhua Chen, "A Baker's dozen of High-Speed Differential Backplane Design Tips", DESIGNCON2000
4. "422 and 485 Standards Overview", TI Application Note SLLA070B
5. D.Brooks, "Crosstalk, EMI and Differential Z", Printed Circuit Design, June 2001
6. "Differential Signaling and Differential Transmission Lines", <http://www.chipcenter.com>
7. "Low Voltage Differential Signaling Yields Megatransfers per Second and Milliwatts of Power", National Semiconductor AN-1060
8. D.Brooks, "Differential Signals, Rules to Live By", Printed Circuit Design, Oct. 2001

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ



«Ημιαγωγικές Μνήμες»

Δ.Λιούπης – Μ.Στεφανιδάκης

Πίνακας Περιεχομένων.

6.1	Εισαγωγή.	2
6.2	Μνήμες μόνιμης αποθήκευσης.....	3
6.2.1	Μνήμες ανάγνωσης μόνο (read-only memories).....	4
6.2.2	Επαναπρογραμματιζόμενες μνήμες.....	6
6.2.3	Μνήμες EPROM, EEPROM και NOR FLASH.	7
6.2.4	Μνήμες NAND FLASH.	9
6.3	Μνήμες Τυχαίας Προσπέλασης (RAM).	12
6.3.1	Στατικές Μνήμες RAM (SRAM).	13
6.3.2	Δυναμικές μνήμες RAM (DRAM).....	17
6.4	Νέες Τεχνολογίες.	24
6.4.1	Κύτταρα μνήμης πολλαπλών ψηφίων.	24
6.4.2	Μνήμες FRAM.	26

6.1 Εισαγωγή.

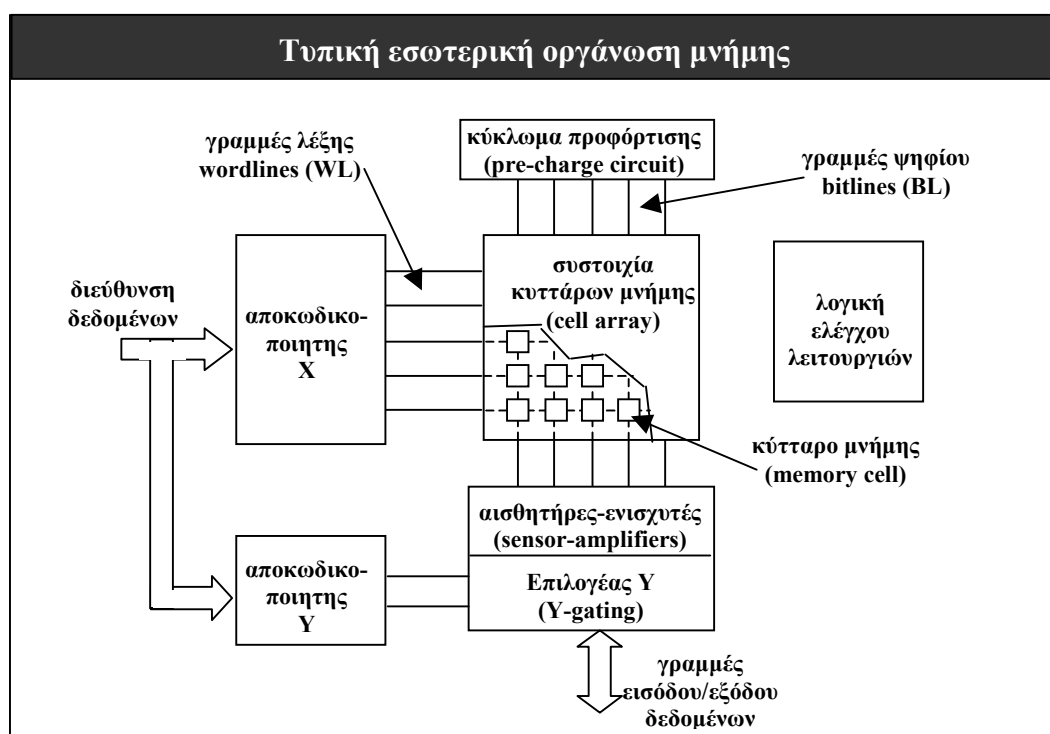
Στο παρόν κεφάλαιο εξετάζονται οι διάφοροι τύποι ημιαγωγικών μνημών, οι οποίες χρησιμοποιούνται στα σύγχρονα υπολογιστικά συστήματα για την αποθήκευση των δεδομένων επεξεργασίας και του κώδικα εκτέλεσης των προγραμμάτων.

Οι ημιαγωγικές μνήμες που είναι εμπορικά διαθέσιμες κατασκευάζονται σχεδόν αποκλειστικά σε τεχνολογίες MOS ή CMOS, ενώ για ειδικές μόνο απαιτήσεις χρησιμοποιούνται κυκλώματα διπολικών τρανζίστορ επαφής ή άλλων τεχνολογιών.

Για κάθε είδος μνήμης είναι δυνατή η ανάγνωση της πληροφορίας που περιέχει, ενώ η δυνατότητα εγγραφής νέων δεδομένων χωρίζει τα κυκλώματα μνήμης σε δύο κατηγορίες: α) στις μνήμες εγγραφής – ανάγνωσης και β) στις μνήμες ανάγνωσης μόνο.

Ένα άλλο χαρακτηριστικό των κυκλωμάτων μνήμης είναι η δυνατότητα συγκράτησης των περιεχομένων της μνήμης όταν διακόπτεται η παροχή τροφοδοσίας. Με βάση αυτήν την ιδιότητα κατατάσσονται σε μνήμες μόνιμης και μη-μόνιμης αποθήκευσης των δεδομένων.

Στο σχήμα 6-1 παρουσιάζεται η τυπική οργάνωση ενός κυκλώματος μνήμης, καθώς και τα διάφορα λειτουργικά μέρη που το απαρτίζουν.



Σχήμα 6-1

Η πληροφορία αποθηκεύεται σε μία **συστοιχία 'κυττάρων' μνήμης** (*memory cell array*). Κάθε 'κύτταρο' αποθηκεύει ένα δυαδικό ψηφίο, χρησιμοποιώντας διάφορες τεχνολογίες ανάλογα με το είδος της μνήμης. Τα κύτταρα συνήθως διατάσσονται σε έναν πίνακα γραμμών (X) και στηλών (Y). Στη συμβολή κάθε γραμμής και στήλης βρίσκεται ένα 'κύτταρο' μνήμης, το οποίο συνδέεται με μία

κατακόρυφη γραμμή ψηφίου (*bitline* - *BL*) και μία οριζόντια γραμμή λέξης (*wordline* - *WL*). Οι γραμμές ψηφίου χρησιμοποιούνται για τη μεταφορά δεδομένων από και προς τα 'κύτταρα' μνήμης, ενώ οι γραμμές λέξης για την επιλογή της επιθυμητής ομάδας 'κυττάρων', από τα οποία διαβάζονται ή στα οποία εγγράφονται τα δεδομένα.

Κατά την αρχική διαδικασία ανάγνωσης/εγγραφής οι επιλεγμένες γραμμές ψηφίου (*BL*) απαιτείται κατά περίπτωση να φορτίζονται με ορισμένο φορτίο. Ειδικά **κυκλώματα προ-φόρτισης** (*pre-charge circuits*) μέσα στη μνήμη αναλαμβάνουν τη λειτουργία αυτή.

Κατά τη διαδικασία της ανάγνωσης από μία μνήμη, ανιχνεύεται το φορτίο των γραμμών ψηφίου (*BL*) και το αποτέλεσμα μετατρέπεται στον αντίστοιχο δυαδικό αριθμό. Την ανίχνευση και μετατροπή αναλαμβάνουν **ενισχυτές αίσθησης** (*sense-amplifiers*), οι οποίοι βρίσκονται συνδεδεμένοι στις γραμμές ψηφίου.

Στη γενική του μορφή κάθε κύκλωμα μνήμης δέχεται ως είσοδο μία διεύθυνση n ψηφίων και, ανάλογα με τη διεύθυνση αυτή, επιλέγει μία λέξη m ψηφίων από ένα σύνολο 2^n λέξεων. Το σύνολο των λέξεων της μνήμης είναι αποθηκευμένο σε $2^n \times m$ 'κύτταρα' μνήμης, με κάθε κύτταρο να αποθηκεύει ένα δυαδικό ψηφίο. Το πλήθος των δεδομένων που μπορούν να αποθηκευτούν ονομάζεται **μέγεθος** της μνήμης και μετράται σε Kbytes ή Mbytes.

Η διεύθυνση της λέξης που προσπελαύνεται μέσα στη μνήμη οδηγείται σε δύο αποκωδικοποιητές. Ένα μέρος της διεύθυνσης εισάγεται στον **αποκωδικοποιητή γραμμής X**, ο οποίος οδηγεί τις γραμμές λέξης (*WL*). Το υπόλοιπο μέρος της διεύθυνσης χρησιμοποιείται στον **αποκωδικοποιητή στήλης Y**, ο οποίος ελέγχει μέσω ενός **επιλογέα Y** (*Y-gating*) ποιες από τις γραμμές ψηφίου (*BL*) θα περάσουν τελικά στις γραμμές εισόδου/εξόδου της μνήμης.

Τα προηγούμενα κυκλώματα μιας μνήμης συμπληρώνουν διάφορα βοηθητικά κυκλώματα αποθήκευσης (*latches, buffers*) καθώς και τα **κυκλώματα ελέγχου** της λειτουργίας της μνήμης. Τα κυκλώματα αυτά ελέγχουν και συγχρονίζουν όλες τις εσωτερικές διεργασίες που επιτελεί η μνήμη κατά την ανάγνωση ή εγγραφή.

Κάθε μνήμη, εκτός από το μέγεθος, την τεχνολογία της και τον τρόπο διασύνδεσής της σε ένα υπολογιστικό σύστημα, χαρακτηρίζεται επίσης από την ταχύτητα με την οποία προσπελούνται τα δεδομένα της:

- Ο **χρόνος προσπέλασης** (*access time*) καθορίζει σε πόσο χρόνο τα δεδομένα θα είναι διαθέσιμα από τη στιγμή που το σύστημα τα ζητήσει από τη μνήμη.
- Ο **κύκλος προσπέλασης** (*cycle time*) είναι το ελάχιστο διάστημα που απαιτείται μεταξύ διαδοχικών προσπελάσεων (ανάγνωση ή εγγραφή) στη μνήμη. Ο χρόνος αυτός είναι μεγαλύτερος από τον χρόνο προσπέλασης.

6.2 Μνήμες μόνιμης αποθήκευσης.

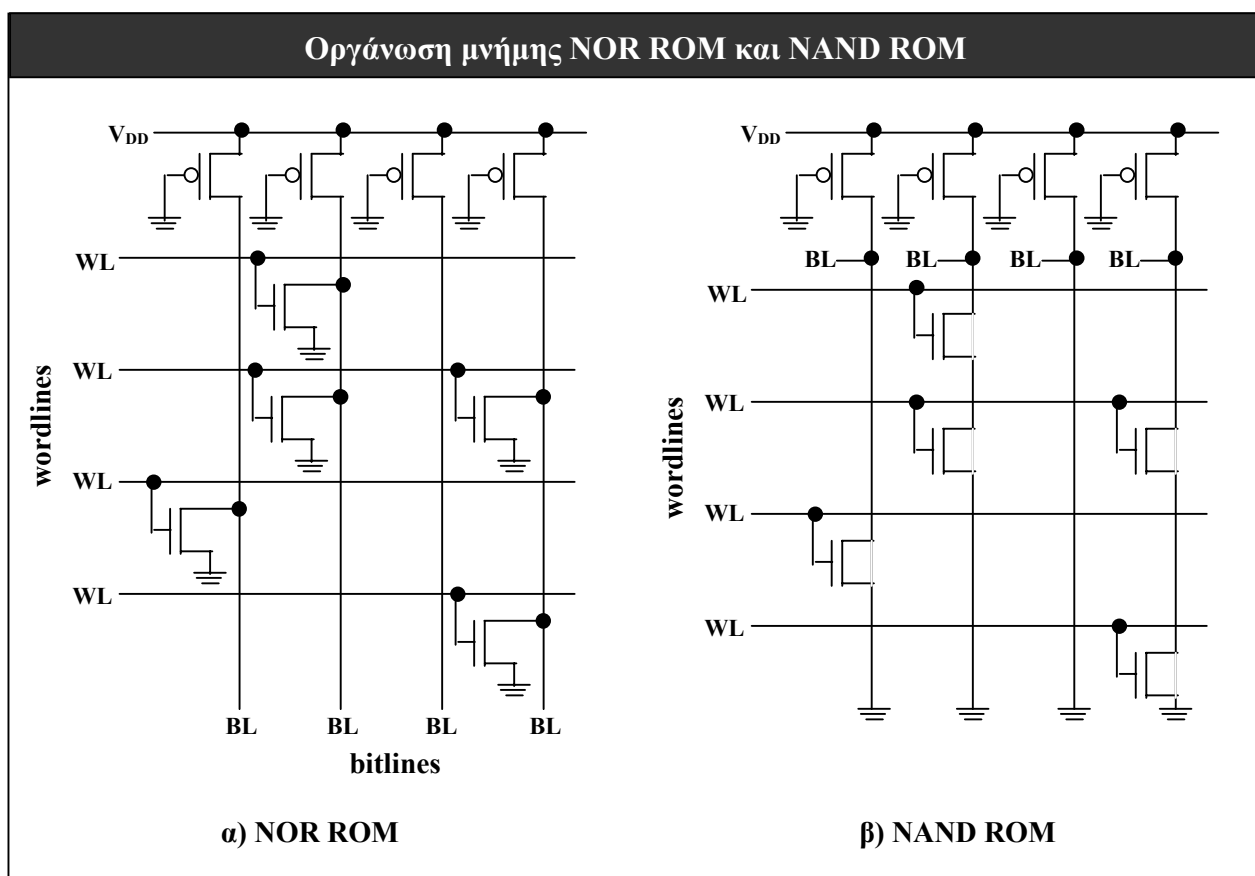
Οι μνήμες μόνιμης αποθήκευσης δεδομένων (*non-volatile memories* - *NVM*) διατηρούν το περιεχόμενό τους ακόμα κι όταν διακοπεί η τάση τροφοδοσίας. Η μόνιμη αποθήκευση επιτυγχάνεται με διαφορετικούς τρόπους, ανάλογα με το είδος της μνήμης. Οι μνήμες μόνιμης αποθήκευσης παρουσιάζουν αργούς χρόνους εγγραφής δεδομένων και χρησιμοποιούνται κυρίως από εφαρμογές, οι οποίες εκτελούν συχνότερα (ή μόνο) αναγνώσεις παρά εγγραφές.

Στη συνέχεια θα εξεταστούν διάφορα είδη μνημών μόνιμης αποθήκευσης, χωρισμένα σε δύο κατηγορίες:

- Οι μνήμες ανάγνωσης μόνο (*read-only memories –ROM*) περιέχουν κυκλώματα τα οποία προγραμματίζονται άπαξ, είτε στο εργοστάσιο κατασκευής τους, είτε αργότερα σε ειδικά μηχανήματα προγραμματισμού. Οι μνήμες αυτές δεν επαναπρογραμματίζονται. Στην κατηγορία αυτή ανήκουν οι μνήμες ROM και PROM (programmable ROM).
- Οι επαναπρογραμματιζόμενες μνήμες αποθηκεύουν τα δεδομένα τους σε τρανζίστορ ειδικού σχεδιασμού. Ειδικές διατάξεις μέσα σε κάθε μνήμη επιτρέπουν τον επαναπρογραμματισμό των περιεχομένων. Στην κατηγορία αυτή εξετάζονται οι μνήμες EPROM (erasable-programmable ROM), EEPROM (electrically erasable-programmable ROM), NOR και NAND FLASH.

6.2.1 Μνήμες ανάγνωσης μόνο (read-only memories).

Η μνήμη ROM είναι ένα κύκλωμα, το οποίο παράγει μία έξοδο ανάλογα με τη διεύθυνση στην είσοδό της. Τα αποθηκευμένα δεδομένα (οι τιμές εξόδου) δεν μπορούν να αλλάξουν και είναι προκαθορισμένα από το στάδιο κατασκευής της μνήμης.



Σχήμα 6-2

Στο σχήμα 6-2 απεικονίζονται οι δύο μορφές αποθήκευσης των δυαδικών ψηφίων σε μία μνήμη ROM τεχνολογίας MOS:

Στο σχήμα 6-2α εμφανίζεται η οργάνωση της συστοιχίας μνήμης μίας **ROM** τύπου **NOR**. Στο πλέγμα που σχηματίζουν οι οριζόντιες γραμμές λέξης (WL) με τις κάθετες γραμμές ψηφίου (BL), ένα δυαδικό ψηφίο αποθηκεύεται ανάλογα με το εάν υπάρχει ή όχι ένα τρανζίστορ σε κάθε διασταύρωση των WL και BL.

Για την ανάγνωση μίας λέξης, η γραμμή WL της επιλεγμένης λέξης οδηγείται σε υψηλό δυναμικό, ενώ οι υπόλοιπες γραμμές λέξης κρατούνται σε χαμηλό δυναμικό. Εάν υπάρχει τρανζίστορ στη διασταύρωση της επιλεγμένης γραμμής WL με μία γραμμή BL, αυτό άγει, οπότε η γραμμή BL, η οποία είναι αρχικά συνδεδεμένη σε υψηλό δυναμικό μέσω ενός pMOS τρανζίστορ (pull-up), οδηγείται σε χαμηλό δυναμικό. Η απουσία τρανζίστορ θα αφήσει την αντίστοιχη γραμμή BL σε υψηλό δυναμικό.

Θεωρώντας ότι η έξοδος της μνήμης εμφανίζεται με θετική λογική (δηλαδή όπως και στις γραμμές ψηφίου BL) και σύμφωνα με την προηγούμενη παράγραφο, η ύπαρξη τρανζίστορ ανάμεσα σε WL και BL δίνει το ψηφίο '0'. Αντιθέτως, η απουσία τρανζίστορ δίνει το ψηφίο '1'.

Η σύνδεση των τρανζίστορ σε κάθε γραμμή BL είναι τέτοια, ώστε αρκεί ένα από αυτά να άγει για να οδηγήσει την BL σε χαμηλό δυναμικό. Η λειτουργία αυτή είναι ισοδύναμη με εκείνη μίας λογικής πύλης NOR, δίνοντας έτσι το ίδιο όνομα σε αυτήν την οργάνωση ROM.

Στο σχήμα 6-2β απεικονίζεται μία διαφορετική οργάνωση ROM, η οποία ονομάζεται **NAND ROM**. Κάθε γραμμή ψηφίου (BL) είναι στη μία άκρη συνδεδεμένη στο χαμηλό δυναμικό και τα τρανζίστορ που αναπαριστούν τα δυαδικά ψηφία συνδέονται σειριακά σε κάθε γραμμή BL. Τα τρανζίστορ ελέγχονται από τις γραμμές λέξης (WL).

Για την ανάγνωση μίας λέξης, όλες οι γραμμές WL οδηγούνται σε υψηλό δυναμικό, εκτός από τη γραμμή της επιλεγμένης λέξης. Με τον τρόπο αυτόν, όλα τα τρανζίστορ των μη επιλεγμένων λέξεων άγουν. Η γραμμή WL της επιλεγμένης λέξης οδηγείται σε χαμηλό δυναμικό, οπότε κάθε γραμμή BL θα έχει στο πάνω μέρος της α) υψηλό δυναμικό εάν υπάρχει τρανζίστορ στη συμβολή της με την επιλεγμένη WL ή β) χαμηλό δυναμικό αν δεν υπάρχει τρανζίστορ στην αντίστοιχη θέση.

Θεωρώντας ότι η έξοδος της μνήμης εμφανίζεται όπως ακριβώς στις γραμμές BL, απαιτείται η ύπαρξη ενός τρανζίστορ στη συμβολή BL και WL για την αναπαράσταση του ψηφίου '1', ενώ η απουσία τρανζίστορ αναπαριστά το ψηφίο '0'.

Η σειριακή σύνδεση των τρανζίστορ σε κάθε γραμμή ψηφίου είναι αντίστοιχη μίας λογικής πύλης NAND: για να οδηγηθεί μία γραμμή BL σε χαμηλό δυναμικό απαιτείται να άγουν όλα τα τρανζίστορ της γραμμής. Η αντιστοιχία αυτή δίνει και την ονομασία στη δεύτερη αυτή οργάνωση μνήμης ROM.

Η πληροφορία που θα αποθηκευτεί σε μία μνήμη ROM καθορίζει μία μάσκα, βάσει της οποίας κατασκευάζεται το ολοκληρωμένο κύκλωμα της μνήμης, με την παρουσία ή απουσία τρανζίστορ στις επιθυμητές θέσεις. Όπως αναφέρθηκε και προηγουμένως, τα δεδομένα της μνήμης ROM δεν μπορούν να αλλαγούν. Οι μνήμες ROM χρησιμοποιούνται όταν πρόκειται να παραχθούν αντίτυπα σε μεγάλες ποσότητες (τουλάχιστον χίλια αντίτυπα). Τα ολοκληρωμένα κυκλώματα παραγγέλλονται απευθείας στο εργοστάσιο παραγωγής.

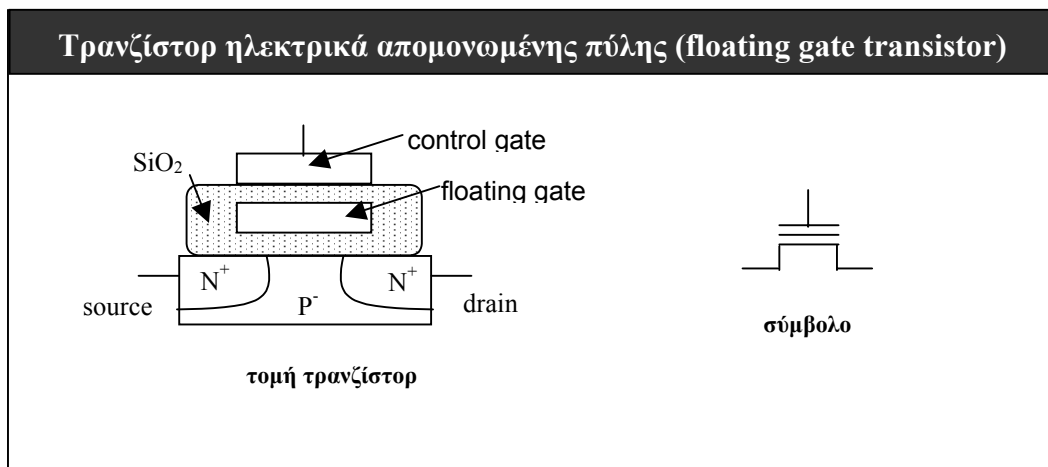
Μία παραλλαγή της μνήμης ROM είναι η μνήμη PROM. Μία μνήμη αυτού του τύπου κατασκευάζεται με τρανζίστορ σε κάθε διασταύρωση των γραμμών λέξης

(WL) και ψηφίου (BL) (βλ.σχήμα 6-2α). Κάθε τρανζίστορ είναι συνδεδεμένο μέσω ενός εύτηκτου συνδέσμου (*fuse*) με την αντίστοιχη γραμμή λέξης. Μέσω ειδικών συσκευών προγραμματισμού διοχετεύεται αυξημένο ρεύμα σε επιλεγμένα τρανζίστορ, με αποτέλεσμα οι αντίστοιχοι σύνδεσμοι να καταστρέφονται και τα τρανζίστορ αυτά να απομονώνονται. Με τον τρόπο αυτόν, η μνήμη PROM προγραμματίζεται στο επιθυμητό περιεχόμενο εκ των υστέρων, αποφεύγοντας την παραγγελία συγκεκριμένου κυκλώματος στο εργοστάσιο παραγωγής.

Οι μνήμες ROM και PROM παράγονται σε διάφορα μεγέθη (από μερικά Kbytes έως και μερικά Mbytes) και επιτυγχάνουν χρόνους προσπέλασης από 80 έως 150ns. Οι μνήμες αυτές έχουν αντικατασταθεί πρακτικά από επαναπρογραμματιζόμενες μνήμες, οι οποίες θα εξεταστούν στην επόμενη ενότητα. Παρ'όλα αυτά χρησιμοποιούνται ακόμα σε ειδικές εφαρμογές όπου απαιτείται η μέγιστη αξιοπιστία στην αποθήκευση των δεδομένων, όπως σε στρατιωτικές ή διαστημικές εφαρμογές για αντοχή σε περιβάλλον με αυξημένη ακτινοβολία. Επίσης, για απαιτήσεις μεγάλης ταχύτητας προσπέλασης υπάρχουν μνήμες ROM και PROM κατασκευασμένες με τεχνολογία διπολικού τρανζίστορ επαφής (BJT), οι οποίες επιτυγχάνουν χρόνους προσπέλασης έως 15ns.

6.2.2 Επαναπρογραμματιζόμενες μνήμες.

Οι μνήμες EPROM, EEPROM και FLASH μπορούν να προγραμματιστούν κατ' επανάληψη, έτσι ώστε να εγγράφονται σε αυτές κάθε φορά νέα δεδομένα. Στα κυκλώματα αυτής της κατηγορίας μνημών χρησιμοποιείται για την αποθήκευση κάθε δυαδικού ψηφίου το *τρανζίστορ ηλεκτρικά απομονωμένης πύλης (floating gate transistor)*, το οποίο εμφανίζεται στο σχήμα 6-3.



Σχήμα 6-3

Η μη συνδεδεμένη πύλη (floating gate) είναι ηλεκτρικά απομονωμένη από κάθε άλλη επαφή του τρανζίστορ, λόγω του περιβάλλοντος μονωτικού υλικού (SiO₂). Το φορτίο ηλεκτρονίων που θα τοποθετηθεί στην πύλη αυτή διατηρείται μόνιμα, ανεξάρτητα από την ύπαρξη τάσης τροφοδοσίας.

Η προσθήκη φορτίου ηλεκτρονίων στη απομονωμένη πύλη ονομάζεται κατά σύμβαση «προγραμματισμός» του τρανζίστορ ενώ η αφαίρεση ηλεκτρονίων «διαγραφή». Η μετακίνηση των ηλεκτρονίων επιτυγχάνεται μέσω δύο εναλλακτικών φυσικών μεθόδων ανάλογα με το είδος της μνήμης (μέθοδος *Fowler-Nordheim (FN)*

tunneling και μέθοδος *Channel Hot Electron (CHE) injection*). Και οι δύο μέθοδοι απαιτούν υψηλές τάσεις (έως 20V), οι οποίες είτε παρέχονται εξωτερικά, είτε δημιουργούνται εσωτερικά στην μνήμη από αντλίες φορτίου (*charge pumps*).

Η ύπαρξη ή όχι του φορτίου ηλεκτρονίων στην απομονωμένη πύλη καθορίζει και την τάση κατωφλίου (*threshold voltage – V_T*), η οποία πρέπει να εφαρμοστεί στην πύλη ελέγχου (*control gate*), έτσι ώστε το τρανζίστορ να άγει:

- Όταν η απομονωμένη πύλη έχει φορτίο ηλεκτρονίων («προγραμματισμένο» τρανζίστορ) το V_T αυξάνει, το τρανζίστορ άγει δυσκολότερα και ανιχνεύεται ως '0' (ανοιχτός διακόπτης).
- Στην αντίθετη περίπτωση («διαγραμμένο» τρανζίστορ) το V_T μειώνεται και το τρανζίστορ ανιχνεύεται ως '1' (κλειστός διακόπτης).

Με την ανίχνευση του φορτίου κάθε τρανζίστορ επιτελείται η λειτουργία *ανάγνωσης* της μνήμης. Για την *εγγραφή* ενός νέου ψηφίου, απαιτείται πρώτα η «διαγραφή» του αντίστοιχου τρανζίστορ (επαναφορά σε κατάσταση '1') και στη συνέχεια, εάν γράφουμε '0', ο «προγραμματισμός» του. Ανάλογα με το είδος της μνήμης, κάθε τρανζίστορ απομονωμένης πύλης μπορεί να επαναπρογραμματιστεί με ασφάλεια από 100.000 έως 1.000.000 φορές.

Οι μνήμες EPROM, οι οποίες αποτελούν τον παλαιότερο τεχνολογικά τύπο, χρησιμοποιούν τους μηχανισμούς που αναφέρθηκαν μόνο για τον «προγραμματισμό» των τρανζίστορ. Για τη «διαγραφή» χρησιμοποιείται υπεριώδης ακτινοβολία, η ενέργεια της οποίας μπορεί να μετακινήσει τα ηλεκτρόνια μακριά από την ηλεκτρικά απομονωμένη πύλη. Η μέθοδος αυτή έχει το μειονέκτημα ότι α) απαιτείται δαπανηρό διαφανές παράθυρο στη συσκευασία της μνήμης για να περνά η ακτινοβολία και β) η μνήμη πρέπει να απομακρυνθεί από το σύστημα για να «διαγραφεί».

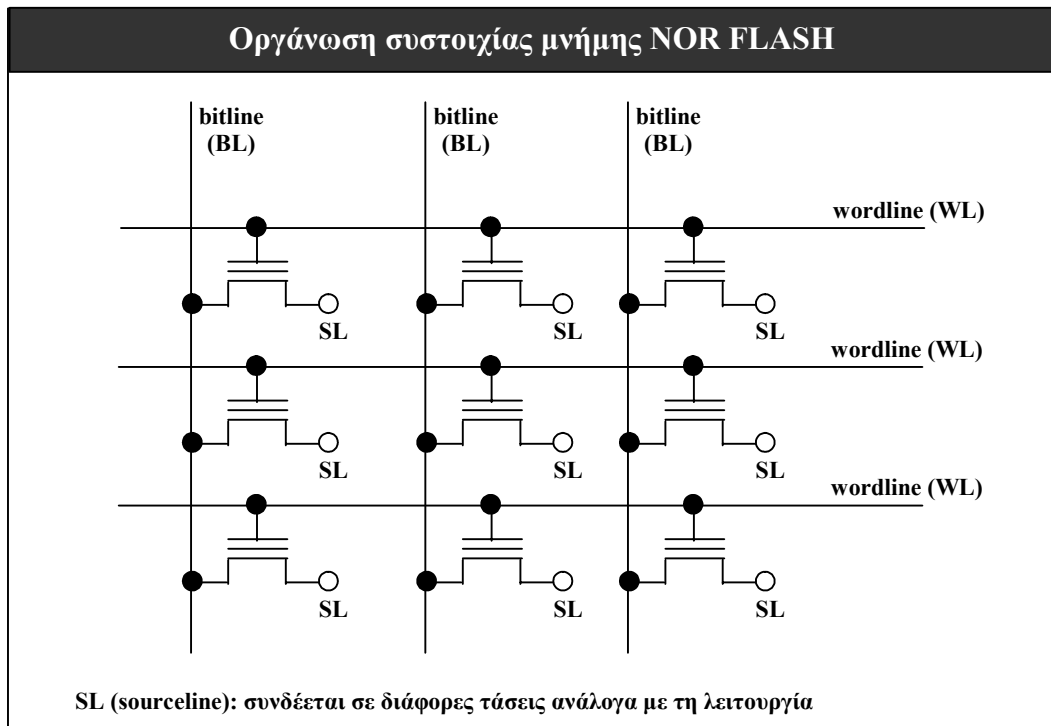
Οι μνήμες EEPROM και οι νεώτερες FLASH χρησιμοποιούν ηλεκτρικό σήμα τόσο για τον «προγραμματισμό», όσο και για τη «διαγραφή» των τρανζίστορ, με τη βοήθεια των μεθόδων FN ή CHE.

6.2.3 Μνήμες EPROM, EEPROM και NOR FLASH.

Οι μνήμες FLASH, οι οποίες αποτελούν την νεώτερη τεχνολογία στον τομέα των επαναπρογραμματιζόμενων μνημών μόνιμης αποθήκευσης, χωρίζονται σε δύο κατηγορίες ανάλογα με την οργάνωσή τους: σε μνήμες NOR FLASH και σε μνήμες NAND FLASH.

Οι μνήμες NOR FLASH υλοποιούνται με πιο συμβατικό τρόπο και είναι παρόμοιες στη βασική οργάνωσή τους με τις μνήμες EPROM και EEPROM. Στην παρούσα ενότητα οι μνήμες NOR FLASH εξετάζονται ως αντιπροσωπευτικός τύπος και για τις μνήμες EPROM & EEPROM, με τις διαφορές να επισημαίνονται ξεχωριστά.

Κάθε μνήμη NOR-FLASH είναι οργανωμένη με τον παραδοσιακό τρόπο: τα ψηφία πληροφορίας ομαδοποιούνται σε λέξεις και κάθε ψηφίο αποθηκεύεται σε ένα τρανζίστορ ηλεκτρικά απομονωμένης πύλης. Το τρανζίστορ αυτό συνδέεται μονοσήμαντα με μία γραμμή λέξης (*wordline - WL*) και μία γραμμή ψηφίου (*bitline - BL*), όπως φαίνεται στο σχήμα 6-4.



Σχήμα 6-4

Από το σχήμα 6-4 διαπιστώνεται ότι όλα τα ψηφία κάθε λέξης μπορούν να προσπελαστούν ταυτόχρονα και το περιεχόμενό τους να διαβαστεί από την αντίστοιχη γραμμή ψηφίου (BL). Σε κάθε γραμμή ψηφίου συνδέονται παράλληλα πολλά τρανζίστορ από διαφορετικές λέξεις.

Οι λειτουργίες που πραγματοποιούνται στα τρανζίστορ-ψηφία μίας μνήμης NOR FLASH είναι οι ακόλουθες:

- **Ανάγνωση:** κάθε λέξη είναι τυχαία προσπελάσιμη μέσα σε μία μνήμη NOR FLASH. Η αποκωδικοποίηση της διεύθυνσης της λέξης οδηγεί την επιλεγμένη γραμμή λέξης (WL) σε μία προκαθορισμένη τάση V_{read} , ενώ οι υπόλοιπες γραμμές λέξης μένουν ανενεργές. Κάθε γραμμή ψηφίου (BL), η οποία έχει προ-φορτιστεί (*pre-charged*), θα εκφορτιστεί μέσω του επιλεγμένου τρανζίστορ μόνο εάν αυτό είναι σε κατάσταση '1'. Το δημιουργούμενο ρεύμα ανιχνεύεται για κάθε γραμμή ψηφίου και μετατρέπεται στον κατάλληλο δυαδικό αριθμό με τη βοήθεια κυκλωμάτων ανίχνευσης και ενίσχυσης. Η λειτουργία της ανάγνωσης για κάθε γραμμή ψηφίου (BL) είναι ανάλογη της λογικής μίας πύλης NOR (για να γίνει $BL=0$ αρκεί ένα τρανζίστορ -το επιλεγμένο- να είναι '1'). Από το γεγονός αυτό παίρνει την ονομασία του αυτός ο τύπος μνήμης (NOR FLASH).

⇒ Οι μνήμες EPROM και EEPROM χρησιμοποιούν την ίδια ακριβώς μέθοδο για την ανάγνωση των αποθηκευμένων λέξεων.

- **Προγραμματισμός:** εγγραφή ενός '0' στα απαιτούμενα τρανζίστορ μίας λέξης. Για τη λειτουργία αυτή οδηγούνται με τις κατάλληλες υψηλές τάσεις οι γραμμές λέξης, ψηφίου και sourceline των συγκεκριμένων τρανζίστορ. Κάθε λέξη μπορεί να προγραμματιστεί σε τυχαία σειρά, αρκεί το τμήμα (*block*) που περιέχεται να έχει προηγουμένως διαγραφεί (βλ. λειτουργία διαγραφής).

⇒ Οι μνήμες EPROM δεν διαθέτουν τη δυνατότητα προγραμματισμού, όπως αυτή περιγράφηκε προηγουμένως. Αντιθέτως, πρέπει πρώτα να διαγραφεί πλήρως το περιεχόμενό τους με υπεριώδη ακτινοβολία εκτός συστήματος και στη συνέχεια να προγραμματιστούν σε ειδικό εργαλείο-προγραμματιστή.

Οι μνήμες EEPROM διαθέτουν κυκλώματα για τον προγραμματισμό μίας τυχαίας λέξης όπως ακριβώς οι μνήμες NOR FLASH.

- **Διαγραφή:** (εγγραφή '1'). Λόγω της πυκνότητας των κυκλωμάτων μίας μνήμης NOR-FLASH δεν είναι δυνατή η διαγραφή ανά λέξη. Αντιθέτως, η διαγραφή γίνεται σε μεγάλα τμήματα (*blocks*), τα οποία έχουν τυπικό μέγεθος 64KB. Όπως και στην περίπτωση της λειτουργίας προγραμματισμού, η διαγραφή των επιλεγμένων τρανζίστορ επιτυγχάνεται οδηγώντας τις κατάλληλες τάσεις στους ακροδέκτες των τρανζίστορ αυτών.

⇒ Οι μνήμες EPROM διαγράφονται εξ'ολοκλήρου με υπεριώδη ακτινοβολία, ενώ οι μνήμες EEPROM διαθέτουν πλήρη κυκλώματα διαγραφής έως και μίας μεμονωμένης λέξης ξεχωριστά.

Οι μνήμες NOR FLASH επιτυγχάνουν γρήγορο χρόνο προσπέλασης (65 έως 170 nsec), αλλά έχουν αργούς χρόνους προγραμματισμού (7 έως 10 μsec/byte) και διαγραφής (περίπου 1 sec/τμήμα). Εξωτερικά συνδέονται με την τυπική συνδεσμολογία μνήμης (ξεχωριστές γραμμές διεύθυνσης, δεδομένων και ελέγχου) και είναι ιδανικές για την αποθήκευση και επιτόπου εκτέλεση κώδικα.

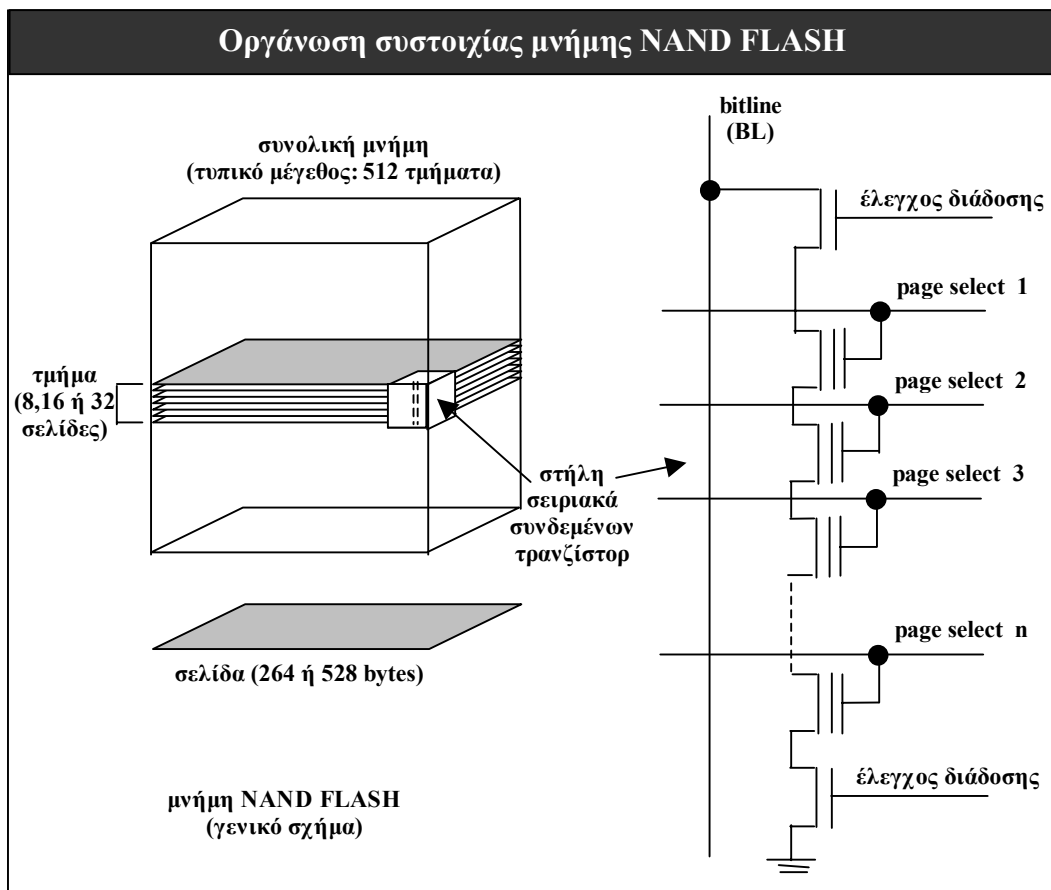
Οι μνήμες EEPROM υλοποιούνται με πιο πολύπλοκα κυκλώματα, εφ'όσον επιτρέπουν λειτουργίες ανάγνωσης, προγραμματισμού και διαγραφής σε κάθε λέξη ξεχωριστά. Για τον λόγο αυτόν, δεν παράγονται μνήμες EEPROM με μεγάλη χωρητικότητα.

Τέλος, οι μνήμες EPROM, λόγω της αδυναμίας αλλαγής των περιεχομένων τους μέσα στο σύστημα, χρησιμοποιούνται μόνο για την ανάπτυξη πρωτοτύπων ή σε εμπορικά προϊόντα για την αποθήκευση δεδομένων που δεν πρόκειται να αλλαγούν.

6.2.4 Μνήμες NAND FLASH.

Οι μνήμες NAND FLASH χρησιμοποιούν επίσης το τρανζίστορ ηλεκτρικά απομονωμένης πύλης για την αποθήκευση των δυαδικών ψηφίων και επιτυγχάνουν τον προγραμματισμό και τη διαγραφή των ψηφίων με την μέθοδο Fowler-Nordheim (FN) tunneling. Η οργάνωση όμως των μνημών NAND FLASH διαφέρει σημαντικά από την οργάνωση των μνημών που εξετάστηκαν προηγουμένως.

Στις μνήμες NAND FLASH κάθε τρανζίστορ-ψηφίο δεν συνδέεται μονοσήμαντα με μία γραμμή ψηφίου (BL) και μία γραμμή λέξης (WL). Αντιθέτως, τα δεδομένα προσπελαύνονται κατά σελίδες (*pages*) και τα τρανζίστορ-ψηφία συνδέονται σειριακά κατά ομάδες. Η οργάνωση μίας τυπικής μνήμης NAND FLASH απεικονίζεται στο σχήμα 6-5.



Σχήμα 6-5

Κάθε μνήμη NAND FLASH οργανώνεται σε σελίδες. Τυπικό μέγεθος κάθε σελίδας είναι τα 264 (256+8) ή τα 528 (512+16) bytes. Ένας ορισμένος αριθμός σελίδων (συνήθως 16 ή 32) συνθέτει ένα τμήμα μνήμης (*block*) με τυπικό μέγεθος 4 ή 8 KB, ενώ η συνολική μνήμη απαρτίζεται από έναν αριθμό τμημάτων (π.χ. 512 τμήματα).

Οι σελίδες κάθε τμήματος υλοποιούνται μέσω ενός συνόλου σειριακά συνδεμένων τρανζίστορ απομονωμένης πύλης, τα οποία αποθηκεύουν τα δυαδικά ψηφία, όπως απεικονίζεται στο δεξιό μέρος του σχήματος 6-5. Στην κατακόρυφη στήλη των τρανζίστορ, κάθε ένα ανήκει σε διαφορετική σελίδα και ελέγχεται από μία ξεχωριστή ανά σελίδα γραμμή ελέγχου (*page select*). Η στήλη των τρανζίστορ συνδέεται στα δύο άκρα σε μία γραμμή ψηφίου (BL) και στη γείωση, μέσω δύο κανονικών τρανζίστορ MOS, τα οποία εδώ παίζουν το ρόλο πύλης διάδοσης. Οποιαδήποτε λειτουργία ανάγνωσης ή προγραμματισμού δεν μπορεί να πραγματοποιηθεί ταυτόχρονα παρά μόνο σε ένα από τα σειριακά συνδεμένα τρανζίστορ-ψηφία.

Στις μνήμες NAND FLASH τα δεδομένα δεν διαβάζονται ή εγγράφονται ανά λέξεις. Λόγω της οργάνωσής τους οι λειτουργίες αυτές γίνονται κατά σελίδες. Οι χρονισμοί μεταφοράς των δεδομένων και ενεργοποίησης των κατάλληλων σημάτων γίνεται εσωτερικά σε κάθε μνήμη.

- **Ανάγνωση:** κατά τη λειτουργία αυτή, μία ολόκληρη σελίδα μεταφέρεται από τη συστοιχία των τρανζίστορ-ψηφίων σε έναν προσωρινό χώρο αποθήκευσης, απ'όπου θα διαβαστεί τμηματικά από το υπολογιστικό σύστημα. Για τη

μεταφορά της σελίδας, στη στήλη των τρανζίστορ του σχήματος 6-5 πρώτα συνδέεται η στήλη στα δύο άκρα με τη γείωση και την αντίστοιχη γραμμή ψηφίου (ενεργοποιούνται τα τρανζίστορ διάδοσης). Στη συνέχεια όλες οι γραμμές επιλογής σελίδας εκτός από την επιλεγμένη τροφοδοτούνται με υψηλή τάση. Τα τρανζίστορ-ψηφία άγουν ανεξάρτητα από το φορτίο της απομονωμένης πύλης. Η γραμμή της επιλεγμένης σελίδας συνδέεται στην τάση ανάγνωσης Vread (συνήθως 0V). Το αντίστοιχο τρανζίστορ θα άγει μόνο αν είναι σε κατάσταση '1', δημιουργώντας ένα μονοπάτι από την προφορτισμένη γραμμή ψηφίου (BL) στη γείωση. Ανιχνεύοντας την ύπαρξη ή όχι ροής ρεύματος, επιτυγχάνεται η ανάγνωση του συγκεκριμένου ψηφίου.

⇒ Η λειτουργία των σειριακά συνδεδεμένων τρανζίστορ είναι ανάλογη με τη λογική μίας πύλης NAND: η έξοδος της γραμμής ψηφίου θα είναι 0 μόνο όταν όλα τα τρανζίστορ της στήλης θα άγουν (δηλαδή, όταν το τρανζίστορ της επιλεγμένης σελίδας θα είναι σε κατάσταση '1' και θα άγει). Από την ομοιότητα αυτή παίρνουν οι μνήμες NAND-FLASH την ονομασία τους.

- **Προγραμματισμός:** Ο προγραμματισμός των ψηφίων γίνεται κατά σελίδες, μετακινώντας δεδομένα από τον προσωρινό χώρο αποθήκευσης. Το υπολογιστικό σύστημα πρώτα εισάγει στη μνήμη NAND FLASH την εντολή εγγραφής και στη συνέχεια μεταφέρει τα δεδομένα του στον προσωρινό χώρο αποθήκευσης. Στη συνέχεια τα εσωτερικά κυκλώματα της μνήμης αναλαμβάνουν την εγγραφή των δεδομένων στην επιλεγμένη σελίδα. Πριν την εγγραφή πρέπει να έχει προηγηθεί η διαγραφή ολόκληρου του τμήματος (block) που περιέχει τη σελίδα (όλα τα τρανζίστορ-ψηφία να είναι '1').

Στο επίπεδο των τρανζίστορ, ο προγραμματισμός αρχίζει με τη σύνδεση της στήλης των τρανζίστορ στη γραμμή ψηφίου (BL). Οι γραμμές ελέγχου των σελίδων εκτός από την επιλεγμένη οδηγούνται με μία θετική τάση, ενώ η γραμμή ελέγχου της επιλεγμένης σελίδας οδηγείται με μία υψηλή τάση προγραμματισμού Vpp (συνήθως 20V). Εάν ένα τρανζίστορ πρέπει να γίνει '0', η αντίστοιχη γραμμή ψηφίου (BL) οδηγείται σε χαμηλή στάθμη και το φορτίο στην απομονωμένη πύλη του τρανζίστορ έρχεται στην κατάσταση '0'. Εάν το τρανζίστορ πρέπει να παραμείνει στο '1', η αντίστοιχη γραμμή ψηφίου οδηγείται σε υψηλή στάθμη, η οποία δεν προκαλεί αλλαγή στο φορτίο της ηλεκτρικά απομονωμένης πύλης.

- **Διαγραφή:** Η διαγραφή των τρανζίστορ (επαναφορά σε κατάσταση '1') εφαρμόζεται συνολικά κατά τμήματα. Όλες οι γραμμές επιλογής σελίδων οδηγούνται σε χαμηλή στάθμη, ενώ το υπόστρωμα (*substrate*) όλων των τρανζίστορ του τμήματος συνδέεται σε μία υψηλή τάση Vpp. Ο συνδυασμός αυτός είναι αρκετός για να απομακρύνει το φορτίο ηλεκτρονίων από τις απομονωμένες πύλες, θέτοντας έτσι όλα τα τρανζίστορ του τμήματος στην κατάσταση '1'.

Οι μνήμες NAND FLASH εμφανίζουν χαμηλότερους χρόνους ανάγνωσης από τις αντίστοιχες NOR FLASH αλλά είναι ταχύτερες στις λειτουργίες προγραμματισμού και διαγραφής. Λόγω της οργάνωσής τους καταλαμβάνουν λιγότερη επιφάνεια πυριτίου και μπορούν να κατασκευαστούν με μεγαλύτερη πυκνότητα. Η μέθοδος μεταφοράς δεδομένων (κατά σελίδες) καθιστά τις μνήμες NAND FLASH ιδανικές για μαζική αποθήκευση δεδομένων (δίσκοι μνήμης, memory sticks κ.α.).

Ένα ιδιαίτερο χαρακτηριστικό των μνημών NAND FLASH είναι ότι ένα μεγάλο μέρος αυτών κυκλοφορεί στο εμπόριο χωρίς να διαθέτει κατά 100% ορθότητα λειτουργίας. Αυτό σημαίνει ότι υπάρχουν τρανζίστορ-ψηφία, τα οποία παρουσιάζουν δυσλειτουργία. Για τον λόγο αυτόν, προστίθενται σε κάθε σελίδα πρόσθετα bytes, στα οποία αποθηκεύονται στοιχεία σχετικά με τη σωστή λειτουργία της σελίδας. Το λογισμικό των εφαρμογών πρέπει από τα στοιχεία αυτά να αναγνωρίζει και να αποφεύγει τα τμήματα που δεν λειτουργούν κανονικά. Οι κατασκευαστές εγγυώνται ότι οι μνήμες NAND-FLASH που παράγουν παρουσιάζουν το πολύ έως 2% τμήματα με δυσλειτουργία.

Ολοκληρώνοντας την παρουσίαση των επαναπρογραμματιζόμενων μνημών μόνιμης αποθήκευσης, στον πίνακα που ακολουθεί συνοψίζονται τα βασικά χαρακτηριστικά των μνημών EPROM, EEPROM, NOR και NAND FLASH.

Μνήμη	Τυπική χωρητικότητα	Επιδόσεις	Αλλαγή περιεχομένων	Χρήσεις
EPROM	8-512 KBytes	Προσπέλαση λέξης: 45-90ns	Ολική διαγραφή με υπεριώδη ακτινοβολία Προγραμματισμός με μέθοδο CHE.	Αποθήκευση σταθερών δεδομένων Ανάπτυξη πρωτοτύπων συστημάτων
EEPROM	1-32 KBytes	Προσπέλαση λέξης: 70ns Προγραμματισμός: 3-5ms/λέξη	Διαγραφή και προγραμματισμός ανά λέξη με τη μέθοδο FN	Αποθήκευση δεδομένων που αλλάζουν κατά λέξεις (π.χ. παράμετροι λειτουργίας συστημάτων)
NOR FLASH	1-8 MBytes	Προσπέλαση λέξης: 65-110ns Προγραμματισμός: 7-13μs/λέξη Διαγραφή: 1 sec/τμήμα	Διαγραφή ανά τμήματα με FN Προγραμματισμός ανά λέξη με CHE	Αποθήκευση κώδικα για απ'ευθείας εκτέλεση (execution-in-place – XIP)
NAND FLASH	1-256 MBytes	Μεταφορά σελίδας: 7-25μs Ρυθμός προσπέλασης (μετά τη μεταφορά): 50-80ns/byte Διαγραφή: <50ms/τμήμα Προγραμματισμός σελίδας: 3-5ms	Διαγραφή και προγραμματισμός ανά σελίδα με τη μέθοδο FN	Μαζική αποθήκευση δεδομένων

Πίνακας 6-1: Χαρακτηριστικά EPROM, EEPROM, NOR και NAND FLASH

6.3 Μνήμες Τυχαίας Προσπέλασης (RAM).

Οι μνήμες τυχαίας προσπέλασης (*random access memory – RAM*) αποτελούν τον βασικό τύπο μνήμης στην κατηγορία των κυκλωμάτων μη-μόνιμης συγκράτησης δεδομένων. Οι μνήμες αυτού του τύπου απαιτούν συνεχή παροχή τροφοδοσίας για τη διατήρηση των δεδομένων τους. Η οργάνωση των μνημών αυτής της κατηγορίας

επιτρέπει την ανεξάρτητη (τυχαία) προσπέλαση κάθε θέσης μέσα στη μνήμη, τόσο για ανάγνωση όσο και για εγγραφή δεδομένων.

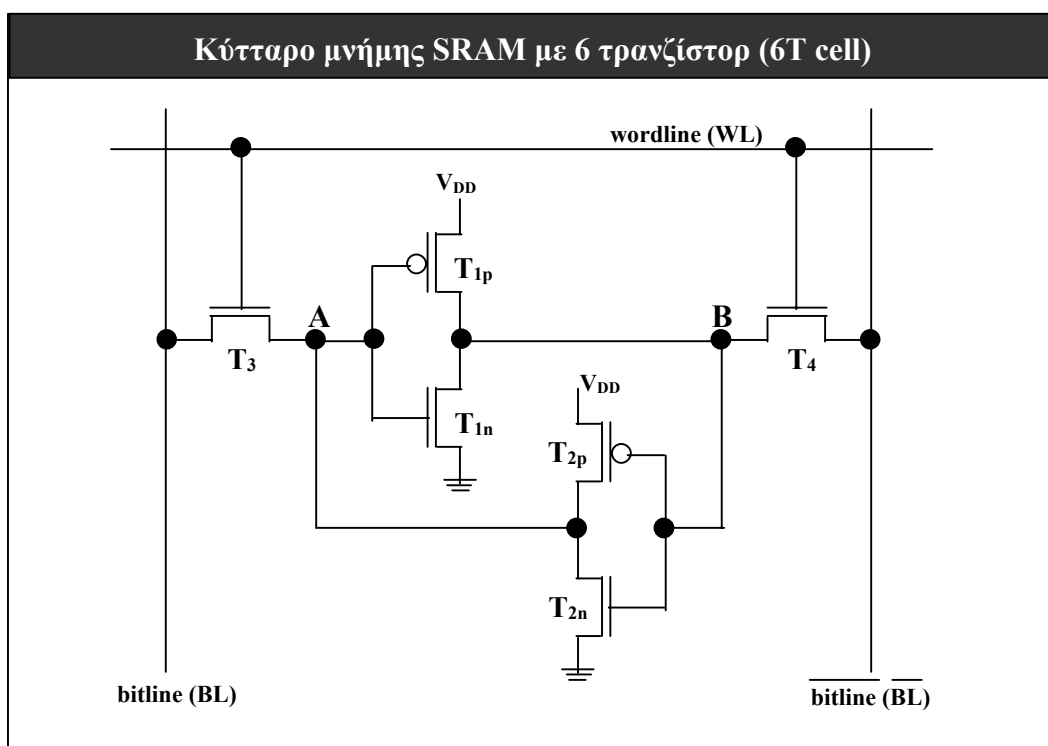
Οι μνήμες τυχαίας προσπέλασης χωρίζονται σε δύο υποκατηγορίες:

1. Οι στατικές μνήμες (SRAM) αποθηκεύουν τα δεδομένα σε κυκλώματα τύπου flip-flop. Όσο παρέχεται τροφοδοσία στην στατική μνήμη, τα δεδομένα διατηρούνται στα flip-flop χωρίς να απαιτούνται πρόσθετες ενέργειες.
2. Οι δυναμικές μνήμες (DRAM) αποθηκεύουν τα δεδομένα σε χωρητικούς πυκνωτές, με τη μορφή φορτίου για κάθε ψηφίο. Το φορτίο αυτό πρέπει να ανανεώνεται σε τακτά χρονικά διαστήματα μέσω μιας ειδικής λειτουργίας ανανέωσης (*refresh cycles*).

Σε γενικές γραμμές, οι στατικές μνήμες είναι ταχύτερες στην προσπέλασή τους αλλά απαιτούν μεγαλύτερο χώρο σε πυρίτιο για να κατασκευαστούν τα κυκλώματά τους, ενώ οι δυναμικές μνήμες είναι βραδύτερες στην προσπέλαση αλλά ταυτοχρόνως απλούστερες στην υλοποίηση του κυκλώματος συγκράτησης κάθε ψηφίου.

6.3.1 Στατικές Μνήμες RAM (SRAM).

Η κλασσική υλοποίηση του βασικού κυττάρου αποθήκευσης ενός δυαδικού ψηφίου μίας μνήμης SRAM με έξι τρανζίστορ (*6T cell*) απεικονίζεται στο σχήμα 6-6.



Σχήμα 6-6

Τα ζεύγη των τρανζίστορ T_{1p}/T_{1n} και T_{2p}/T_{2n} είναι στην ουσία δύο αντιστροφείς CMOS. Η είσοδος του κάθε ενός από τους δύο αντιστροφείς συνδέεται στην έξοδο του άλλου, σχηματίζοντας έτσι ένα πολύ απλό κύκλωμα D flip-flop. Στο flip-flop αυτό αποθηκεύεται το δυαδικό ψηφίο.

Οι έξοδοι των δύο αντιστροφέων συνδέονται επίσης στην γραμμή ψηφίου (BL) και στη συμπληρωματική γραμμή ψηφίου (BL'). Τη σύνδεση αυτή ρυθμίζουν τα

τρανζίστορ T_3 και T_4 , τα οποία ελέγχονται από τη γραμμή λέξης (WL) που αντιστοιχεί στο συγκεκριμένο κύτταρο μνήμης. Οι δύο γραμμές ψηφίου (κανονική και αντεστραμμένη) συνδέονται παράλληλα με έναν αριθμό κυττάρων μνήμης και παρουσιάζουν στο μήκος τους μία ορισμένη παρασιτική χωρητικότητα.

Η διαδικασία ανάγνωσης του αποθηκευμένου δυαδικού ψηφίου από το κύτταρο μνήμης είναι η ακόλουθη:

- Αν υποθεθεί ότι αρχικά το αποθηκευμένο ψηφίο είναι το '1', τότε στο σημείο A (βλ. σχήμα 6-6) η τάση είναι υψηλή (HIGH). Το T_{1p} είναι σε αποκοπή ενώ το T_{1n} άγει, με αποτέλεσμα το σημείο B να είναι σε χαμηλή τάση (LOW). Έτσι το T_{2n} είναι σε αποκοπή ενώ το T_{2p} άγει και το παραγόμενο υψηλό δυναμικό επανατροφοδοτείται στο σημείο A, διατηρώντας το δυαδικό ψηφίο. Η γραμμή λέξης (WL) είναι ανενεργή και τα T_3 και T_4 είναι σε αποκοπή, αποσυνδέοντας το κύτταρο από τις γραμμές bitline.
- Ως πρώτη ενέργεια για τη διαδικασία ανάγνωσης, οι γραμμές ψηφίου BL και BL' προ-φορτίζονται σε υψηλό δυναμικό. Η προ-φόρτιση διακόπτεται πριν την επόμενη ενέργεια, αλλά το φορτίο διατηρείται λόγω της παρασιτικής χωρητικότητας των γραμμών BL και BL'.
- Στη συνέχεια η γραμμή λέξης (WL) οδηγείται σε υψηλό δυναμικό και τα τρανζίστορ T_3 και T_4 άγουν, συνδέοντας το κύτταρο μνήμης με τις γραμμές ψηφίου. Εφ'όσον το σημείο B είναι LOW και το T_{1n} άγει, η συμπληρωματική γραμμή ψηφίου (BL') εκφορτίζεται μέσω των T_4 και T_{1n} και οδηγείται σε χαμηλό δυναμικό. Η κανονική γραμμή ψηφίου (BL) παραμένει σε υψηλή τάση.
- Η διαφορά των BL και BL' ανιχνεύεται και ενισχύεται από ένα ειδικό κύκλωμα (sense-amplifier), το οποίο παράγει το δυαδικό ψηφίο εξόδου. Θα πρέπει να σημειωθεί ότι, εάν το αποθηκευμένο ψηφίο ήταν '0', τότε η διαδικασία ανάγνωσης θα ήταν ακριβώς η ίδια, με μόνη διαφορά τις αντίστροφες τιμές στις γραμμές BL και BL'.

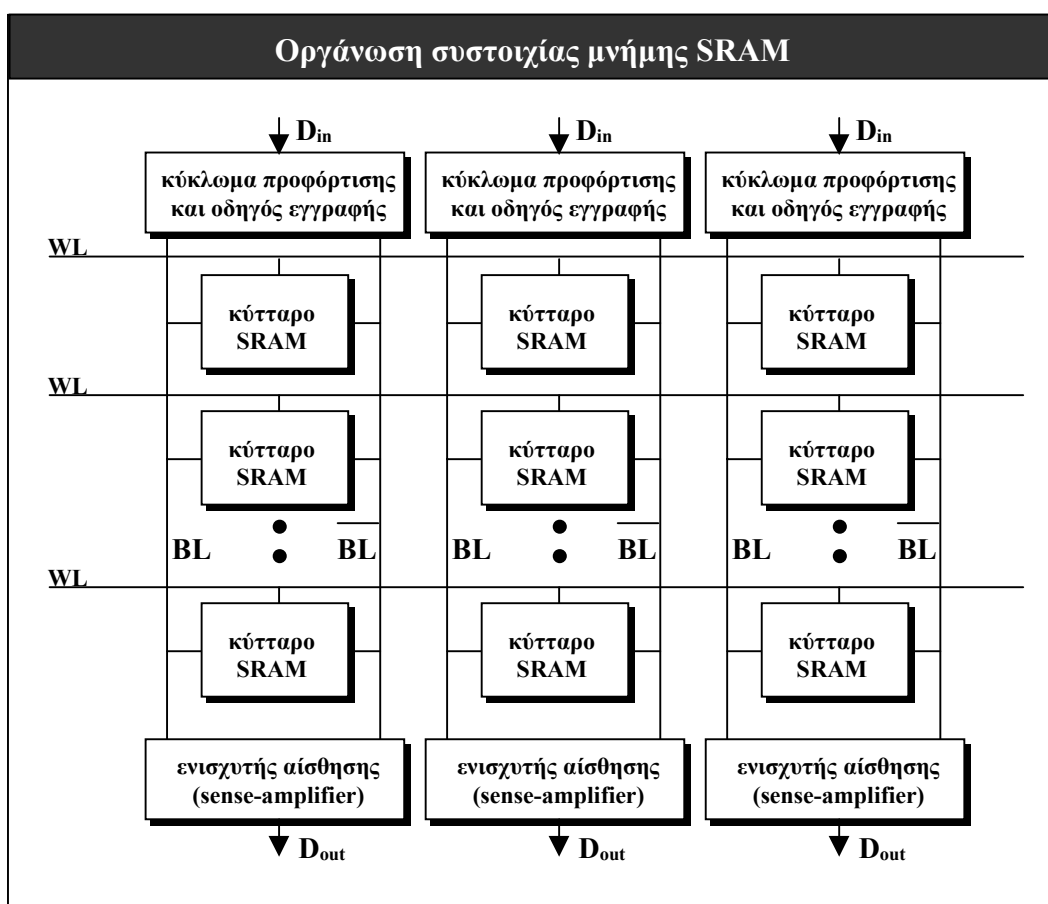
Η διαδικασία εγγραφής ενός νέου δυαδικού ψηφίου στο κύτταρο μνήμης είναι η ακόλουθη:

- Έστω ότι η αρχική κατάσταση του κυττάρου μνήμης είναι όπως περιγράφηκε προηγουμένως (το αποθηκευμένο ψηφίο είναι '1'), και ότι το νέο ψηφίο προς εγγραφή είναι το '0'.
- Η γραμμή BL οδηγείται σε χαμηλό δυναμικό και η γραμμή BL' σε υψηλό. Η οδήγηση των γραμμών είναι «ισχυρή» και δεν διακόπτεται όπως η προ-φόρτιση κατά την ανάγνωση.
- Στη συνέχεια η γραμμή λέξης (WL) οδηγείται σε υψηλό δυναμικό και τα T_3 και T_4 άγουν. Το σημείο A εξαναγκάζεται να κατέβει σε χαμηλό δυναμικό, οδηγώντας το T_{1p} σε αγωγή και το T_{1n} σε αποκοπή. Έτσι το σημείο B αποκτά υψηλό δυναμικό (αν και έχει ήδη οδηγηθεί σε HIGH, μέσω του T_4 από το BL'). Επίσης το T_{2n} άγει, ενώ το T_{2p} είναι σε αποκοπή, ενισχύοντας έτσι το χαμηλό δυναμικό του σημείου A.
- Ολοκληρώνοντας τη διαδικασία εγγραφής, η γραμμή λέξης (WL) επιστρέφει σε χαμηλό δυναμικό αποκόπτοντας το κύτταρο μνήμης από τις γραμμές

ψηφίου. Το νέο δυαδικό ψηφίο έχει όμως ήδη αποθηκευτεί στους δύο αντιστροφείς του κυττάρου. Για την εγγραφή του ψηφίου '1' εφαρμόζεται η ίδια διαδικασία με ανάστροφες τιμές οδήγησης των BL και BL'.

Εκτός από το κύτταρο μνήμης SRAM με έξι τρανζίστορ, το οποίο περιγράφηκε προηγουμένως, χρησιμοποιούνται επίσης και κύτταρα SRAM με διαφορετικό σχεδιασμό. Το κύτταρο με τέσσερα τρανζίστορ και δύο αντιστάσεις ($4T+2R$ cell) αντικαθιστά τα μεγάλα σε επιφάνεια pMOS τρανζίστορ (T_{1p} και T_{2p} στο σχήμα 6-6) με αντιστάσεις υψηλής τιμής (GΩ), επιτυγχάνοντας μικρότερη επιφάνεια ανά κύτταρο SRAM. Σε ακόμα πιο σύγχρονες μνήμες οι δύο αντιστάσεις αντικαθίστανται από ειδικά τρανζίστορ (*thin-film-transistor* – *TFT*), τα οποία τοποθετούνται πάνω από τα άλλα τέσσερα του κυττάρου.

Η διαδικασία κατασκευής των εναλλακτικών τύπων κυττάρων που προαναφέρθηκαν είναι μη τυποποιημένη, δυσκολεύοντας την ενσωμάτωση αυτού του τύπου μνήμης σε μεγαλύτερα κυκλώματα. Επιπλέον, όσο η σύγχρονη σχεδίαση μικραίνει τις διαστάσεις των κυττάρων σε επιφάνεια πυριτίου, τόσο μειώνεται το πλεονέκτημα χώρου που προσφέρουν οι εναλλακτικές αυτές σχεδιάσεις έναντι του βασικού 6T κυττάρου. Σε μικρότερες μάλιστα διαστάσεις το κύτταρο $4T+2R$ παρουσιάζει προβλήματα ευστάθειας. Για όλους τους παραπάνω λόγους έχει γενικευτεί στις σύγχρονες σχεδιάσεις η χρήση του 6T κυττάρου.



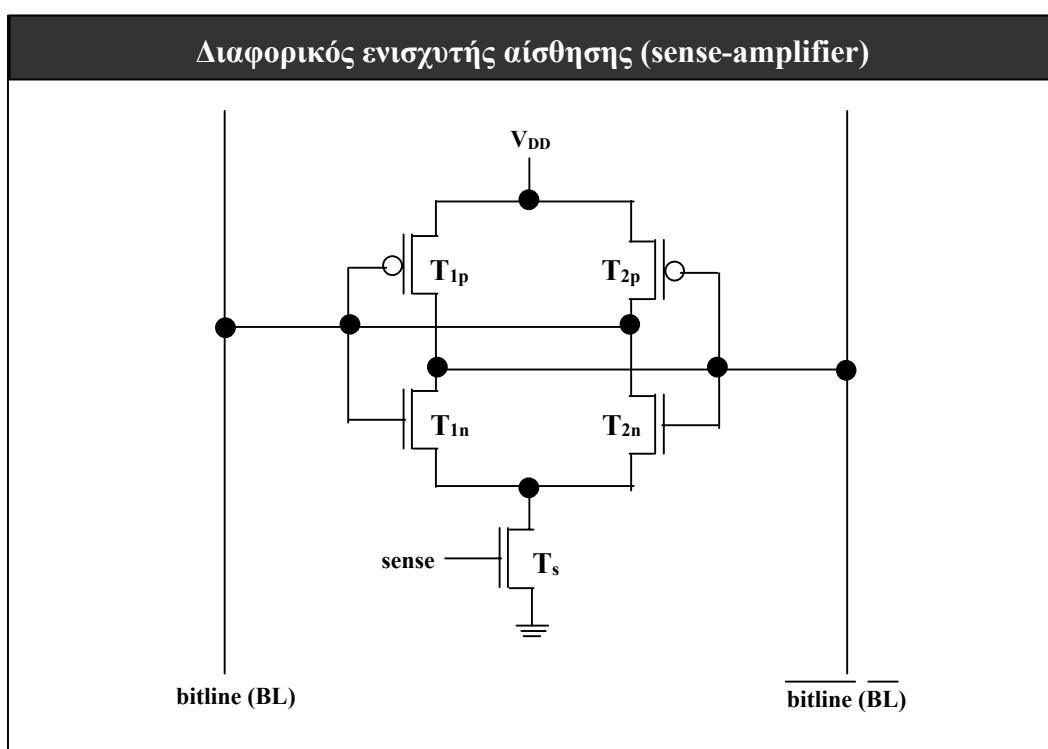
Σχήμα 6-7

Στο σχήμα 6-7 απεικονίζεται η βασική οργάνωση των κυττάρων μίας μνήμης SRAM. Κάθε κύτταρο συνδέεται στις γραμμές ψηφίου (BL και BL') και σε μία γραμμή λέξης (WL), η οποία οδηγείται από τον αποκωδικοποιητή της διεύθυνσης της

λέξης που προσπελαύνεται. Σε κάθε ζεύγος γραμμών ψηφίου συνδέονται πολλά κύτταρα, από διαφορετικές λέξεις το κάθε ένα, σχηματίζοντας μία **στήλη** κυττάρων.

Στο ένα άκρο της στήλης υπάρχουν τα κατάλληλα κυκλώματα για την προφόρτιση και οδήγηση των γραμμών BL και BL' κατά τη διαδικασία ανάγνωσης/εγγραφής. Για την προφόρτιση χρησιμοποιούνται pMOS τρανζίστορ, τα οποία είναι κατάλληλα για τη μεταφορά φορτίου από την τάση τροφοδοσίας (V_{DD}).

Στην άλλη άκρη κάθε στήλης κυττάρων συνδέεται ένα ειδικό κύκλωμα αίσθησης και ενίσχυσης. Το κύκλωμα αυτό είναι απαραίτητο, διότι κατά την ανάγνωση των περιεχομένων των κυττάρων, οι γραμμές BL και BL' αποκτούν μεν επίπεδα τάσης HIGH και LOW, αλλά ποτέ δεν φτάνουν σε ακέραια επίπεδα τάσης (V_{DD} ή γείωσης). Το κύκλωμα αίσθησης-ενίσχυσης ενισχύει τη διαφορά δυναμικού που παρουσιάζεται ανάμεσα στις γραμμές BL και BL' για να αναπαράγει το δυαδικό ψηφίο εξόδου με ακέραια επίπεδα τάσης V_{DD} ή GND. Ένας τύπος τέτοιου κυκλώματος περιγράφεται στο σχήμα 6-8.



Σχήμα 6-8

Υποθέτοντας ότι η τάση στη γραμμή BL είναι υψηλή (HIGH) και στη γραμμή BL' χαμηλή (LOW) και ότι η είσοδος ελέγχου sense είναι LOW, τότε τα τρανζίστορ T_{1n} και T_{2p} άγουν, ενώ τα τρανζίστορ T_{1p} , T_{2n} και T_s είναι σε αποκοπή. Η γραμμή BL οδηγείται από HIGH σε 'ακέραια' τάση V_{DD} μέσω του T_{2p} . Θέτοντας και το sense HIGH, η γραμμή BL' μέσω των T_{1n} και T_s οδηγείται από LOW στη γείωση. Στην ουσία ο διαφορικός ενισχυτής αίσθησης κανονικοποιεί τις τάσεις HIGH/LOW σε V_{DD} /GND, βασιζόμενος στη διαφορά δυναμικού μεταξύ BL και BL'.

Οι μνήμες SRAM είναι οι γρηγορότερες μνήμες ανάγνωσης-εγγραφής και χρησιμοποιούνται σε εφαρμογές όπου απαιτείται γρήγορη προσπέλαση στα περιεχόμενα της μνήμης. Παράγονται σε μεγέθη από 32Kbytes έως 2Mbytes και διαθέτουν εύρος λέξης από 8 έως 72 bits. Η κατανάλωση ισχύος είναι συνάρτηση της

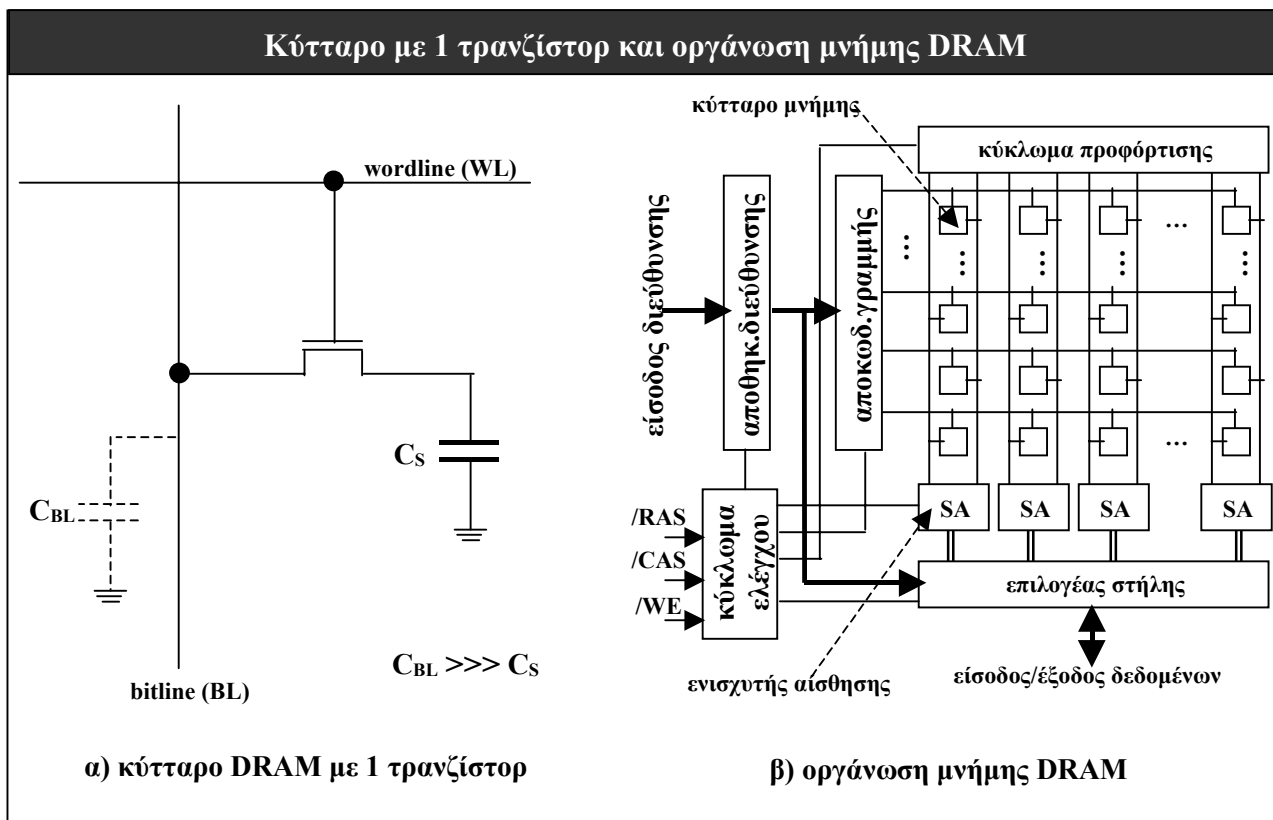
ταχύτητας της SRAM και κυμαίνεται από 100μΑ έως 5mA σε κατάσταση αναμονής, ενώ όταν η μνήμη είναι ενεργή η κατανάλωση κυμαίνεται από 40mA έως 150mA.

Ως προς τη σύνδεση των μνημών SRAM με το υπόλοιπο υπολογιστικό σύστημα διακρίνουμε δύο κατηγορίες:

- Στις **ασύγχρονες SRAM** η λειτουργία (ανάγνωση ή εγγραφή) ελέγχεται από εξωτερικά σήματα. Μόλις ενεργοποιηθεί μία γραμμή ελέγχου, η μνήμη ξεκινά την αντίστοιχη λειτουργία και παράγει δεδομένα (αν πρόκειται για ανάγνωση) σε χρονικό διάστημα ανάλογο της εσωτερικής κατασκευής της. Οι πιο γρήγορες SRAM αυτού του τύπου έχουν χρόνο προσπέλασης από 10 έως το πολύ 20 ns.
- Οι **σύγχρονες SRAM**, παράγουν αποτελέσματα ακολουθώντας τον κύκλο ενός σήματος ρολογιού. Η οργάνωση των μνημών αυτών επιτρέπει την επικάλυψη διαδοχικών λειτουργιών ανάγνωσης/εγγραφής (*pipelining*). Κάθε προσπέλαση χωρίζεται σε δύο ή τρία στάδια, εξυπηρετώντας αντίστοιχο αριθμό προσπελάσεων ταυτοχρόνως. Με τον τρόπο αυτόν, οι σύγχρονες SRAM μπορούν να παράγουν νέα δεδομένα σε κάθε κύκλο ρολογιού, επιτυγχάνοντας ρυθμούς των 200MHz και ελάχιστους χρόνους προσπέλασης έως και 2,5ns. Οι σύγχρονες SRAM χρησιμοποιούνται για τη συγκρότηση μνημών cache.

6.3.2 Δυναμικές μνήμες RAM (DRAM).

Για τη συγκρότηση δυναμικών μνημών ανάγνωσης/εγγραφής (DRAM) χρησιμοποιούνται κύτταρα μνήμης με τέσσερα, τρία ή ένα τρανζίστορ. Από τα κυκλώματα αυτά έχει επικρατήσει η σχεδίαση με ένα τρανζίστορ ανά κύτταρο μνήμης (*1T cell*), ιδίως για τις μεγάλης χωρητικότητας μνήμες DRAM.



Σχήμα 6-9

Το κύτταρο DRAM με ένα τρανζίστορ απεικονίζεται στο σχήμα 6-9α. Λόγω της απλότητάς του το κύτταρο καταλαμβάνει μικρό χώρο και είναι κατάλληλο για κατασκευή μνημών μεγάλης χωρητικότητας. Μέσα στο κύτταρο ο πυκνωτής C_S αποθηκεύει το φορτίο που αναπαριστά ένα δυαδικό ψηφίο. Αντίθετα με την παρασιτική χωρητικότητα C_{BL} που παρουσιάζει η γραμμή ψηφίου (BL), ο πυκνωτής C_S πρέπει να κατασκευαστεί στην πραγματικότητα. Αυτό επιτυγχάνεται με την προσθήκη ενός επιπέδου διηλεκτρικού SiO_2 , είτε απ'ευθείας πάνω στο υπόστρωμα της επιφάνειας πυριτίου (*stacked storage cell*), είτε μέσα σε αυτό (*trench storage cell*).

Το φορτίο στον πυκνωτή C_S δεν διατηρείται επ'άπειρο. Αντιθέτως, ο πυκνωτής εκφορτίζεται ύστερα από ορισμένο χρονικό διάστημα. Για να επιτευχθεί η διατήρηση της πληροφορίας σε μία μνήμη DRAM απαιτείται η περιοδική **ανανέωση** (*refresh*) του φορτίου όλων των κυττάρων που περιέχει η μνήμη.

Στο σχήμα 6-9β απεικονίζεται σχηματικά η τυπική οργάνωση μίας μνήμης DRAM. Ένας αριθμός κυττάρων μνήμης (συνήθως 256 ή 512) συνδέεται σε μία κατακόρυφη γραμμή ψηφίου BL. Το φορτίο της γραμμής BL ανιχνεύεται και ενισχύεται από ένα ειδικό κύκλωμα **ενισχυτή αίσθησης** (*sense amplifier – SA*). Ο ενισχυτής αίσθησης λειτουργεί διαφορικά, χρειάζεται δηλαδή να συγκρίνει τα φορτία δύο γραμμών. Αντίθετα με το κύτταρο της στατικής μνήμης SRAM, το οποίο περιγράφηκε στο σχήμα 6-6, το κύτταρο της μνήμης DRAM συνδέεται σε μία μόνο γραμμή BL. Για τον λόγο αυτόν, σε κάθε ενισχυτή αίσθησης (SA) συνδέεται ένα ζεύγος γραμμών BL. Κάθε ζεύγος γραμμών BL, μαζί με τον ενισχυτή SA και τα αντίστοιχα κυκλώματα προφόρτισης, σχηματίζει μία **στήλη αποθήκευσης** (*storage column*). Τα κύτταρα μνήμης συνδέονται εναλλάξ σε μία από τις δύο γραμμές BL της στήλης.

Ένα μέρος της διεύθυνσης που εισάγεται στη μνήμη χρησιμοποιείται στον αποκωδικοποιητή γραμμής για την οδήγηση των οριζόντιων γραμμών λέξης (WL). Κάθε γραμμή WL επιλέγει ένα κύτταρο από κάθε στήλη (οι στήλες είναι συνήθως 512 ή περισσότερες). Το υπόλοιπο μέρος της διεύθυνσης χρησιμοποιείται για την επιλογή της στήλης, το περιεχόμενο της οποίας θα περάσει τελικά στις γραμμές εξόδου της μνήμης. Πολλοί πίνακες γραμμών-στηλών όπως αυτός του σχήματος 6-9β μπορούν να περιλαμβάνονται παράλληλα μέσα σε μία μνήμη DRAM.

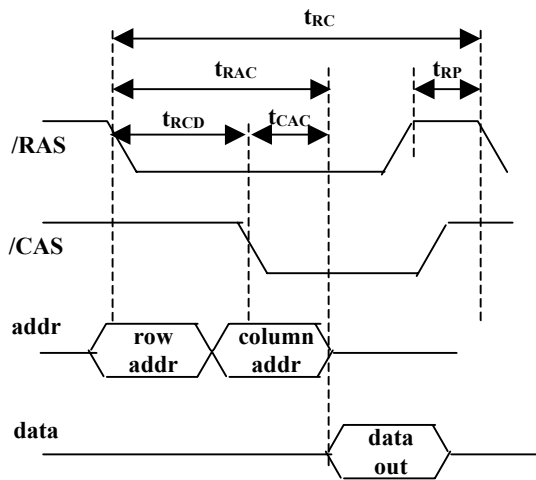
Στις συμβατικές μνήμες DRAM η διεύθυνση προσπέλασης εισάγεται πολυπλεγμένη: πρώτα η διεύθυνση γραμμής και μετά η διεύθυνση στήλης, μέσω των ίδιων ακροδεκτών. Ο συγχρονισμός επιτυγχάνεται μέσω των σημάτων ελέγχου /RAS (*row address strobe*) και /CAS (*column address strobe*). Τα σήματα αυτά κατά σύμβαση είναι ενεργά σε χαμηλή λογική (low). Η χρονική πολύπλεξη της διεύθυνσης δεν εισάγει ουσιαστικές καθυστερήσεις στην προσπέλαση των περιεχομένων της μνήμης, λόγω του τρόπου εσωτερικής της λειτουργίας. Αντιθέτως, επιτυγχάνεται μείωση του αριθμού των απαιτούμενων ακροδεκτών για την εισαγωγή της διεύθυνσης. Τον έλεγχο λειτουργίας των μνημών DRAM σε κάθε σύστημα αναλαμβάνουν εξωτερικά ολοκληρωμένα κυκλώματα (*DRAM controllers*).

Η λειτουργία ανάγνωσης δεδομένων από μία μνήμη DRAM είναι η ακόλουθη:

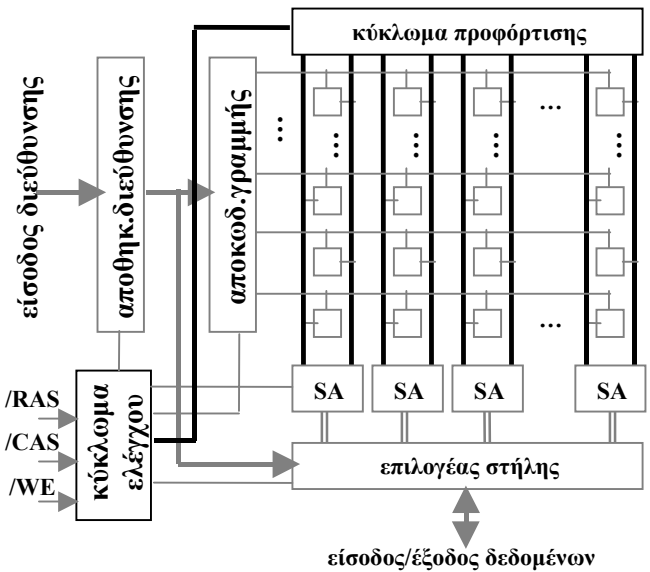
- Όλες οι γραμμές BL προφορτίζονται σε τάση $V_{DD}/2$ (η τιμή αυτή σχετίζεται με τη μέθοδο ανίχνευσης του ψηφίου, όπως θα φανεί στη συνέχεια). Οι γραμμές που ανήκουν στο ίδιο ζεύγος συνδέονται ηλεκτρικά για να εξασφαλιστεί ότι θα έχουν ακριβώς το ίδιο φορτίο. Για την προφόρτιση των γραμμών BL φροντίζουν ειδικά κυκλώματα προφόρτισης (σχήμα 6-10β). Η προφόρτιση συμβαίνει πριν από κάθε προσπέλαση στη μνήμη, όταν το σήμα /RAS είναι ανενεργό (RAS precharge time - t_{RP} , βλ. χρονικό διάγραμμα στο σχήμα 6-10α). Πριν το επόμενο βήμα η προφόρτιση σταματά.
- Στη συνέχεια εισάγεται στη μνήμη η διεύθυνση γραμμής, σηματοδοτούμενη από το σήμα /RAS, το οποίο μεταβαίνει σε χαμηλή στάθμη. Η διεύθυνση αποθηκεύεται μέσα στη μνήμη και τροφοδοτεί τον αποκωδικοποιητή γραμμής (σχήμα 6-10γ). Η γραμμή λέξης (WL) που επιλέγεται οδηγείται σε υψηλό δυναμικό. Τα τρανζίστορ όλων των κυττάρων της γραμμής άγουν, συνδέοντας κάθε πυκνωτή C_S με την αντίστοιχη γραμμή BL.
- Αν ο πυκνωτής C_S είναι εκφορτισμένος (το ψηφίο είναι '0'), τότε ένα μικρό μέρος από το φορτίο της γραμμής BL φορτίζει τον C_S , ενώ το δυναμικό της γραμμής BL μειώνεται αντίστοιχα. Αν ο C_S έχει φορτίο (ψηφίο '1'), τότε ένα μέρος αυτού μετακινείται προς τη γραμμή BL και ο C_S σχεδόν εκφορτίζεται (επειδή η παρασιτική χωρητικότητα της γραμμής BL είναι πολύ μεγαλύτερη από τη χωρητικότητα του C_S). Το δυναμικό της γραμμής BL αυξάνει κατά ένα μικρό ποσοστό. Η δεύτερη γραμμή του ζεύγους BL παραμένει σε δυναμικό $V_{DD}/2$.
- Στην άκρη της γραμμής BL ο ενισχυτής αίσθησης (SA) ανιχνεύει τη διαφορά δυναμικού της γραμμής BL από την δεύτερη του ζεύγους που έχει παραμείνει σε $V_{DD}/2$ και την ενισχύει. Στις μνήμες DRAM η διαφορά αυτή είναι το πολύ 100-200mV. Αν η BL είναι ελαφρά μεγαλύτερη από $V_{DD}/2$, τότε οδηγείται σε τάση V_{DD} . Αν είναι ελαφρά μικρότερη, οδηγείται στη γείωση.

- Η ενισχυμένη τιμή δυναμικού που παράγει ο ενισχυτής αίσθησης τροφοδοτείται πίσω στη γραμμή BL και, όσο η γραμμή WL είναι ακόμα ενεργή, αναπλάθεται το αρχικό φορτίο του C_S (το οποίο αλλοιώνεται τη στιγμή που ο C_S συνδέεται στη γραμμή BL) .
- Στη συνέχεια εισάγεται στη μνήμη η διεύθυνση της στήλης. Το γεγονός αυτό σηματοδοτείται από τη μετάβαση του σήματος /CAS σε χαμηλή στάθμη. Ο ελάχιστος χρόνος που απαιτείται μεταξύ της ενεργοποίησης των σημάτων /RAS και /CAS συμβολίζεται ως t_{RCD} (RAS-CAS-Delay). Η διεύθυνση στήλης οδηγείται εσωτερικά στη μνήμη στον επιλογέα στήλης, ο οποίος διαλέγει από τις εξόδους των ενισχυτών αίσθησης (SA) εκείνες, οι οποίες θα περάσουν στην έξοδο δεδομένων της μνήμης (σχήμα 6-10δ).
- Τέλος, ο αποκωδικοποιητής γραμμής, ο επιλογέας στήλης και οι ενισχυτές SA απενεργοποιούνται. Το φορτίο των πυκνωτών απομονώνεται μέσα σε κάθε κύτταρο και η μνήμη είναι έτοιμη να αρχίσει τη διαδικασία προφόρτισης ξανά. Συνολικά (βλ. σχήμα 6-10α) ο χρόνος από την ενεργοποίηση του σήματος /RAS μέχρι την εμφάνιση των δεδομένων εξόδου συμβολίζεται με t_{RAC} (row access time) και ισούται με τον **χρόνο προσπέλασης** της μνήμης DRAM. Ο ελάχιστος χρόνος μεταξύ δύο διαδοχικών προσπελάσεων (κύκλος προσπέλασης) συμβολίζεται με t_{RC} .

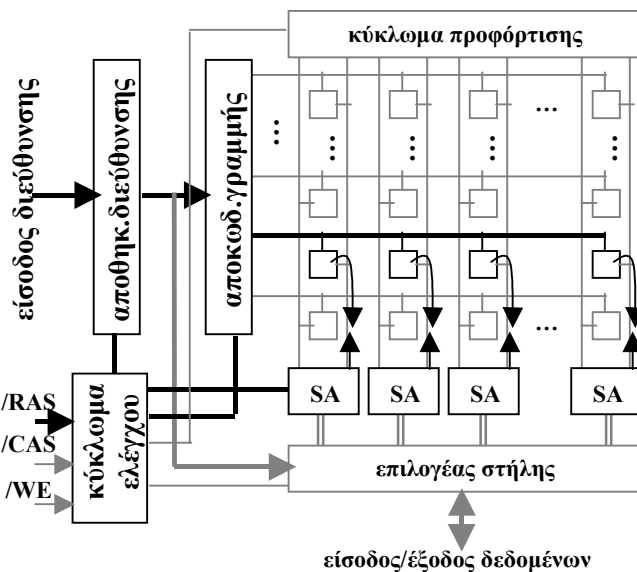
Λειτουργία ανάγνωσης μνήμης DRAM



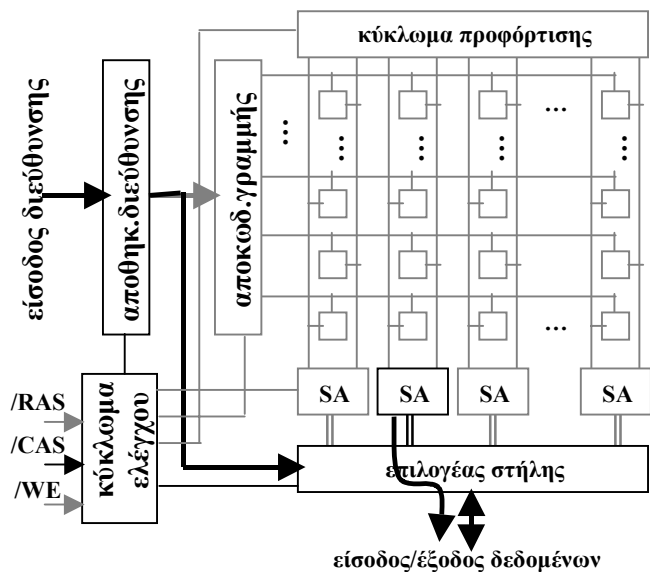
α) χρονικό διάγραμμα ανάγνωσης



β) προφόρτιση BL



γ) προσπέλαση γραμμής



δ) επιλογή στήλης

Σχήμα 6-10

Η **εγγραφή** νέων δεδομένων σε μία θέση της DRAM είναι ως έναν βαθμό παρόμοια:

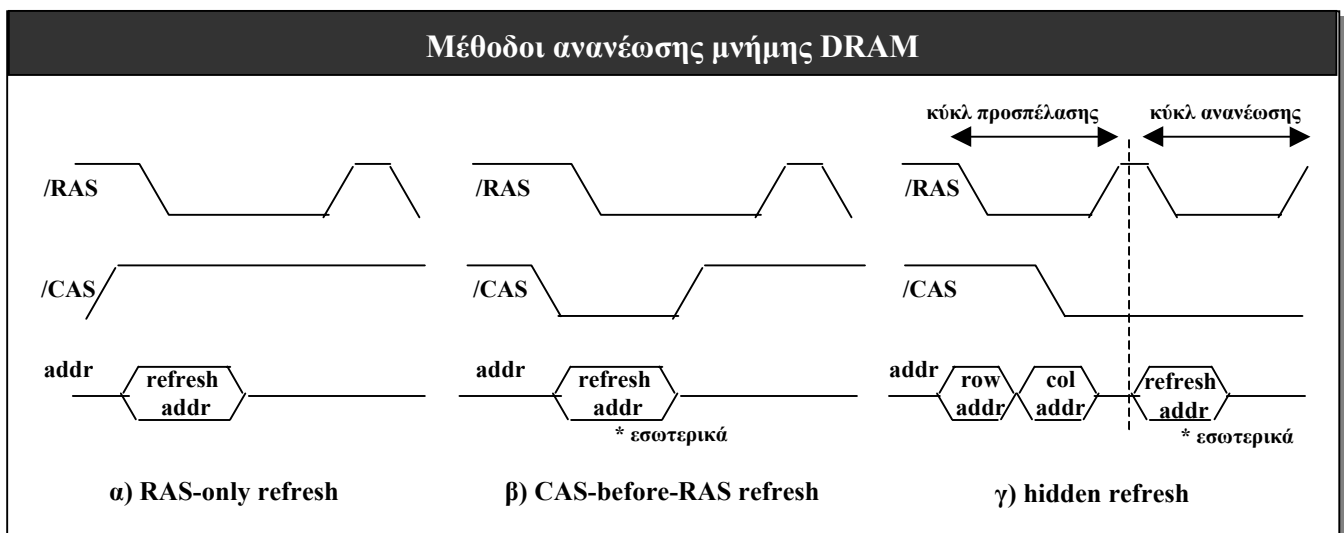
- Οι γραμμές BL έχουν προφορτιστεί μετά την προηγούμενη προσπέλαση.
- Η διεύθυνση γραμμής και τα δεδομένα προς εγγραφή εισάγονται στη μνήμη. Μαζί με το σήμα /RAS ενεργοποιείται και το σήμα /WE (write enable).
- Τα κύτταρα της επιλεγμένης γραμμής συνδέονται με τις γραμμές BL, όπως στην περίπτωση της ανάγνωσης. Ταυτόχρονα τα δεδομένα προς εγγραφή προωθούνται στον επιλογέα στήλης.

- Στη συνέχεια εισάγεται η διεύθυνση στήλης μαζί με το σήμα /CAS. Ο επιλογέας στήλης οδηγεί τα ψηφία προς εγγραφή στους αντίστοιχους ενισχυτές SA. Η τιμή των ψηφίων περνά μέσω των επιλεγμένων ενισχυτών SA στις αντίστοιχες γραμμές BL, αλλάζοντας έτσι το φορτίο των επιλεγμένων κυττάρων στις νέες τιμές.
- Για τις γραμμές BL των μη επιλεγμένων στηλών η λειτουργία είναι ταυτόσημη με εκείνη της ανάγνωσης: ο αντίστοιχος ενισχυτής SA απλά ενισχύει το περιεχόμενο των επιλεγμένων κυττάρων.

Όπως αναφέρθηκε και προηγουμένως, το βασικότερο χαρακτηριστικό της μνήμης DRAM είναι ότι το φορτίο στον πυκνωτή C_s δεν διατηρείται επ'άπειρο. Λόγω του ρεύματος διαρροής που παρουσιάζεται μέσω του τρανζίστορ του κυττάρου, ο πυκνωτής εκφορτίζεται ύστερα από ορισμένο χρονικό διάστημα. Για να επιτευχθεί η διατήρηση της πληροφορίας σε μία μνήμη DRAM απαιτείται η περιοδική ανανέωση (*refresh*) του φορτίου όλων των κυττάρων που περιέχει η μνήμη.

Η λειτουργία ανανέωσης του φορτίου ισοδυναμεί με μία περιοδική ανάγνωση (χωρίς να επιστρέφονται δεδομένα) του περιεχομένου των κυττάρων κάθε γραμμής. Η περίοδος ανανέωσης κάθε λέξης εξαρτάται από την εσωτερική οργάνωση της μνήμης και κυμαίνεται μεταξύ 16 και 128msec. Οι γραμμές ανανεώνονται διαδοχικά σε τακτά χρονικά διαστήματα. Ο αριθμός των γραμμών που πρέπει να ανανεωθούν πριν η διαδικασία ανανέωσης επαναληφθεί για την ίδια γραμμή ονομάζεται “refresh cycle” και συμβολίζεται ως Ref. (για παράδειγμα DRAM με Ref.4K σημαίνει ότι η διαδικασία ανανέωσης επαναλαμβάνεται για 4096 γραμμές).

Οι διάφορες μνήμες DRAM υποστηρίζουν τρεις κύριες μεθόδους ανανέωσης (σχήμα 6-11):



Σχήμα 6-11

- Η ανανέωση με το σήμα /RAS μόνο (*RAS-only refresh*) είναι ακριβώς ίδια με την διαδικασία ανάγνωσης. Κατά την ενεργοποίηση του σήματος /RAS εισάγεται η διεύθυνση της γραμμής που θα ανανεωθεί (*refresh address*). Όπως στην περίπτωση της ανάγνωσης, τα κύτταρα της επιλεγμένης γραμμής συνδέονται με τις αντίστοιχες γραμμές BL και τους ενισχυτές αίσθησης (SA). Το φορτίο των κυττάρων ενισχύεται και επιστρέφει στους πυκνωτές C_s . Αντίθετα όμως από την

ανάγνωση, η γραμμή /CAS δεν ενεργοποιείται και έτσι δεν εμφανίζονται δεδομένα στην έξοδο της μνήμης. Μετά την ανανέωση ακολουθεί κανονικά προφόρτιση των γραμμών BL για την επόμενη προσπέλαση.

- Η ανανέωση με το σήμα /CAS πριν το σήμα /RAS (*CAS-before-RAS refresh*) είναι διαφορετική. Στην περίπτωση αυτή το σήμα /CAS ενεργοποιείται για ένα σύντομο διάστημα ενώ το σήμα /RAS είναι ανενεργό, χωρίς να εισάγεται διεύθυνση ανανέωσης. Η λογική ελέγχου της μνήμης αναγνωρίζει τον συνδυασμό αυτό ως «εντολή ανανέωσης» και παράγει την επόμενη διεύθυνση ανανέωσης μέσω εσωτερικού μετρητή. Στη συνέχεια η ανανέωση εκτελείται όπως ακριβώς και στην προηγούμενη περίπτωση.
- Μία τρίτη μέθοδος είναι αυτή της κρυφής ανανέωσης (*hidden refresh*). Αμέσως μετά από μία κανονική προσπέλαση το σήμα /CAS παραμένει ενεργό. Η νέα ενεργοποίηση του σήματος /RAS προκαλεί την παραγωγή μίας νέας διεύθυνσης ανανέωσης εσωτερικά στη μνήμη και την εκκίνηση ενός κύκλου ανανέωσης. Η μέθοδος αυτή συνδέει πάντα έναν κύκλο ανανέωσης με έναν προηγούμενο κύκλο προσπέλασης και προϋποθέτει ότι η συχνότητα λειτουργίας του διαύλου επεξεργαστή μνήμης είναι αρκετά μικρή για να ολοκληρώνεται η ανανέωση πριν την επόμενη προσπέλαση. Για τον λόγο, αυτό δεν χρησιμοποιείται στους σημερινούς γρήγορους διαύλους μνήμης.

Για την υλοποίηση της κύριας μνήμης (*main memory*) κάθε υπολογιστικού συστήματος χρησιμοποιούνται αποκλειστικά μνήμες DRAM. Η ταχύτητα λειτουργίας των μνημών DRAM καθορίζει σε μεγάλο βαθμό και τις επιδόσεις του συνολικού συστήματος. Όσο οι μικροεπεξεργαστές αυξάνουν το ρυθμό λειτουργίας τους, τόσο είναι επιθυμητή και η αύξηση των επιδόσεων των μνημών DRAM.

Οι συμβατικές μνήμες DRAM, οι οποίες περιγράφηκαν προηγουμένως, επιτυγχάνουν χρόνους προσπέλασης από 70 έως 80ns. Ο χρόνος αυτός απαιτείται από την ενεργοποίηση του σήματος /RAS μέχρι την εμφάνιση των δεδομένων στην έξοδο της μνήμης.

Διατηρώντας τη βασική οργάνωση μίας μνήμης DRAM, διάφορες παραλλαγές έχουν σχεδιαστεί για να μειώσουν τον χρόνο προσπέλασης δεδομένων. Οι παραλλαγές αυτές αξιοποιούν τη μεταφορά δεδομένων κατά ριπές (*burst mode*), όπου δεδομένα από διαδοχικές διευθύνσεις μεταφέρονται ακολουθιακά ανάμεσα στον επεξεργαστή και την κύρια μνήμη. Οι διαφορετικές αυτές αρχιτεκτονικές DRAM είναι οι ακόλουθες (με σειρά εμφάνισης):

- **FPM DRAM** (*fast page mode DRAM*): οι μνήμες αυτές βελτιώνουν την απόδοση των συμβατικών DRAM αξιοποιώντας την ύπαρξη έτοιμων δεδομένων στους ενισχυτές SA μετά από κάθε προσπέλαση. Στο σχήμα 6-10γ φαίνεται ότι κατά την προσπέλαση μίας γραμμής μέσα στη μνήμη, στους ενισχυτές SA κατεβαίνουν τα περιεχόμενα όλων των κυττάρων που είναι συνδεδεμένα στη γραμμή αυτή. Στη συνέχεια ο επιλογέας στήλης επιλέγει ορισμένα ψηφία να εμφανιστούν στην έξοδο. Οι μνήμες FPM DRAM επιτρέπουν την διαδοχική επιλογή διαφορετικών στηλών (επαναληπτική ενεργοποίηση του σήματος /CAS) της ίδιας γραμμής χωρίς να απαιτείται ξανά προφόρτιση των γραμμών BL και εισαγωγή διεύθυνσης γραμμής. Η απάλειψη των διαδικασιών αυτών μειώνει τον χρόνο προσπέλασης για προσπελάσεις στην ίδια γραμμή (ή αλλιώς σελίδα - page) στα 40ns.

- **EDO DRAM** (*extended data out DRAM*): μία περαιτέρω βελτίωση επιτυγχάνεται με την προσθήκη καταχωρητών προσωρινής αποθήκευσης δεδομένων στην έξοδο της μνήμης. Τυπικά τα δεδομένα ανάγνωσης παραμένουν στην έξοδο της μνήμης όσο το σήμα /CAS είναι ενεργό (βλ. σχήμα 6-10α). Η προσθήκη των καταχωρητών επιτρέπει τη γρήγορη απενεργοποίηση του σήματος /CAS και την έναρξη νέου κύκλου προσπέλασης γρηγορότερα απ'ότι προηγουμένως. Η βελτίωση αυτή εμφανίζεται μόνο κατά την ανάγνωση και επιτρέπει χρόνους προσπέλασης έως 25ns. Οι μνήμες αυτού του τύπου διατίθενται σε χωρητικότητες από 16 έως 64Mbit.
- **SDRAM** (*synchronous DRAM*): η σχεδίαση μνημών DRAM, οι οποίες συγχρονίζουν τη λειτουργία τους με ένα εξωτερικό σήμα ρολογιού (*clock*) επιτρέπει τη μείωση του χρόνου προσπέλασης σε ριπές στα 15ns ανά κύκλο προσπέλασης. Οι μνήμες SDRAM έχουν τελείως διαφορετική αρχιτεκτονική από τα προηγούμενα ασύγχρονα είδη, τα οποία ελέγχονται μέσω των σημάτων /RAS και /CAS. Οι μνήμες SDRAM συνδυάζουν στην είσοδό τους τα σήματα /CS (chip select), /WE (write enable), /RAS και /CAS για την εισαγωγή «εντολών» στη μνήμη. Οι εντολές αυτές ενεργοποιούν την αντίστοιχη λειτουργία (προφόρτιση, επιλογή γραμμής, ανάγνωση, εγγραφή, ανανέωση) πάντα συγχρονισμένα με το σήμα ρολογιού. Οι μνήμες SDRAM συνδυάζουν πρόσθετα αρχιτεκτονικά χαρακτηριστικά: α) διπλές διατάξεις (*banks*) μνήμης, οι οποίες επιτρέπουν αλληλοεπικαλυπτόμενη λειτουργία (το ένα τμήμα προφορτίζεται την ίδια στιγμή που το δεύτερο προσπελάζεται για ανάγνωση ή εγγραφή) και β) εσωτερικούς καταχωρητές ελέγχου, οι οποίοι προγραμματίζονται με τα επιθυμητά χαρακτηριστικά λειτουργίας (μέγεθος ριπής ανάγνωσης/εγγραφής, εγγραφή μονής λέξης ή κατά ριπές, απαιτούμενοι κύκλοι για την εμφάνιση των δεδομένων από τη στιγμή επιλογής στήλης [CAS latency, 2 ή 3 κύκλοι] και άλλα διάφορα χαρακτηριστικά). Οι μνήμες SDRAM διατίθενται με χωρητικότητες από 64 έως 512Mbit.
- **DRDRAM** (*direct Rambus DRAM*): οι μνήμες του τύπου αυτού χρησιμοποιούν ένα εντελώς διαφορετικό πρωτόκολλο αίτησης/απόκρισης σε πακέτα για την επικοινωνία με το υπόλοιπο σύστημα. Οι διευθύνσεις/εντολές και τα δεδομένα μεταφέρονται μέσω διαφορετικών γραμμών και στις δύο ακμές ενός σήματος ρολογιού (ανερχόμενη και κατερχόμενη ακμή). Εσωτερικά κάθε μνήμη χωρίζεται σε πολλές διατάξεις (έως 32), κάτι που επιτρέπει παράλληλες προσπελάσεις. Οι μνήμες DRDRAM διατίθενται σε τυπική χωρητικότητα 128/144Mbit και μπορούν να επιτύχουν χρόνο προσπέλασης 1.25ns/2 bytes (ή αλλιώς 1.6GB/s).

6.4 Νέες Τεχνολογίες.

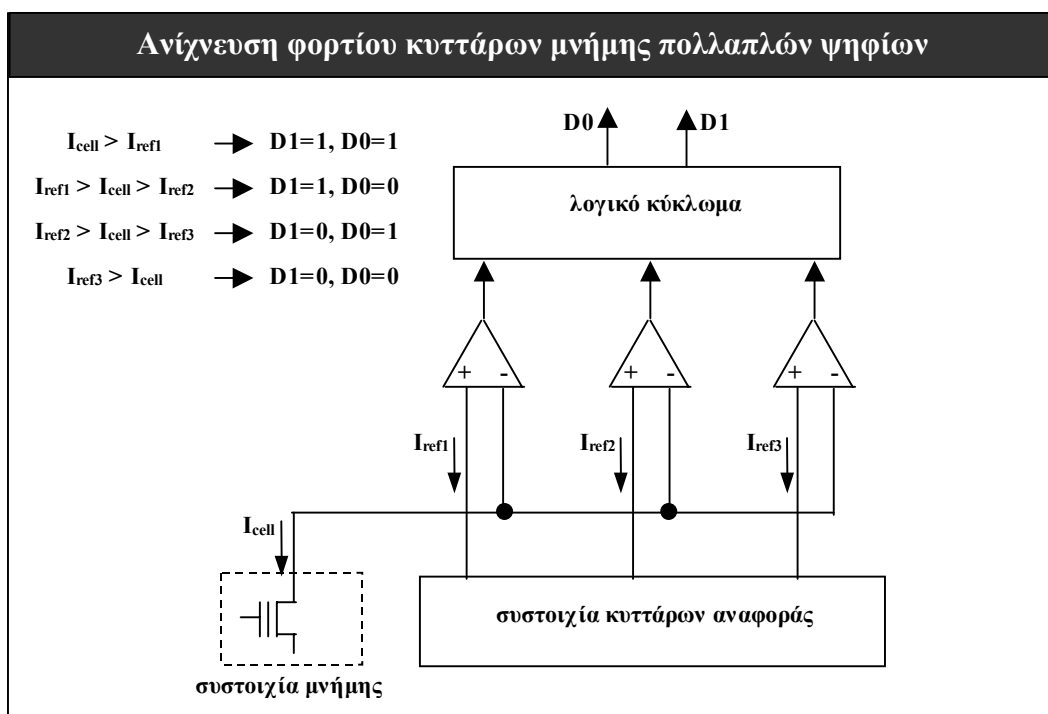
6.4.1 Κύτταρα μνήμης πολλαπλών ψηφίων.

Στην προσπάθεια αύξησης της χωρητικότητας διαφόρων τύπων μνήμης χρησιμοποιείται σήμερα σε ορισμένα εμπορικά προϊόντα μνήμης NOR FLASH η τεχνολογία αποθήκευσης δύο ψηφίων σε κάθε κύτταρο μνήμης. Οι συμβατικές μνήμες FLASH αποθηκεύουν τα δεδομένα τους σε τρανζίστορ απομονωμένης πύλης (βλ. σχήμα 6-3). Κάθε δυαδικό ψηφίο αναπαρίσταται από την ύπαρξη ή όχι φορτίου

στην απομονωμένη πύλη, το οποίο φορτίο επηρεάζει την τάση αγωγής V_T του τρανζίστορ. Για την αποθήκευση δύο ψηφίων σε κάθε τρανζίστορ, αρκεί να επιτευχθεί φόρτιση της απομονωμένης πύλης σε τέσσερα διαφορετικά επίπεδα, τα οποία αντιπροσωπεύουν τα ψηφία '00', '01', '10' και '11'.

Η φόρτιση της απομονωμένης πύλης σε τέσσερα (αντί για δύο) επίπεδα απαιτεί ακριβή μέθοδο προγραμματισμού του τρανζίστορ. Στη πράξη, κατά τον προγραμματισμό εφαρμόζονται μία σειρά από παλμούς τάσης στο τρανζίστορ, το οποίο βρίσκεται σε κορεσμό (*saturation*), ελέγχοντας ταυτόχρονα την τάση αγωγής (V_T). Σε κάθε παλμό προγραμματισμού μεταφέρονται στην απομονωμένη πύλη περίπου 3.000 ηλεκτρόνια. Ο προγραμματισμός ολοκληρώνεται όταν η τάση αγωγής V_T φτάσει το επιθυμητό επίπεδο.

Για τον προγραμματισμό, αλλά και την ανάγνωση, απαιτείται επίσης ακριβής ανίχνευση του φορτίου της απομονωμένης πύλης κάθε τρανζίστορ. Η ανίχνευση επιτυγχάνεται συγκρίνοντας το φορτίο του τρανζίστορ με ορισμένα τρανζίστορ αναφοράς. Τα τρανζίστορ αυτά έχουν προγραμματιστεί με μεγάλη ακρίβεια κατά την κατασκευή της μνήμης, έτσι ώστε να παρέχουν τα επίπεδα αναφοράς για τη σύγκριση (σχήμα 6-12).



Σχήμα 6-12

Στην πύλη του τρανζίστορ ανάγνωσης και των τρανζίστορ αναφοράς εφαρμόζεται μία τάση V_{READ} . Ανάλογα με το φορτίο του κάθε τρανζίστορ, ένα ρεύμα περνά μέσα από αυτό. Όσο μεγαλύτερη είναι η τάση αγωγής V_T του κάθε τρανζίστορ, τόσο μικρότερο είναι το ρεύμα που εμφανίζεται. Τρεις ενισχυτές αίσθησης συγκρίνουν το ρεύμα του τρανζίστορ ανάγνωσης με εκείνο των τρανζίστορ αναφοράς και οδηγούν το λογικό κύκλωμα που παράγει τα τελικά ψηφία D0 και D1.

Εκτός από τις ήδη διαθέσιμες εμπορικά μνήμες FLASH πολλαπλών ψηφίων, η έρευνα κινείται προς την κατεύθυνση της ανάπτυξης αντίστοιχων μνημών DRAM με αποθήκευση περισσότερων από ένα ψηφίων ανά κύτταρο μνήμης.

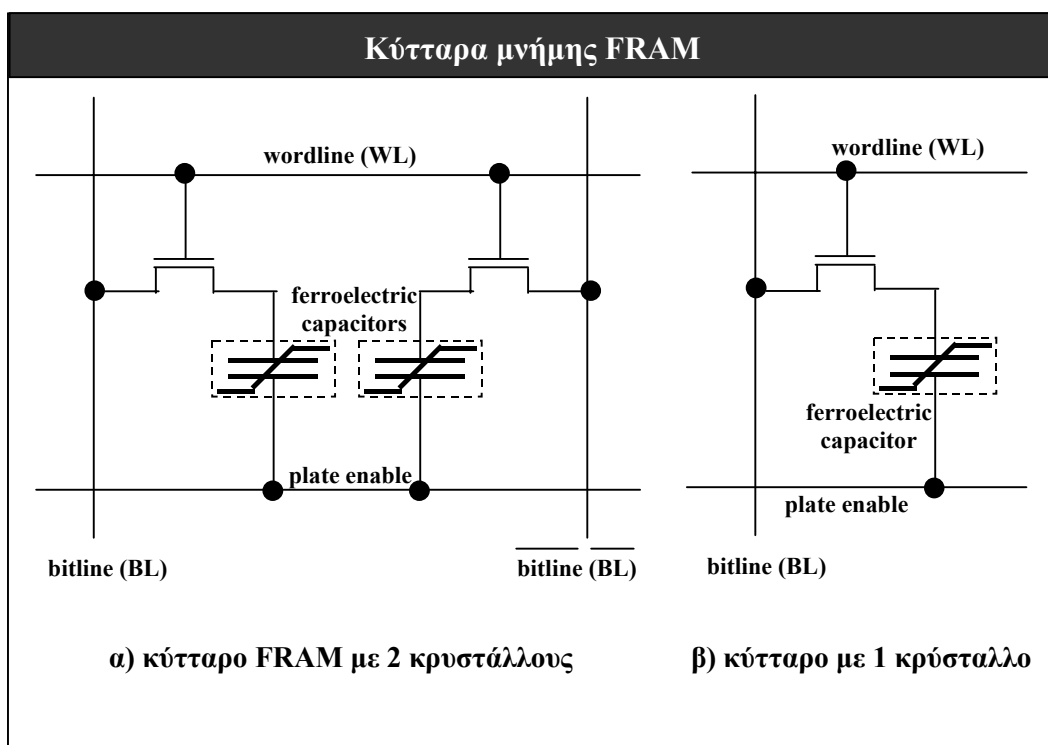
6.4.2 Μνήμες FRAM.

Στον τομέα των μνημών μόνιμης αποθήκευσης (*non-volatile memories*) έχουν εμφανιστεί εμπορικά προϊόντα, τα οποία χρησιμοποιούν την τεχνολογία της «σιδηροηλεκτρικής» μνήμης (*ferroelectric RAM – FRAM ή FeRAM*). Η τεχνολογία αυτή αποθηκεύει ένα δυαδικό ψηφίο σε μία λεπτή κρυσταλλική δομή. Η δομή αυτή μπορεί να διατηρηθεί σε δύο καταστάσεις, ανάλογα με τη θέση ενός ευκίνητου ατόμου στο κέντρο της κρυσταλλικής δομής. Για τη μετακίνηση του ατόμου αυτού σε μία από τις δύο πιθανές καταστάσεις αρκεί να εφαρμοστεί ένα ηλεκτρικό πεδίο στην επιφάνεια του κρυστάλλου.

Η κρυσταλλική δομή χρησιμοποιείται στις μνήμες FRAM, όπως ακριβώς ο πυκνωτής σε μία μνήμη DRAM (βλ. σχήμα 6-9α). Στη μνήμη FRAM όμως η κατάσταση του κρυστάλλου μπορεί να διατηρηθεί ακόμα κι όταν διακοπεί η τροφοδοσία της μνήμης.

Για την ανάγνωση ενός δυαδικού ψηφίου σε μία μνήμη FRAM εφαρμόζεται ένα ηλεκτρικό πεδίο στα άκρα της κρυσταλλικής δομής. Το ευκίνητο άτομο στο κέντρο της δομής θα μετακινηθεί προς τη διεύθυνση του πεδίου, εκτός κι αν είναι ήδη στην κατάλληλη θέση. Η αλλαγή θέσης παράγει ελαφρώς μεγαλύτερο φορτίο απ'όταν το άτομο δεν αλλάζει θέση. Η διαφορά αυτή ανιχνεύεται και μετατρέπεται στο κατάλληλο δυαδικό ψηφίο. Όπως είναι φανερό, η ανάγνωση μπορεί να αλλοιώσει την κατάσταση του κρυστάλλου. Για τον λόγο αυτό, αμέσως μετά την ανάγνωση ακολουθεί η αποκατάσταση των κρυστάλλων στην αρχική κατάσταση. Η εγγραφή είναι πιο απλή, εφ'όσον τα νέα δεδομένα απλώς μεταφέρονται στους κρυστάλλους, αλλάζοντας την κατάστασή τους αν αυτό απαιτείται.

Τα υπάρχοντα προϊόντα μνήμης FRAM, χωρητικότητας 256Kbit, χρησιμοποιούν δύο τρανζίστορ και δύο κρυστάλλους (*2T-2C cell*) για την αξιόπιστη αποθήκευση ενός δυαδικού ψηφίου (σχήμα 6-13α). Στους δύο κρυστάλλους αποθηκεύεται το ψηφίο στην κανονική και τη συμπληρωματική του μορφή, επιτρέποντας την διαφορετική ανίχνευση των φορτίων σε κάθε ανάγνωση.



Σχήμα 6-13

Τα επόμενα προϊόντα FRAM θα χρησιμοποιούν ένα τρανζίστορ και έναν κρύσταλλο (*1T-1C cell*) (σχήμα 6-13β) για την σχεδίαση μνημών μεγαλύτερης πυκνότητας και χωρητικότητας. Ο σχεδιασμός με έναν κρύσταλλο απαιτεί προηγμένες μεθόδους ανίχνευσης κατά την ανάγνωση, χρησιμοποιώντας προκαθορισμένες αναφορές για τη σύγκριση του φορτίου.

Το μεγαλύτερο πλεονέκτημα της μνήμης FRAM είναι ο γρήγορος χρόνος εγγραφής δεδομένων σε σχέση με τις άλλες μνήμες σταθερής αποθήκευσης. Κάθε μνήμη FRAM παρουσιάζει ίσο χρόνο ανάγνωσης και εγγραφής, περίπου στα 100ns, ενώ για τις υπόλοιπες μνήμες σταθερής αποθήκευσης ο χρόνος εγγραφής είναι της τάξης των msec.

Επιπλέον, η διαδικασία εγγραφής ή ανάγνωσης δεν επιβαρύνει τον κρύσταλλο, σε αντίθεση με τα τρανζίστορ απομονωμένης πύλης των άλλων μνημών μόνιμης αποθήκευσης. Για τον λόγο αυτό, κάθε κρύσταλλος μπορεί να προσπελαστεί ασφαλώς 100.000.000 φορές για εγγραφή ή ανάγνωση (σε σχέση με 100.000 έως 1.000.000 φορές των άλλων μνημών μόνιμης αποθήκευσης - στις οποίες όμως το όριο ισχύει μόνο για τον προγραμματισμό κι όχι την ανάγνωση). Επίσης, οι μνήμες FRAM απαιτούν πολύ λιγότερη ενέργεια για την εγγραφή δεδομένων από τις άλλες μνήμες μόνιμης αποθήκευσης.

Οι μνήμες FRAM στη σημερινή μορφή τους είναι κατάλληλες για εφαρμογές χαμηλής ισχύος με μικρούς χρόνους εγγραφής: για συστήματα συλλογής δεδομένων, περιβάλλοντα με υψηλό θόρυβο και κάρτες αναγνώρισης χωρίς επαφή (ενεργοποίηση μέσω ραδιοσυχνοτήτων).